ELETRÔNICA DIGITAL

Herbert Taub
Donald Schilling

McGraw-Hill

ELETRÔNICA DIGITAL

Herbert Taub
Donald Schilling

Professores de Engenharia Elétrica
The City College of the City University
of New York

Tradução

Paulo Elyot Meirelles Villela
Escola Politécnica da USP
Depto. Eletrônica

Jorge Guedes de Silveira
Escola Politécnica da PUC-RS
Depto. Engenharia Eletrônica

Juarez Sagebin Correa
Escola Politécnica da PUC-RS
Depto. Engenharia Eletrônica

Revisão Técnica

José Carlos Teixeira de Barros Moraes
Escola Politécnica da USP
Depto. Eletrônica

McGRAW-HILL

São Paulo • Rio de Janeiro • Lisboa • Porto • Bogotá • Buenos Aires • Guatemala • Madrid • México • New York • Panamá • San Juan • Santiago

Auckland • Hamburg • Johannesburg • Kuala Lumpur • London • Montreal • New Delhi • Paris • Singapore • Sydney • Tokyo • Toronto

Do original

Digital Integrated Electronics

Copyright © 1977 by McGraw-Hill, Inc.

Copyright © 1982 da Editora McGraw-Hill do Brasil, Ltda.

Todos os direitos para a língua portuguesa reservados pela
Editora McGraw-Hill do Brasil, Ltda.

Nenhuma parte desta publicação poderá ser reproduzida, guardada pelo sistema "retrieval" ou transmitida de qualquer modo ou por qualquer outro meio, seja este eletrônico, mecânico, de fotocópia, de gravação, ou outros, sem prévia autorização, por escrito, da Editora.

Editor: José Martins Braga

Supervisora de Produção: Maria Celina Jurado

CIP - Brasil. Catalogação-na-Publicação
Câmara Brasileira do Livro, SP

Taub, Herbert, 1918-
T221e Eletrônica digital / Herbert Taub, Donald Schilling; tradução Paulo Elyot Meirelles Villela, Jorge Guedes de Silveira, Juarez Sagebin Correa; revisão técnica José Carlos de Barros Moraes. São Paulo: McGraw-Hill do Brasil, 1982.

Apêndice: Linhas de transmissão.

1. Eletrônica digital 2. Eletrônica digital - Problemas, exercícios etc. I. Schilling, Donald. II. Título.

CDD-621.381737
82-1515 -621.381737076

Índices para catálogo sistemático:

1. Eletrônica digital: Engenharia 621.381737
2. Exercícios: Eletrônica digital: Engenharia 621.381737076
3. Problemas: Eletrônica digital: Engenharia 621.381737076

Sumário

Prefácio XIII

1. Dispositivos Eletrônicos 1

1.1 O diodo semicondutor ideal 1
1.2 A dependência das características do diodo em função da temperatura 4
1.3 A capacitância de transição do diodo 5
1.4 O diodo Zener 6
1.5 Diodos para circuitos integrados 8
1.6 O transistor como chave 9
1.7 Expressões analíticas para as características do transistor 11
1.8 O transistor no corte 14
1.9 A chave a transistor na saturação 15
1.10 Aplicação das equações de Ebers-Moll à saturação 17
1.11 O transistor de efeito de campo (FET) 23
1.12 O FET de metal-óxido-semicondutor (MOSFET) 28
1.13 A chave MOS 31
1.14 Características de entrada-saída de uma chave a MOSFET 34
1.15 MOSFETs de simetria complementar (CMOS) 35
1.16 Proteção da entrada 38
1.17 Velocidade de chaveamento de um diodo 39
1.18 Tempos de transição e de armazenamento 40
1.19 O diodo Schottky 42
1.20 Velocidade de chaveamento de um transistor bipolar 42
1.21 Velocidade de chaveamento em dispositivos FET 46
1.22 Tempos de subida, descida e retardos 46

2. Amplificadores Operacionais e Comparadores 49

2.1 O amplificador operacional 49
2.2 O terra virtual 50

2.3 Operações ... 52
2.4 Impedância de saída ... 53
2.5 A eletrônica do amplificador operacional ... 54
2.6 O amplificador ... 57
2.7 Amplificação sem inversão usando um amp-op ... 58
2.8 A impedância de um amplificador não-inversor ... 58
2.9 Uma consideração de ordem prática ... 60
2.10 Compensação ... 60
2.11 Razão de rejeição de modo comum ... 61
2.12 Características dos amp-ops ... 61
2.13 O comparador ... 63
2.14 Um amplificador comparador em circuito integrado ... 64
2.15 Cálculos para o amplificador comparador em circuito integrado ... 65
2.16 Características de comparadores físicos ... 70
2.17 O circuito Schmitt *Trigger* (disparador de Schmitt) ... 71
2.18 Um exemplo de um Schmitt *Trigger* ... 75

3. Circuitos Lógicos ... 78

3.1 Introdução ... 78
3.2 Funções de uma variável binária simples ... 79
3.3 Funções de duas variáveis binárias ... 79
3.4 A função OR (OU) ... 81
3.5 A operação NAND e a operação NOR ... 82
3.6 A operação OU-EXCLUSIVO ... 84
3.7 Outras funções ... 86
3.8 Variáveis lógicas ... 86
3.9 A notação 0, 1 ... 89
3.10 Operações necessárias e suficientes ... 89
3.11 Teoremas da álgebra Booleana ... 91
3.12 Um exemplo ... 94
3.13 O sistema numérico binário ... 95
3.14 O código binário refletido de Grey ... 97
3.15 Formas-padrão para funções lógicas: A soma-padrão de produtos ... 98
3.16 O produto-padrão de somas ... 100
3.17 Especificações de funções lógicas por minitermos e maxitermos ... 102
3.18 A representação de funções lógicas por mapa de Karnaugh ... 104
3.19 Representações para duas, três e quatro variáveis por mapa de Karnaugh ... 106
3.20 Simplificação de funções lógicas com mapas de Karnaugh ... 107
3.21 Maiores agrupamentos em um mapa K ... 110
3.22 Mapas de Karnaugh para cinco e seis variáveis ... 111
3.23 Usos dos mapas de Karnaugh ... 113
3.24 Mapeamento quando a função não está expressa em minitermos ... 117
3.25 Síntese usando portas NAND ou NOR ... 119
3.26 Funções especificadas incompletamente ... 121

4. Lógica Transistor-Resistor (RTL) e Lógica de Injeção Integrada (IIL) 123

4.1 A porta com lógica transistor-resistor (RTL) 123
4.2 A porta com lógica transistor-resistor com acoplamento direto (DCTL) 124
4.3 Absorção de corrente de entrada em portas DCTL 127
4.4 Lógica transistor-resistor (RTL) 128
4.5 FAN-OUT 130
4.6 Características de tensão entrada-saída de portas RTL em cascata 134
4.7 Um BUFFER RTL 138
4.8 Uma porta OU-EXCLUSIVO com RTL 141
4.9 Especificações dos fabricantes 142
4.10 Portas RTL em paralelo 144
4.11 Especificação das tensões de operação 146
4.12 Tempo de retardo de propagação 148
4.13 Lógica de injeção integrada (IIL) 150
4.14 Arranjo físico de IIL 154
4.15 Um decodificador com IIL 158
4.16 Níveis de tensão e corrente 159

5. Lógica Transistor-Diodo 160

5.1 Porta com lógica transistor-diodo (DTL) 160
5.2 FAN-OUT 163
5.3 Portas DTL em circuito integrado 165
5.4 Característica entrada-saída 167
5.5 Especificações de portas DTL fornecidas pelos fabricantes 169
5.6 A conexão AND com fiação 172
5.7 Lógica de alto limiar (HTL) 174
5.8 Característica entrada-saída da porta HTL 176
5.9 Especificações dos fabricantes 176

6. Lógica Transistor-Transistor 178

6.1 Lógica transistor-transistor (TTL) 178
6.2 Uma comparação entre TTL e DTL 179
6.3 O transistor de entrada 180
6.4 O PULL-UP ativo 181
6.5 Característica entrada-saída desprezando o transistor de entrada 183
6.6 Característica entrada-saída do transistor de entrada 189
6.7 O transistor multiemissor 191
6.8 Característica volt-ampère de entrada de uma porta TTL 193
6.9 Característica volt-ampère de saída de uma porta TTL 194
6.10 Dados de especificações dos fabricantes: Dependência com temperatura e Imunidade ao ruído 197
6.11 Corrente drenada da fonte de alimentação 200
6.12 Tipos de portas TTL 201

6.13 O TTL Schottky 205
6.14 Outras lógicas com portas TTL 206

7. Lógica por Acoplamento de Emissor 208

7.1 Introdução 208
7.2 A porta ECL 209
7.3 Tensões do transistor ECL 210
7.4 Características de transferência: A saída OR 211
7.5 A saída NOR 214
7.6 Especificações dos fabricantes: Característica de transferência 215
7.7 FAN-OUT 216
7.8 Velocidade de operação 217
7.9 Fonte de polarização para compensação em temperatura 219
7.10 Versatilidade lógica das portas ECL 221
7.11 A fonte de alimentação negativa 222
7.12 Translação de nível 223
7.13 Interconexões de portas ECL 226

8. Portas MOS 233

8.1 Equações analíticas para os MOSFETs 233
8.2 Efeitos da temperatura 235
8.3 O inversor MOS 236
8.4 O inversor CMOS 238
8.5 Cálculo da característica de transferência de um inversor CMOS 239
8.6 Portas MOS 240
8.7 Tempo de subida em uma porta MOS 242
8.8 O tempo de descida 244
8.9 A porta CMOS 245
8.10 Tempos de subida e descida em portas CMOS 246
8.11 Especificações dos fabricantes 247
8.12 Interface entre as portas BJT e CMOS 249

9. Flip-Flops 252

9.1 Introdução 252
9.2 Terminologia 252
9.3 O flip-flop como elemento de memória 253
9.4 Flip-flop usando portas NAND 255
9.5 A chave sem vibração 256
9.6 Flip-flop síncrono 256
9.7 Interconexão de flip-flops: O flip-flop mestre-escravo 259
9.8 O flip-flop sensível à borda com acoplamento ca 264
9.9 O flip-flop síncrono com acoplamento ca 267
9.10 Um flip-flop com armazenamento capacitivo 268
9.11 Flip-flops com retardo de propagação 269

9.12 O flip-flop *JK* 271
9.13 O flip-flop tipo *D* 272
9.14 Um flip-flop *SR* RTL 274
9.15 Um flip-flop DTL 275
9.16 Um flip-flop com retardo de propagação RTL 278
9.17 O flip-flop ECL 280
9.18 Um flip-flop *JK* ECL com acoplamento ca 282
9.19 Especificações do fabricante 285
9.20 Flip-flop *JK* TTL 285
9.21 Flip-flops MOS 287

10. Registradores e Contadores 291

10.1 O registrador de deslocamento 291
10.2 O relógio 293
10.3 Transferência de dados série-paralelo 294
10.4 Vai um com retorno 294
10.5 Registradores de deslocamento à esquerda, deslocamento à direita 294
10.6 Contadores RIPPLE 294
10.7 Métodos para aumentar a velocidade do contador 299
10.8 Contadores não-binários 301
10.9 Contadores de módulo 3 302
10.10 Contadores de módulo 5 304
10.11 LOCKOUT 306
10.12 Combinações de contadores 308
10.13 Outros projetos de contadores 309
10.14 O contador RIPPLE crescente-decrescente 311
10.15 O contador crescente-decrescente síncrono 313
10.16 Contadores em anel 314
10.17 Geradores de seqüência 315

11. Operações aritméticas 322

11.1 Soma de dois números binários 322
11.2 O somador completo 324
11.3 Um somador série 325
11.4 Soma paralela 327
11.5 Soma com mais de dois números 328
11.6 Somadores rápidos; Vai um antecipado 331
11.7 Subtração 334
11.8 Números complementares 335
11.9 Representação em registradores de números com sinais 338
11.10 Subtração através de complementação e soma 340
11.11 Soma e subtração em complemento em dois 341
11.12 Soma e subtração em complemento em um 341
11.13 Soma e subtração de uma seqüência de números com sinais 343
11.14 Somador saturável 344

11.15 Ponderação ... 346
11.16 Multiplicação ... 349
11.17 Divisão ... 350
11.18 A unidade lógica aritmética (ULA) ... 351

12. Memórias em Semicondutores ... 354

12.1 Tipos de memória ... 354
12.2 Memórias seqüenciais em registrador de deslocamento ... 355
12.3 Estágios de registradores MOS ... 358
12.4 Registrador de deslocamento de duas fases sem relação ... 361
12.5 Registrador de quatro fases sem relação ... 362
12.6 Estágios registradores CMOS ... 363
12.7 Estágio de registrador de deslocamento estático ... 366
12.8 Um estágio registrador estático de três fases ... 367
12.9 Memória apenas de leitura (ROM) ... 369
12.10 A implementação de ROMs ... 371
12.11 ROMs programáveis e apagáveis ... 372
12.12 Aplicações de ROMs ... 373
12.13 Células de memória de acesso aleatório com transistores de junção bipolares ... 375
12.14 Outras células de memória com transistores bipolares ... 377
12.15 RAMs a MOS ... 378
12.16 Organização de uma RAM ... 383
12.17 Pastilhas de circuitos integrados de memória a semicondutor em paralelo ... 385
12.18 O dispositivo acoplado a carga (CCD) ... 389
12.19 Armazenamento de carga ... 390
12.20 Transferência de carga ... 391
12.21 Arranjos para entrada e saída ... 394

13. Chaves Analógicas ... 396

13.1 Princípios de operação básica de portas analógicas ... 396
13.2 Aplicações de circuitos de chaveamento ... 398
13.3 Portas de transmissão a diodo ... 405
13.4 Portas a transistor de junção bipolar ... 415
13.5 Portas com FET ... 418
13.6 Amplificadores operacionais ... 419
13.7 Uma porta com FET com um amp-op como carga ... 420
13.8 Um circuito amostrador segurador de ordem zero ... 422
13.9 Excitadores de porta FET ... 427
13.10 Portas CMOS ... 430
13.11 Aplicação de chaves analógicas ... 432
13.12 Especificações dos fabricantes de amplificadores A/S ... 435

14. Conversão Analógico para Digital ... 437
14.1 Introdução ... 437
14.2 O teorema da amostragem ... 438

14.3 Multiplexação por divisão de tempo 440
14.4 Quantização 441
14.5 Conversor D/A a resistor ponderado 444
14.6 O conversor D/A de escada *R*-2*R* 447
14.7 Chaves para conversores D/A 449
14.8 Um conversor D/A excitado a corrente 452
14.9 O conversor D/A de escada invertida 454
14.10 Formatos de entrada e saída de um conversor D/A 457
14.11 Especificações para conversores D/A 460
14.12 Conversores A/D: Um comparador paralelo 463
14.13 O conversor de aproximação sucessiva 468
14.14 O conversor contador 472
14.15 O conversor de dupla inclinação 474
14.16 Uma comparação entre os tipos de conversores 476
14.17 Um conversor usando a conversão tensão para freqüência 477
14.18 Um conversor usando a conversão tensão para tempo 479
14.19 Especificações de um conversor A/D 480
14.20 Interconectando o conversor A/D e o S/H 481
14.21 Modulação delta 481
14.22 Modulação delta adaptativa 486

15. Circuitos Temporizadores 488

15.1 Multivibradores CMOS 488
15.2 Multivibrador astável com CMOS 494
15.3 Multivibradores monoestáveis usando portas ECL 495
15.4 Multivibradores para pequenos intervalos de tempo 500
15.5 Um multivibrador monoestável em circuito integrado TTL 502
15.6 Um temporizador em circuito integrado 504

Apêndice: Linhas de Transmissão 508

A.1 Introdução 508
A.2 A impedância característica 510
A.3 Reflexões 511
A.4 Reflexões múltiplas 511
A.5 Efeito do tempo de subida da forma de onda 513

Problemas 515

Índice Analítico 576

Prefácio

Em 1956 a companhia McGraw-Hill Book publicou o livro *Pulse and Digital Circuits* escrito por J. Millman e H. Taub. Este livro, que se incumbiu de apresentar uma completa explicação do estado de arte de eletrônica digital, ocupou-se quase que exclusivamente com circuitos a válvula. Circuitos e dispositivos semicondutores, que tinham sidos introduzidos recentemente, apareceram em um único capítulo final, adicionado no último momento, enquanto o livro estava em produção. Na década seguinte, os dispositivos semicondutores suplantaram completamente as válvulas em circuitos digitais. Em resposta a este desenvolvimento, os mesmos autores prepararam um volume substituto *Pulse Digital and Switching Waveforms*, que apareceu em 1965. No novo volume, a importância do semicondutor foi enfatizada apropriadamente e circuitos a válvula foram apresentados apenas eventualmente. Agora, novamente após cerca de uma década, os avanços em circuitos integrados induziram a este presente volume. Entretanto, pretende-se que este livro seja uma continuação do trabalho de 1965 em vez de um substituto. Aqui os autores atuais incumbiram-se de descrever e analisar todos os blocos de circuitos integrados básicos, a partir dos quais sistemas e circuitos digitais são montados. Tão razoável quanto possível em um livro-texto, o material apresentado é atualizado. Como foi o caso do volume anterior, os autores atuais tiveram trabalho com o estilo de pedagogia. Nós nos esforçamos para fazer as explicações claras e facilmente inteligíveis, sem sacrificar a profundidade e a totalidade da apresentação. Por esta razão, esperamos que este trabalho encontre lugar não apenas nas salas de aulas mas também em um programa de auto-estudo para leitores que desejam manter-se informados acerca dos desenvolvimentos correntes.

O material do texto foi utilizado no City College of New York, em um curso de dois semestres oferecido a estudantes júnior e sênior de engenharia elétrica, e também como base de dois cursos de graduação. Este material foi, ainda, apresentado em um curso de dois semestres oferecido aos membros da equipe técnica do Bell Laboratories, para o pessoal de engenharia na NASA e na Lockheed, e em cursos rápidos oferecidos no programa de atualização educacional na George Washington University.

Supõe-se que o leitor já possua conhecimentos em circuitos e dispositivos semicondutores. Entretanto, achamos útil fornecer no Capítulo 1 uma revisão de certas matérias especiais a respeito da operação do dispositivo semicondutor no modo de chaveamento. O semicondutor tem característica volt-ampère altamente não-linear e bastante complexa. Uma análise exata de circuitos semicondutores resulta em considerável complexidade matemática. No Capítulo 1 apresentamos algumas simplificações convenientes que levam a aproximações úteis e muito boas.

A primeira parte do Capítulo 2 discute amplificadores operacionais. Tais amplificadores, projetados para serem operados linearmente, ao invés de no modo de chaveamento, não são de nosso próprio interesse. Entretanto, em vários casos verificamos que amplificadores operacionais aparecem como componentes onde os circuitos são digitais. Além disso, por uma extensão natural, amplificador operacional leva à discussão, na segunda parte do capítulo, de comparadores que são realmente dispositivos de chaveamento importantes.

O Capítulo 3 introduz o conceito de variáveis lógicas, álgebra booleana e métodos de analisar circuitos compostos de portas lógicas. Os mapas de Karnaugh e suas várias aplicações são apresentados. Este capítulo é completo no sentido de não exigir nenhum conhecimento anterior da matéria e explica todos os princípios de projeto e análises de circuitos lógicos necessários para o entendimento de todo o texto. Por outro lado, o conteúdo deste capítulo é inevitavelmente incluído em um curso de projeto lógico e, portanto, pode ser ignorado pelos leitores que já tenham conhecimento deste material.

A eletrônica das portas lógicas começa no Capítulo 4. A primeira parte deste capítulo trata de lógica transistor-resistor (RTL) enquanto a segunda parte trata de lógica de injeção integrada (IIL). RTL não é presentemente utilizada em novos projetos. Entretanto há várias razões, devido às quais vale a pena considerar esta família de lógica. Sendo a primeira família de lógica em circuito integrado disponível amplamente utilizada, há em operação muitas instalações nas quais está incorporada. Então, novamente devido a sua elegante simplicidade, é um veículo ideal através do qual se pode apresentar muitos dos conceitos básicos e princípios universais importantes na eletrônica de portas lógicas. Finalmente, mantém uma relação topológica interessante com IIL que é uma das mais recentes famílias de lógica desenvolvidas. O Capítulo 5 considera a lógica transistor-diodo (DTL). Na família do DTL encontramos a lógica de alto limiar (HTL) que encontra extensas aplicações em ambientes altamente ruidosos.

Os Capítulos 6 e 7 discutem lógica transistor-transistor (TTL) e lógica por acoplamento de emissor (ECL). Atualmente estas são as famílias lógicas saturadas e não-saturadas mais amplamente utilizadas. Portanto, a análise destas famílias é bastante extensiva. Particularmente em ECL, alguma apreciação da natureza de transmissão de sinal através de linhas de transmissão é necessária. Os leitores que não estão familiarizados com propagação em linha de transmissão, encontrarão uma apresentação introdutória adequada no Apêndice A. Uma discussão mais completa aparece no Capítulo 3 de *Pulse Digital and Switching Waveforms*, acima referida. Lógica metal-óxido-semicondutor (MOS) e lógica de simetria complementar (CMOS) são apresentadas no Capítulo 8.

Tendo sido consideradas as várias famílias de lógica (Cap. 4 até 8), começamos no Capítulo 9 as estruturas digitais básicas, montadas a partir destas portas. O Capítulo 9 explora em considerável detalhe os princípios de operação dos vários tipos de *flip-flops* e, além disto, analisa a eletrônica do circuito de várias unidades comerciais representativas. Tivemos considerável trabalho em tornar claro como *flip-flops* são adaptados para contornar problemas de tempos que, por outro lado, desenvolveriam os sistemas síncronos. Registradores e contadores são discutidos no Capítulo 10. Métodos para o projeto, tanto de contadores síncronos como de contadores *ripple* de módulo arbitrário, são explicados, e o uso de registradores para gerar seqüências pseudo-aleatórias e outras especificadas é também apresentado.

Circuitos lógicos para executar operações aritméticas são considerados no Capítulo 11. Ênfase é colocada na operação soma (e subtração) pois geralmente multiplicação e divisão são executadas com algoritmos envolvendo a operação soma (ou subtração). Tivemos mais cuidado que o usual para explicar claramente como os números negativos são expressos e como subtração é efetuada com notação em complemento de um e complemento de dois através do uso do circuito

lógico que realmente executa a soma. O uso de lógica saturada para correção de excesso em soma é apresentado, pois a operação da Unidade Lógica Aritmética é o coração do todo microprocessador. Memórias em semicondutores são apresentadas no Capítulo 12. Omitimos memórias de núcleo pois parece que estão em processo de serem suplantadas por sistemas semicondutores. Este capítulo inclui memórias seqüenciais, memórias de apenas leitura e memórias dinâmicas e estáticas de acesso aleatório. As eletrônicas de memórias, envolvendo transistores de efeito de campo, o CCD e transistores de junção bipolar, são também descritas.

Nos Capítulos 13 e 14 consideramos a interface entre sinais digitais e analógicos. O Capítulo 13 apresenta portas analógicas, multiplexadores analógicos, circuitos amostradores e seguradores de ordem zero, circuitos integradores e amortecedores etc. O Capítulo 14 examina sistemas digital para analógico e analógico para digital. Os vários sistemas analógicos para digitais considerados são razoavelmente representativos dos sistemas que estão sendo largamente utilizados. Finalmente no Capítulo 15, circuitos temporizadores – circuitos integrados equivalentes aos multivibradores monoestável e estável – são discutidos.

Os circuitos apresentados neste texto são típicos daqueles encontrados na prática. Mais de 400 problemas são fornecidos, desde exercícios de rotina até problemas de projetos razoavelmente sofisticados. Um manual de soluções é disponível, o qual instrutores podem obter do editor. Um livro de resposta é também disponível. Os autores ficarão satisfeitos em fornecer um conjunto de experiências de laboratório correntemente usado no CCNY juntamente com este texto.

Reconhecemos agradecidos o encorajamento dado pelos nossos colegas e estudantes. Em particular agradecemos Mr. T. Apelewicz, que preparou o manual de soluções, Dr. J. Garodnick, a quem devemos a revisão criteriosa e a crítica de grande parte do material do texto, e Mr. Edward Tynan e Dr. Ronald Schilling, através dos quais conseguimos receber uma grande quantidade de literatura técnica muito útil, publicada pela companhia Motorola. Expressamos nossa apreciação a Mrs. Joy Rubin por seu serviço hábil em datilografar o manuscrito.

HERBERT TAUB
DONALD SCHILLING

CAPÍTULO 1
Dispositivos Eletrônicos

Os dispositivos eletrônicos, da mesma maneira que circuitos analógicos, usados em circuitos processadores digitais, incluem o diodo, o transistor bipolar e o transistor a efeito de campo. Supomos que o leitor possui familiaridade com estes dispositivos e principalmente em aplicações que envolvem circuitos analógicos, onde eles são usados como elementos lineares. Em circuitos digitais, estes dispositivos são utilizados principalmente de uma maneira não-linear, isto é, em um modo chaveado, onde são excitados abruptamente entre os extremos de condução e não condução. Neste capítulo revisaremos alguns assuntos de interesse relativos a estes dispositivos, com uma ênfase especial ao seu comportamento quando usados como chaves.

1.1 O DIODO SEMICONDUTOR IDEAL

Para um diodo de junção *pn* ideal, a corrente I está relacionada à tensão V através da equação

$$I = I_0(\epsilon^{V/V_T} - 1) \tag{1.1-1}$$

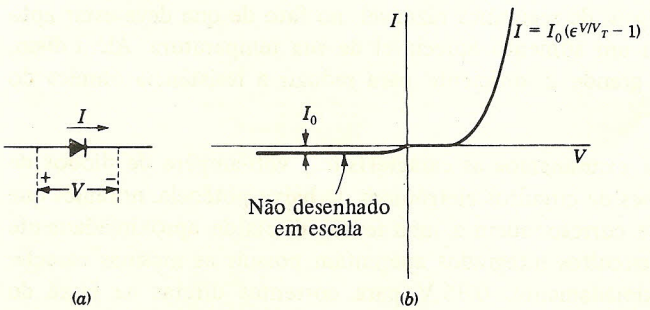


FIGURA 1.1-1
(*a*) Os símbolos I e V usados na equação do diodo (1.1-1), definidos. (*b*) A característica volt-ampère de um diodo ideal.

Conforme é indicado na Fig. 1.1-1*a*, a corrente I é positiva quando ela flui do lado p para o lado n do diodo. V é a tensão entre o lado p e o lado n. Quando V é positivo, o diodo está diretamente polarizado. O símbolo V_T representa o equivalente, em elétron-volt, da temperatura e é dado por

$$V_T \equiv \frac{kT}{e} \tag{1.1-2}$$

onde k = constante de Boltzmann = $1{,}38 \times 10^{-23}$ J/K
e = carga eletrônica = $1{,}602 \times 10^{-19}$ C
T = temperatura absoluta, kelvins.

Fazendo as substituições, encontramos $V_T = T/11.600$ V e que, à temperatura ambiente ($T \approx 300$°K), $V_T \approx 25$ mV.

Em princípio, a forma da característica volt-ampère do diodo é mostrada na Fig. 1.1-1*b*. Quando a tensão V é positiva e muito maior do que V_T, o termo exponencial da Eq. (1.1-1) é muito maior do que a unidade, e o termo -1 entre parênteses pode ser desprezado. Como conseqüência, exceto em uma pequena região ao redor da origem, a corrente aumenta exponencialmente com a tensão. Quando o diodo estiver polarizado reversamente e $|V|$ for muitas vezes maior do que V_T, $|I| \approx I_0$. A corrente reversa é, portanto, constante e independente da polarização reversa aplicada. Conseqüentemente, I_0 é referida como sendo a *corrente reversa de saturação*. Esta corrente é mostrada na Fig. 1.1-1*b* usando-se uma escala ampliada, porque o valor de I_0 é algumas ordens de grandeza inferior aos valores típicos de I.

Estaremos interessados, conforme será observado, na operação de diodos (e outros elementos) como chaves. O diodo é uma chave *aberta* quando polarizado reversamente, e uma chave *fechada* quando polarizado diretamente. Geralmente verificaremos, em circuitos de nosso interesse, que um diodo existente em um determinado circuito operando como uma chave fechada poderá, tipicamente, suportar uma corrente da ordem de miliampères, isto é, na faixa de 0,1 a 10 mA. A tensão aplicada ao diodo para produzir esta corrente direta nominal depende, é claro, da seção transversal do diodo. Se um diodo fornecesse uma corrente de 1 μA com uma tensão aplicada V, um segundo diodo com uma seção transversal 1.000 vezes maior nos daria uma corrente de 1 mA.

Quando um diodo é fabricado, tanto na forma de componente discreto ou como um elemento de um circuito integrado, é um fator de ordem econômica não usarmos uma seção transversal maior do que a necessária. Particularmente, este é o caso dos circuitos integrados (CI). Em CI, muitos elementos de circuito são incluídos em uma única pastilha e um aumento diminuto na seção transversal de um elemento é multiplicado várias vezes. Isto pode resultar em um aumento apreciável do tamanho de uma pastilha de silício, ou, equivalentemente, o mesmo tamanho de pastilha conteria menos diodos. A seção transversal de um diodo será então selecionada em parte, com base em uma margem de segurança razoável, no fato de que deve estar apto a dissipar o calor por ele gerado, sem um aumento apreciável de sua temperatura. Além disso, a área da seção transversal deve ser grande o suficiente para reduzir a resistência ôhmica do diodo a níveis aceitáveis.

Um modelo de diodo. Quando examinamos as características volt-ampère de diodos de silício comerciais destinados a aplicações de circuitos eletrônicos de baixa potência, notamos que correntes da ordem de um miliampère correspondem a uma tensão direta de aproximadamente 0,75 V. Os diodos incorporados aos circuitos integrados aparentam possuir as mesmas características, necessitando também, aproximadamente, 0,75 V para correntes diretas na faixa do

miliampère. Como seguidamente vamos nos referir a esta tensão, associaremos a ela o símbolo $V_\sigma = 0{,}75$ V. Quando a tensão direta no diodo for V_σ, o diodo, usado como chave, estará na posição fechada.

Se necessitamos da chave a diodo na posição aberta, não é realmente necessário, por motivos de ordem prática, que o diodo esteja reversamente polarizado. Há somente a necessidade de que a tensão no diodo corresponda a uma corrente direta muito pequena, em comparação com a corrente correspondente a V_σ. Vamos considerar a corrente do diodo desprezível quando seu valor cair a 1% da corrente correspondente a V_σ. A tensão no diodo, correspondente a esta corrente reduzida, será chamada de V_γ.

Se as correntes I_σ e I_γ corresponderem às tensões V_σ e V_γ, então, a partir da Eq. (1.1-1), teremos

$$I_\sigma = I_0(\epsilon^{V_\sigma/V_T} - 1) \tag{1.1-3a}$$

e

$$I_\gamma = I_0(\epsilon^{V_\gamma/V_T} - 1) \tag{1.1-3b}$$

Como ϵ^{V_σ/V_T} e ϵ^{V_γ/V_T} são muito maiores do que a unidade, temos

$$\frac{I_\sigma}{I_\gamma} = 100 = \epsilon^{(V_\sigma - V_\gamma)/V_T} \tag{1.1-4}$$

e

$$V_\sigma - V_\gamma = V_T \ln 100 \approx 120 \text{ mV} \tag{1.1-5}$$

Assim, desde que $V_\sigma \approx 0{,}75$ V, $V_\gamma \approx 0{,}63$ V.

Será conveniente usarmos para V_γ o valor $V_\gamma = 0{,}65$ V em vez de 0,63 V, de tal maneira que a diferença entre V_σ e V_γ seja um número redondo. Como $V_\gamma = 0{,}65$ V, $V_\sigma - V_\gamma = 0{,}1$ V e pode ser rapidamente verificado que uma variação de tensão de 0,1 V corresponde uma relação de corrente $I_\sigma/I_\gamma = 55$. Admitiremos, entretanto, que não há circulação de corrente para tensões no diodo, tais que $V < V_\gamma$ e, portanto, o valor preciso de I_γ é irrelevante. Se agora desenharmos a característica do diodo usando uma escala para a corrente, de tal maneira que à tensão V_γ a corrente seja nula, a característica tomaria a forma da Fig. 1.1-2. A tensão V_γ é chamada de tensão de *cut-in*.*

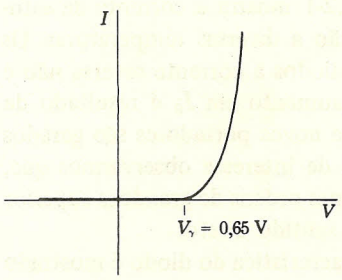


FIGURA 1.1-2
O limiar (*cut-in*) em $V_\gamma = 0{,}65$ V de um diodo de silício.

Não devemos imaginar que os diodos sejam fabricados tão cuidadosamente de modo que sua tensão direta seja sempre igual a 0,75 V. Por outro lado, deve ser observado que, por causa

* *Cut-in:* tensão correspondente ao também chamado potencial de barreira (limiar).

da natureza exponencial da característica do diodo, uma variação relativamente grande em corrente corresponde a uma variação relativamente pequena na tensão do diodo. Suponhamos, por exemplo, que um determinado diodo nos fornece uma corrente I_σ a uma tensão $V_\sigma = 0{,}75$ V. Consideremos então que, pelo mesmo diodo para uma determinada aplicação, deve circular $2\,I_\sigma$. Então, como pode ser verificado (Prob. 1.1-2), a variação de V_σ seria somente de 17 mV, ou seja, somente 2% de seu valor.

Podemos resumir nossa discussão inteira, no que se refere às tensões no diodo, da seguinte maneira. Consideraremos inicialmente que um diodo de silício terá uma tensão $V_\gamma = 0{,}65$ V. Assim, consideraremos que, quando a tensão no diodo for menor do que 0,65 V, a corrente no diodo será suficientemente pequena para ser desprezada e a presença do diodo começará a ser sentida à medida que V aumenta a valores superiores de 0,65 V. Além disso, quando encontrarmos um diodo em um circuito conduzindo toda a corrente que ele é capaz de suportar, vamos considerar que a tensão no diodo seja de 0,75 V. Há ocasiões em que o diodo estará trabalhando em uma região intermediária e, neste caso, a tensão no diodo será considerada como sendo 0,7 V.

Os valores absolutos associados a estas tensões representam o resultado de várias experiências obtidas a partir do exame de inúmeros circuitos discretos e integrados, e também do exame de inúmeras páginas de especificações técnicas de fabricantes de diodos de porte médio. Este modo de considerarmos os diodos nos dá uma precisão inteiramente adequada e evita complicações que surgiriam se, em nossa análise de circuitos eletrônicos, fôssemos levar em conta a característica volt-ampère real do diodo.

1.2 A DEPENDÊNCIA DAS CARACTERÍSTICAS DO DIODO EM FUNÇÃO DA TEMPERATURA

As características de um diodo são dependentes da temperatura. Esta dependência aparece na Eq. (1.1-1) explicitamente no parâmetro V_T e implicitamente no fato de que a corrente de saturação reversa I_0 é também dependente da temperatura. É verificado que I_0 é uma função exponencial da temperatura e que, na vizinhança da temperatura ambiente, ela dobra, aproximadamente, para cada aumento de 10°C na temperatura. A Fig. 1.2-1 mostra a corrente de saturação reversa para um diodo de silício, discreto típico, em relação a diversas temperaturas. Os gráficos também chamam a atenção ao fato de que em muitos diodos a corrente reversa não é constante, mas aumenta com o aumento da tensão reversa. O aumento em I_0 é resultado da circulação de corrente pela superfície do diodo e pelo fato de que novos portadores são gerados devido às colisões na região de transição da junção do diodo. É de interesse observarmos que, como medida prática, I_0 medido no sentido reverso pode ser algumas ordens de grandeza superior ao valor necessário para haver concordância com a Eq. (1.1-1) no sentido direto.

No sentido direto, o efeito total da temperatura sobre a característica do diodo é mostrado nos gráficos da Fig. 1.2-2. Observamos nesta figura que uma mudança de temperatura tem o efeito principal de deixar a forma da característica inalterada, porém, translada-a ao longo do eixo das abscissas. Assim, em um valor fixo de corrente, um *aumento* ΔT na temperatura provoca um *decréscimo* de tensão ΔV. Teoricamente pode ser estimado, e praticamente verificado, que

$$\frac{\Delta V}{\Delta T} \approx -2 \text{ mV/°C} \tag{1.2-1}$$

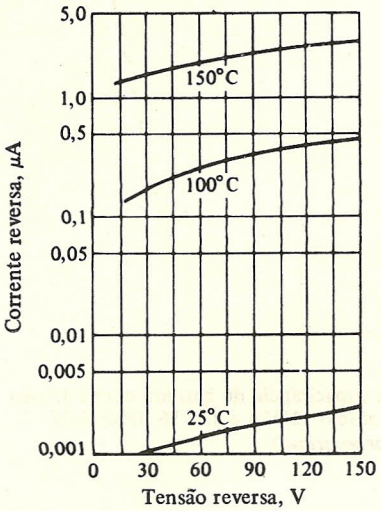


FIGURA 1.2-1
A dependência da corrente de saturação reversa em relação à temperatura e à tensão reversa do diodo de silício do tipo 1N461.

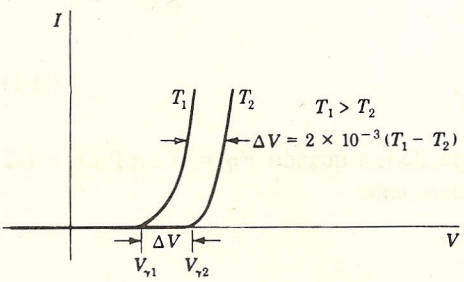


FIGURA 1.2-2
O efeito da temperatura na característica volt-ampère do diodo no sentido direto.

Mais precisamente, a sensibilidade à temperatura $\Delta V/\Delta T$ depende não só da temperatura mas também da corrente de operação. Geralmente o módulo de $\Delta V/\Delta T$ diminui com o aumento da temperatura e da corrente. O valor dado na Eq. (1.2-1) é apropriado para a temperatura ambiente (25°C). Por simplicidade, usaremos a figura da Eq. (1.2-1) de uma maneira geral, sabendo que os erros cometidos estarão do lado conservativo.

1.3 A CAPACITÂNCIA DE TRANSIÇÃO DO DIODO

Um diodo é levado à condição de polarização reversa quando há o desejo de interrompermos uma corrente ou para evitar a transmissão de um sinal. Quando diodos forem usados para estas finalidades, em circuitos que trabalham com formas de onda rápidas ou em altas freqüências, deveremos levar em consideração a capacitância que aparece na junção polarizada reversamente. Esta capacitância é chamada de *Capacitância de transição* ou *de barreira*, C_T. Se esta capacitância for grande o suficiente, a corrente que deveria ficar restrita pela baixa condutância do diodo reversamente polarizado, circulará através do capacitor.

Os diodos destinados a serem usados com formas de onda rápidas têm capacitâncias de transição da ordem de 1 a 10 pF. Esta capacitância diminui com o aumento da tensão reversa,

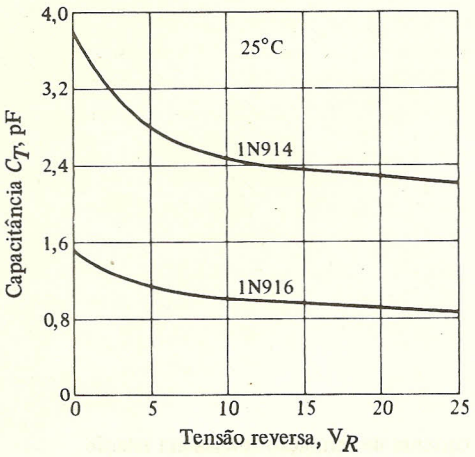


FIGURA 1.3-1
Variação típica da capacitância de barreira com a tensão reversa de diodos silício 1N914 e 1N916. (*Fairchild Semiconductor Corporation.*)

conforme ilustrado, para dois diodos típicos, na Fig. 1.3-1. Uma aproximação boa e simples para a capacitância de transição é dada por

$$C_T = \frac{C_0}{(1 + V_R)^n} \tag{1.3-1}$$

onde V_R é a tensão de polarização reversa e C_0 é a capacitância quando $V_R = 0$ e n for $n = 1/2$ ou $1/3$, para junções do tipo abrupta ou linear, respectivamente.

1.4 O DIODO ZENER

À medida que a tensão reversa no diodo aumenta, chegamos a um ponto onde há a ruptura (*breakdown*) do diodo, isto é, ele começa abruptamente a permitir a passagem de grandes correntes. A característica de tensão reversa do diodo, incluindo a região de ruptura, é mostrada

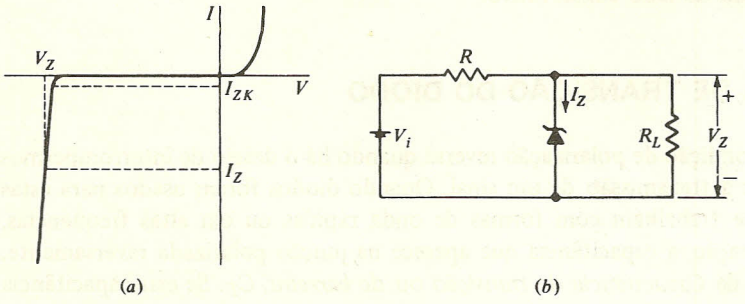


FIGURA 1.4-1
(*a*) A característica volt-ampère de um diodo de avalanche ou Zener;
(*b*) um circuito onde tal diodo é usado para regular a tensão em R_L contra mudanças devido a variações na corrente de carga e na tensão de alimentação.

na Fig. 1.4-1*a*. Os diodos que forem projetados com uma capacidade de dissipação de potência adequada para operarem na região de ruptura, podem ser empregados como uma referência de tensão ou como uma fonte de tensão constante. Tais diodos são conhecidos como *diodos Zener*, *de avalanche* ou *de ruptura*. Eles são usados tipicamente como na Fig. 1.4-1*b*. A fonte de entrada V_i e o resistor R são selecionados de tal maneira que o diodo inicialmente opere na região de ruptura. Assim, a tensão sobre o diodo, que também é a tensão sobre a carga R_L, é V_Z, como mostrado na Fig. 1.4-1*a* e a corrente no diodo é I_Z. O diodo agora regulará a tensão na carga contra as variações de corrente na carga e contra as variações da tensão de alimentação V_i porque, na região de ruptura, grandes variações de corrente no diodo resultam em pequenas variações na tensão do diodo. Mais ainda, à medida que a corrente na carga ou a tensão de alimentação variarem, a corrente no diodo se acomodará de tal maneira a manter aproximadamente constante a tensão na carga. O diodo continuará a executar sua tarefa de regulação até que a operação do circuito faça com que a corrente no diodo caia ao valor I_{ZK}, na vizinhança do joelho da curva volt-ampère do diodo. O limite superior de corrente no diodo é determinado por sua capacidade de dissipação de potência.

Dois mecanismos de ruptura do diodo com o aumento da tensão reversa são reconhecidos. Um deles nos diz que os elétrons e lacunas gerados termicamente adquirem energia suficiente, devido ao potencial aplicado, para produzirem novos portadores, pela remoção de elétrons da banda de valência. Estes novos portadores, por sua vez, produzem portadores adicionais que novamente continuarão o processo de rompimento de ligações e criação de novos portadores. Este processo acumulativo é chamado de *multiplicação por avalanche*. O resultado é o de uma corrente reversa elevada e o diodo vai para a região de *ruptura por avalanche*. Ainda que inicialmente os portadores não adquiram energia suficiente para romper as ligações, é possível iniciar-se o processo de ruptura através do rompimento direto das ligações devido à existência de um campo elétrico forte. Nestas circunstâncias, a ruptura é chamada de *ruptura de Zener*.

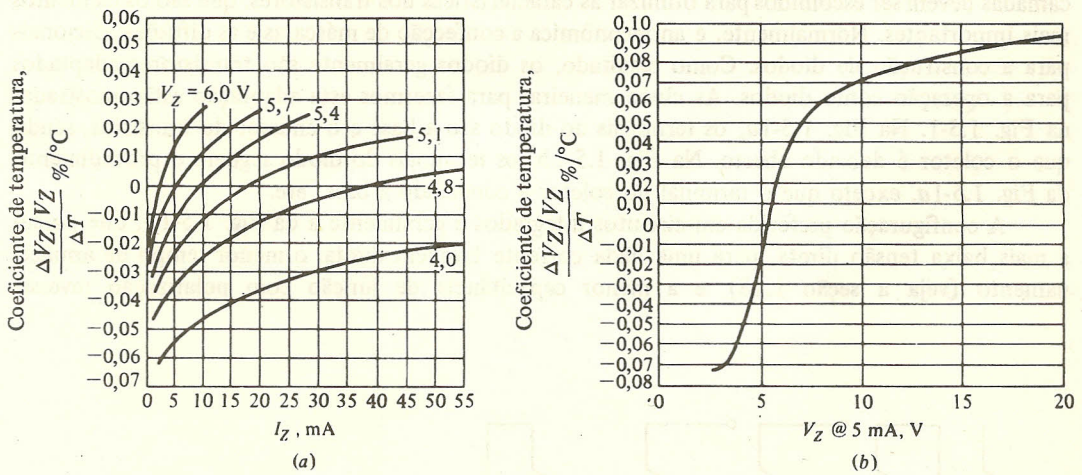


FIGURA 1.4-2
Coeficientes de temperatura para alguns diodos Zener que possuem tensões de operação diferentes (*a*) como função da corrente de operação e (*b*) como uma função da tensão de operação. A tensão V_Z é medida para I_Z = 5 mA (de 25 a 100°C). (*Pacific Semiconductors, Inc.*)

Este efeito Zener é agora sabido representar um papel importante, somente em diodos com tensão de ruptura abaixo de, aproximadamente, 6 V. O termo *Zener* também é usado para o efeito de ruptura por avalanche, o que ocorre com valores de tensão mais elevados. Há diodos de silício que operam em ruptura por avalanche mantendo tensões que variam desde alguns volts até algumas centenas de volt e com potências de dissipação até 50 W.

Um assunto de interesse no que se refere a diodos Zener, bem como a dispositivos semicondutores em geral, é a sua sensibilidade à temperatura. A dependência com a temperatura da tensão de referência indicada na Fig. 1.4-2 é típica em relação ao que geralmente seria de se esperar. Na Fig. 1.4-2*a*, o coeficiente de temperatura da tensão de referência está desenhado como uma função da corrente de operação através do diodo, para vários diodos diferentes e com a tensão de referência especificada para 5 mA. O coeficiente de temperatura é o percentual da mudança na tensão de referência pela variação da temperatura do diodo em um grau Celsius. A Fig. 1.4-2*b* é um gráfico do coeficiente de temperatura considerando uma corrente fixa de 5 mA no diodo em função da tensão Zener. Os dados usados para a confecção desta curva foram tomados a partir de uma série de diodos diferentes com diferentes tensões Zener mas com a taxa de dissipação de potência fixa. A partir das curvas da Fig. 1.4-2, observamos que os coeficientes de temperatura podem ser positivos ou negativos e normalmente estão na faixa de $\pm 0{,}1$ por cento/°C. Observe que, se a tensão de referência está acima de 6 V, onde então o mecanismo físico envolvido é a multiplicação por avalanche, o coeficiente de temperatura é positivo. Abaixo de 6 V, entretanto, a verdadeira ruptura de Zener é envolvida e o coeficiente de temperatura é negativo.

1.5 DIODOS PARA CIRCUITOS INTEGRADOS

Na fabricação de um circuito integrado, a geometria e o fator de dopagem das várias camadas devem ser escolhidos para otimizar as características dos transistores, que são os elementos mais importantes. Normalmente, é antieconômica a confecção de máscaras e as difusões adicionais para a construção de diodos. Como resultado, os diodos geralmente são transistores adaptados para a operação como diodos. As cinco maneiras para fazermos esta adaptação estão mostradas na Fig. 1.5-1. Na Fig. 1.5-1*a*, os terminais do diodo são a base e o emissor do transistor, sendo que o coletor é deixado aberto. Na Fig. 1.5-1*b*, os terminais do diodo seguem o procedimento da Fig. 1.5-1*a*, exceto que o terminal do coletor é conectado à base, etc.

A configuração preferida em circuitos integrados é geralmente a da Fig. 1.5-1*b*, que possui a mais baixa tensão direta, para uma dada corrente também direta, o menor tempo de armazenamento (veja a seção 1.18), e a menor capacitância de junção com polarização reversa.

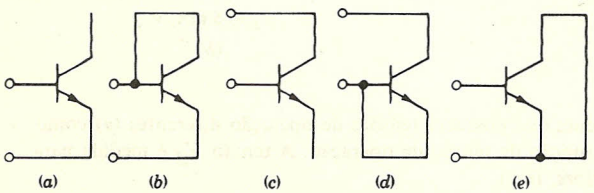


FIGURA 1.5-1
As cinco maneiras pelas quais transistores podem ser adaptados para serem usados como diodos.

A sua tensão de ruptura, por outro lado, é baixa, tendendo a se situar ao redor de 7 V. Como as fontes de alimentação encontradas em circuitos digitais raramente excedem os 5 ou 6 V, esta limitação não constitui uma desvantagem séria.

1.6 O TRANSISTOR COMO CHAVE

O transistor da Fig. 1.6-1*a* está sendo usado como uma chave para conectar ou desconectar a carga R_L à fonte V_{CC}. Exceto pelo fato de que o transistor pode ser operado eletricamente, e pode responder mais rapidamente, sua finalidade se equipara à da chave mecânica da Fig. 1.6-1*b*. A chave mecânica, quando aberta, não permite a passagem de corrente elétrica, ao passo que, se estiver fechada, toda a tensão V_{CC} aparecerá na carga R_L. Idealmente, a chave a transistor deveria ter as mesmas propriedades. Nesta seção discutiremos as características em regime permanente do circuito da Fig. 1.6-1, correspondente aos casos em que a chave a transistor está aberta ou está fechada. A seção 1.20 discute a velocidade com que a transição entre estes dois estados pode ser efetuada.

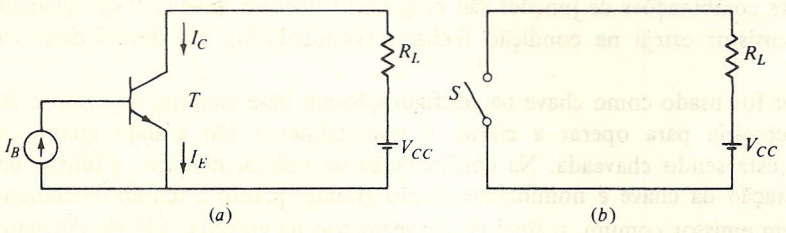


FIGURA 1.6-1
O transistor em (*a*) está sendo usado como uma chave. Ele realiza a mesma função que a chave S em (*b*). O sentido positivo de referência para cada corrente é mostrado. O símbolo V_{CC} é um número positivo que representa o módulo da tensão de alimentação.

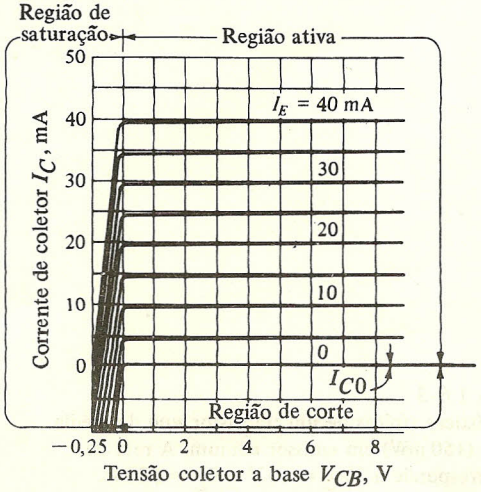


FIGURA 1.6-2
Características típicas de um transistor *npn* em base comum. As regiões de corte, ativa e de saturação estão indicadas. Observe a escala de tensão expandida na região de saturação.

Quando um transistor é utilizado como uma chave, é útil dividirmos sua faixa de operação em três regiões: *de corte, ativa* e *de saturação*. Estas regiões podem ser facilmente identificadas nas características em base comum do transistor, como na Fig. 1.6-2. Na região de corte, tanto a junção de emissor como a junção do coletor estão polarizadas reversamente, e somente uma pequena corrente de saturação reversa circula através das junções. O transistor, então, estará operando na região inferior da curva característica para $I_E = 0$. Esta característica corresponde a uma corrente de coletor I_{C0}, que é a corrente reversa de saturação do coletor. Ela é quase coincidente com o eixo $I_C = 0$. Há a necessidade de que o transistor esteja na região de corte, quando ele tiver que apresentar o comportamento de uma chave aberta.

Quando a junção base-emissor estiver polarizada diretamente e a junção base-coletor polarizada reversamente, a corrente de saída do transistor responde quase linearmente a uma corrente de entrada. Quando o transistor opera como chave, esta região não é de muito interesse, porque o transistor chaveia, rapidamente, da região de corte à região de saturação (ou vice-versa) e, idealmente, passa pela região ativa durante um intervalo de tempo que pode ser considerado insignificante.

A região à esquerda da ordenada $V_{CB} = 0$ e acima de $I_E = 0$ é a região de saturação. Neste caso, as junções de emissor e coletor estão ambas polarizadas diretamente. As tensões nas junções individuais ou nas combinações de junções são pequenas (menores do que 1 V). Quando for necessário que o transistor esteja na condição fechado (conduzindo), ele deverá estar na região de saturação.

Quando o transistor for usado como chave na configuração em base comum, a corrente de entrada no emissor, necessária para operar a chave, é nominalmente tão grande quanto a corrente de coletor que está sendo chaveada. Na configuração de coletor comum, a tensão de entrada necessária à operação da chave é nominalmente tão grande quanto a tensão de alimentação. Na configuração em emissor comum, o sinal de chaveamento na entrada, seja ele corrente ou tensão, é pequeno comparado ao sinal de saída chaveado, que poderá ser corrente ou tensão. A configuração de emissor comum, portanto, é a que geralmente apresenta maiores aplicações em chaveamento a transistor.

Retornamos agora ao circuito de chaveamento em emissor comum da Fig. 1.6-1*a*; na Fig. 1.6-3 mostramos as características típicas em emissor comum para um transistor de potência média.

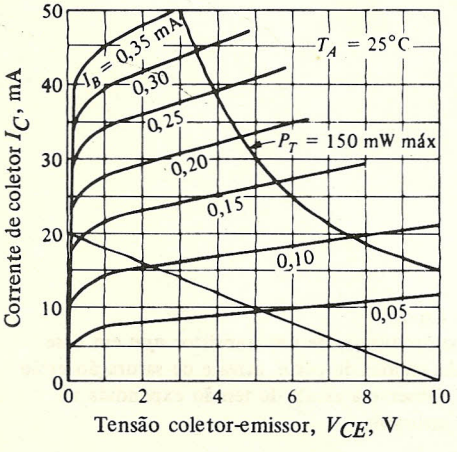


FIGURA 1.6-3
Características típicas de um transistor *npn* de média potência (150 mW) em emissor comum. A reta de carga corresponde a $V_{CC} = 10$ V e $R_L = 500\ \Omega$.

Vamos selecionar um resistor de carga $R_L = 500\ \Omega$ e uma fonte de alimentação $V_{CC} = 10$ V e vamos também sobrepor a reta de carga sobre as características do transistor. As regiões de corte e saturação não estão marcadas claramente na Fig. 1.6-3 como estão na Fig. 1.6-2. Nas diversas seções subseqüentes, discutiremos os detalhes de importância na operação do transistor nas regiões de corte e saturação.

1.7 EXPRESSÕES ANALÍTICAS PARA AS CARACTERÍSTICAS DO TRANSISTOR

As características necessárias dos transistores para a operação em um projeto de um circuito de chaveamento normalmente são fornecidas pelo fabricante, para cada tipo de transistor. Não é menos importante, entretanto, termos um procedimento analítico para a determinação dos estados de operação de um transistor. Em primeiro lugar, esta análise nos livrará da completa dependência das especificações e gráficos publicados para cada tipo de transistor que teríamos intenção de usar. Em segundo lugar, nos permitirá chegar a uma estimativa de parâmetros que normalmente não são fornecidos pelos fabricantes. Finalmente, nos ajudará na análise dos circuitos integrados onde as características individuais dos transistores não estão disponíveis. Para nossa análise, consideremos um transistor do tipo *npn*, conforme mostrado na Fig. 1.7-1, e suponhamos que os sentidos adotados pelas correntes sejam positivos. Estes são os sentidos em que normalmente as correntes circulam. As correntes de coletor I_C e de base I_B serão positivas, quando seus

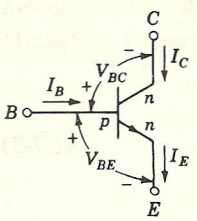


FIGURA 1.7-1
As tensões e correntes definidas pelas equações de Ebers-Moll.

sentidos forem em direção ao transistor, sendo que a corrente de emissor I_E será positiva, quando seu sentido for para fora do transistor. O símbolo V_{BC} designa a tensão na junção de um coletor tipo *n* com uma base tipo *p*. A junção de coletor estará polarizada diretamente quando V_{BC} for positiva. Da mesma forma, V_{BE} é a tensão na junção do emissor. A junção de emissor estará polarizada diretamente quando V_{BE} for positivo.

A corrente que atravessa uma junção de um transistor provém de duas fontes. Uma destas componentes de corrente é a *componente de diodo*. Ela é devida à tensão V mantida na junção por fatores externos. Esta componente de corrente é dada pela equação do diodo (1.1-1). A segunda componente é a *componente de transistor* devida aos portadores em minoria que cruzaram a outra junção e que tiveram sua difusão através da base. Somente uma fração α, da corrente que cruza a outra junção, cruza a junção em questão. Quando as junções do transistor forem identificadas como sendo as junções base-coletor e base-emissor, as correntes de junção I_C e I_E correspondentes poderão ser escritas como sendo

$$I_C = \alpha_N I_E - I_{C0}(\epsilon^{V_{BC}/V_T} - 1) \qquad (1.7\text{-}1)$$

$$I_E = \alpha_I I_C + I_{E0}(\epsilon^{V_{BE}/V_T} - 1) \qquad (1.7\text{-}2)$$

Os primeiros termos, do lado direito das Eqs. (1.7-1) e (1.7-2), representam as componentes de transistor da corrente, e os segundos termos representam as componentes de diodo. Um transistor normalmente não é simétrico devido à geometria e à dopagem. Assim sendo, α diferentes foram usados nas duas equações. Como resultado da convenção que se originou da observação de transistores quando usados como elementos lineares na região ativa, os portadores minoritários fazem sua difusão na direção "normal", quando há sua difusão a partir do emissor em direção ao coletor. Os portadores que fazem sua difusão no outro sentido são conhecidos como portadores se difundindo no sentido reverso ou inverso. Daí surgem os subscritos N (para normal) e I (para inverso) nos α. As correntes I_{C0} e I_{E0} são as correntes de saturação reversa para as junções de coletor e emissor, respectivamente, e que correspondem a I_0 na Eq. (1.1-1). As Eqs. (1.7-1) e (1.7-2) são conhecidas como sendo as *equações de Ebers-Moll.* As equações correspondentes para um transistor *pnp* podem ser facilmente escritas.

Se usarmos simultaneamente as Eqs. (1.7-1) e (1.7-2), estaremos tacitamente supondo que a resposta do transistor a uma corrente injetada na junção de coletor é independente de qualquer corrente que possivelmente seja injetada na junção de emissor, e vice-versa. Estaremos supondo, então, que o princípio da sobreposição se aplica às correntes no transistor e esta consideração implica que o transistor seja um dispositivo linear. Esta linearidade, é claro, não se aplica à característica volt-ampère da junção, mas somente às relações das correntes de junção entre si. Se a dopagem na região da base for uniforme, esta linearidade sem dúvida se apresentará. Se, porém, a dopagem não for uniforme, a linearidade não se aplicará. Entretanto, a faixa de aplicação destas equações é muito ampla e cobre muitos tipos de transistores.

Podemos agora usar as Eqs. (1.7-1) e (1.7-2) para obtermos as correntes de junção em termos das tensões de junção, conforme foi definido na Fig. 1.7-1, e que apresenta o seguinte resultado

$$I_E = \frac{I_{E0}}{1 - \alpha_N \alpha_I} (\epsilon^{V_{BE}/V_T} - 1) - \frac{\alpha_I I_{C0}}{1 - \alpha_N \alpha_I} (\epsilon^{V_{BC}/V_T} - 1) \tag{1.7-3}$$

$$I_C = \frac{\alpha_N I_{E0}}{1 - \alpha_N \alpha_I} (\epsilon^{V_{BE}/V_T} - 1) - \frac{I_{C0}}{1 - \alpha_N \alpha_I} (\epsilon^{V_{BC}/V_T} - 1) \tag{1.7-4}$$

A terceira corrente I_B é determinada a partir da condição

$$I_E = I_B + I_C \tag{1.7-5}$$

A partir das Eqs. (1.7-1) e (1.7-2), podemos obter as tensões como funções das correntes, e neste caso teríamos como resultado

$$V_{BE} = V_T \ln \left(1 + \frac{I_E - \alpha_I I_C}{I_{E0}}\right) \tag{1.7-6}$$

$$V_{BC} = V_T \ln \left(1 - \frac{I_C - \alpha_N I_E}{I_{C0}}\right) \tag{1.7-7}$$

Os parâmetros α_N, α_I, I_{C0} e I_{E0} não são independentes entre si e estão relacionados através da condição

$$\alpha_N I_{E0} = \alpha_I I_{C0} \tag{1.7-8}$$

Considerando um transistor operando na região ativa, nos será útil o conhecimento do parâmetro h_{fe}, que é o ganho de corrente incremental; isto é, $h_{fe} = \Delta I_C/\Delta I_B$. Este parâmetro nos será útil nos cálculos que envolvam um circuito a transistor onde ele opera linearmente, como é o caso de amplificadores. Um segundo parâmetro relacionado é o ganho de corrente cc $h_{FE} \equiv I_C/I_B$. Estes parâmetros de ganho de corrente podem ser relacionados aos parâmetros que aparecem nas equações de Ebers-Moll. Na região ativa, a junção base-coletor é polarizada reversamente e, se admitirmos que o módulo desta polarização é grande em comparação a V_T, a Eq. (1.7-1) pode ser escrita como sendo

$$I_C = \alpha_N I_E + I_{C0} \tag{1.7-9}$$

A partir das Eqs. (1.7-9) e (1.7-5), chegamos a

$$I_C = \frac{\alpha_N}{1-\alpha_N} I_B + \frac{I_{C0}}{1-\alpha_N} \tag{1.7-10}$$

Considerando a Eq. (1.7-10), podemos escrever

$$h_{fe} = \frac{\Delta I_C}{\Delta I_B} = \frac{\alpha_N}{1-\alpha_N} \tag{1.7-11}$$

I_{C0} normalmente é muito pequena em comparação com as correntes que circulam pelo transistor, quando ele está na região ativa, e portanto poderemos ignorar o último termo da Eq. (1.7-10). Neste caso, temos que

$$h_{FE} = \frac{\alpha_N}{1-\alpha_N} \tag{1.7-12}$$

De acordo com o acima exposto, não faremos distinção entre h_{FE} e h_{fe}. Considerando um caso típico, determinamos $\alpha_N = 0{,}98$ e, por conseguinte, $h_{FE} \approx 50$.

O parâmetro h_{FE} varia muito na faixa de operação do transistor e, mais freqüentemente ainda, varia de um para outro transistor do mesmo tipo. Não é raro encontrarmos uma variação de h_{FE} de 50 por cento em uma faixa de variação da corrente de coletor de 10. Da mesma maneira, vários transistores do mesmo tipo podem variar seus h_{FE} de um fator de 3. O parâmetro h_{FE} também é sensível à temperatura e pode variar de um fator de 3, ou mais, numa faixa de temperatura que vai de -50 a $+150°C$. Ainda assim, convém observarmos que é possível projetar transistores, tanto na forma discreta como integrada, de tal maneira que o valor médio e típico de h_{FE} seja um parâmetro controlável. Assim, há transistores (discretos e integrados), com um h_{FE} moderado, o que significa $h_{FE} \approx 50$, e transistores com h_{FE} elevado, da ordem de $h_{FE} \approx 200$.

Os subscritos do parâmetro h_{FE} são derivados do fato de que h_{FE} (o qual supomos igual a h_{fe}) é o parâmetro *híbrido* caracterizado como sendo o ganho de corrente *direta* (*forward*) em *emissor* (*emitter*) comum. Se o transistor é utilizado de maneira inversa, o coletor vem a ser o terminal comum e, correspondendo ao h_{FE} no sentido normal, teremos no sentido inverso o parâmetro h_{FC}. Este parâmetro está relacionado a α_I e à Eq. (1.7-12), através da equação abaixo

$$h_{FC} = \frac{\alpha_I}{1-\alpha_I} \tag{1.7-13}$$

A geometria e a dopagem dos transistores são tais que, enquanto α_N normalmente é um valor próximo à unidade, α_I é muito menor, ficando na faixa 0,01 a 0,2. Assim, h_{FC} será encontrado na faixa que vai de 0,01 a 0,25.

O transistor no modo de operação normal e na região ativa tem $V_{BC} \leqslant 0$ e $V_{BE} >> V_T$. Se levarmos em conta ainda que $\alpha_I << 1$, a Eq. (1.7-3) se reduz ao resultado bastante útil dado por

$$I_E \approx I_{E0}\, \epsilon^{V_{BE}/V_T} \tag{1.7-14}$$

1.8 O TRANSISTOR NO CORTE

Consideremos um transistor em um circuito de chaveamento, conforme a Fig. 1.6-1*a*. Se a tensão base-emissor não for elevada o suficiente para diretamente polarizar a junção do emissor adequadamente, a corrente de emissor (e a corrente de coletor) estará nominalmente reduzida a zero e o transistor estará no *corte*. Da mesma forma que no diodo, é importante sabermos a tensão de limiar (*cut-in*) do transistor. As equações de Ebers-Moll podem ainda nos fornecer informações adicionais. Observando a Fig. 1.6-1, perto do limiar, a junção base-coletor está polarizada reversamente e temos $V_{BC}/V_T << 1$. A Eq. (1.7-3) pode, então, ser escrita da seguinte forma

$$I_E = \frac{I_{E0}}{1 - \alpha_N \alpha_I} (\epsilon^{V_{BE}/V_T} - 1) + \frac{\alpha_I I_{C0}}{1 - \alpha_N \alpha_I} \tag{1.8-1}$$

A Eq. (1.8-1) pode ser reescrita, usando-se a Eq. (1.7-8) e, neste caso,

$$I_E = \frac{I_{E0}}{1 - \alpha_N \alpha_I} (\epsilon^{V_{BE}/V_T} - 1 + \alpha_N) \tag{1.8-2}$$

Normalmente $\alpha_N \approx 1$, e então temos

$$I_E \approx \frac{I_{E0}}{1 - \alpha_I} \epsilon^{V_{BE}/V_T} \tag{1.8-3}$$

O parâmetro α_I, conforme foi observado, situa-se geralmente na faixa de 0,01 a 0,2, de tal maneira que o fator $I_{E0}/(1 - \alpha_I)$ se situa na faixa desde $1{,}25 I_{E0}$ até, aproximadamente, I_{E0}. Suporemos, a princípio, que $I_{E0}/(1 - \alpha_I) \approx I_{E0}$. A Eq. (1.8-3), então, fica idêntica à equação do diodo (1.1-1), sendo que I_{E0} é a corrente reversa de saturação da junção base-emissor. Podemos aplicar toda a nossa discussão sobre o ponto de limiar V_γ do diodo ao caso presente e temos, então, o importante resultado de que a tensão de limiar da junção base-emissor é $V_\gamma = 0{,}65$ V. De uma maneira geral, a Eq. (1.8-3) pode ser escrita sob a forma

$$I_E = I_{E0} \exp \frac{V_{BE} - V_T \ln (1 - \alpha_I)}{V_T} \tag{1.8-4}$$

O gráfico correspondente à Eq. (1.8-4) é idêntico ao gráfico da equação do diodo, exceto por um deslocamento na direção positiva de tensão de $V_T \ln (1 - \alpha_I)$. Considerando que α_I

seja 0,2 (um valor superestimado), este deslocamento será de apenas $-0{,}005$ V, o que é desprezível frente a 0,65 V. Podemos supor, então, que $V_\gamma \approx 0{,}65$ V e independente de α_I.

A corrente de saturação reversa de coletor I_{CB0}. A corrente de coletor, quando a corrente de emissor for zero, é designada por I_{CB0}. Dois fatores contribuem para fazer $|I_{CB0}|$ maior do que $|I_{C0}|$. Primeiro, há uma corrente de fuga que circula não através da junção mas ao seu redor e através das superfícies. A corrente de fuga é proporcional à tensão aplicada à junção. A segunda razão pela qual $|I_{CB0}| > |I_{C0}|$ é que novos portadores podem ser gerados por colisão na região de transição da junção, fazendo com que ocorra uma multiplicação de corrente por avalanche e uma eventual ruptura, conforme foi discutido na seção 1.4. Entretanto, antes que haja a aproximação da região de ruptura, esta componente de corrente por *multiplicação* pode atingir proporções consideráveis.

Considerando a temperatura de 25°C I_{CB0}, para um transistor de silício de potência média, está na faixa dos nanoampères. Uma regra prática para a sensibilidade à temperatura de I_{CB0} é a de que ela dobra a cada aumento de 10°C. Há uma grande variação na corrente de saturação reversa com a temperatura, e, ainda mais, há uma grande variação desta corrente de um transistor para outro do mesmo tipo. Como exemplo, as especificações técnicas do transistor de silício de chaveamento 2N337, da Texas Instruments, indica uma variação de I_{CB0} na faixa de 0,2 nA, até 0,3 μA que é uma faixa bastante ampla. Da mesma forma, qualquer transistor particular pode ter um I_{CB0} muito diferente da característica média para o referido tipo de transistor.

1.9 A CHAVE A TRANSISTOR NA SATURAÇÃO

Consideremos novamente a chave a transistor da Fig. 1.6-1. Seja a junção base-emissor polarizada diretamente, e a corrente de base I_B tal que a correspondente corrente de coletor I_C ocasione uma queda $R_L I_C$ em R_L, a qual é muito menor que a tensão de alimentação V_{CC}. Neste caso, enquanto a junção de emissor estiver polarizada diretamente, a junção de coletor estará polarizada reversamente. O principal mecanismo responsável pela continuidade de corrente entre emissor e coletor passará a ser descrito abaixo. Há portadores em minoria que são injetados na junção do emissor. Estes portadores fazem sua difusão pela base e são retirados desta quando atingem a junção do coletor. O transistor está então em sua região *ativa*. Um aumento na polarização direta da junção base-emissor aumenta a corrente de portadores minoritários e, portanto, aumenta o módulo da corrente de coletor. Deve-se observar, ainda, que, na região ativa, também há uma componente de corrente que cruza a base e que é devida a portadores minoritários injetados na base pela junção do coletor e retirados através da junção do emissor. Neste caso, como a junção do coletor se apresenta polarizada reversamente e a junção do emissor, diretamente, na região ativa esta componente de corrente é tão insignificante que pode ser desprezada.

À medida que a polarização direta da junção base-emissor aumenta, com conseqüente aumento do módulo da corrente de coletor, chegaremos a um ponto onde a tensão na junção base-coletor se torna zero e finalmente há a inversão da polaridade. A junção base-coletor estará então polarizada diretamente. Sob estas circunstâncias, a injeção de portadores minoritários na base pela junção do coletor será comparável à injeção de tais portadores pelo emissor. O transistor estará então na *saturação*. Quando o transistor estiver em saturação e tentarmos aumentar o módulo da corrente de coletor através do aumento da polarização direta na junção base-emissor, alcançaremos um sucesso parcial, porque, para qualquer aumento no módulo da corrente de

coletor, a polarização direta da junção base-coletor será aumentada ainda mais. A maior injeção pela junção do coletor resulta em uma componente de corrente maior e em sentido *oposto* àquele aumento potencial que seria induzido pelo crescimento original da polarização direta da junção base-emissor.

Um ponto de interesse deve ser observado quanto à aplicação do termo *saturação* a um transistor. Este termo, normalmente usado, nos dá idéia de que o dispositivo ao qual ele é aplicado está fornecendo o máximo de corrente que ele pode fornecer. Observe, entretanto, que, no circuito da Fig. 1.6-1, quando tivermos uma corrente de base I_B, o transistor pode fornecer uma corrente $I_C = h_{FE}I_B$. Se a corrente I_C for menor do que $h_{FE}I_B$, o transistor é considerado em saturação. Neste caso, a limitação é imposta pelo *circuito* e não pelo transistor. Assim sendo, estritamente falando, deveríamos usar a denominação *circuito saturado* e não *transistor saturado*. Na realidade, o transistor está saturado quando está na sua região ativa, desde que um aumento na tensão de coletor não ocasiona um aumento na corrente de coletor. Apesar do acima exposto, usaremos a terminologia normalmente usada, que considera um transistor saturado quando ambas as junções estão polarizadas diretamente.

Já foi observado que, tanto para o transistor como para o diodo, a tensão de limiar se situa ao redor de 0,65 V. Este resultado se aplica com maior aproximação a circuitos integrados, onde os diodos são construídos a partir de transistores. Com base nestas considerações, podemos supor que, quando pela junção base-emissor estiver circulando uma corrente "substancial", como é o caso do transistor em saturação, a tensão base-emissor será de aproximadamente 0,75 V, como nos diodos. Esta conjectura vem do fato de que, na prática, isto se verifica tanto para circuitos integrados, como para transistores discretos com potência de dissipação da ordem de 100 mW. Em circuitos integrados, a corrente "substancial" à qual nos referimos acima é da ordem de miliampères. Na saturação, quando a tensão coletor-emissor é muito pequena, a corrente de emissor é aproximadamente dada por V_{CC}/R_L (veja a Fig. 1.6-1). Como o V_{CC} típico é da ordem de 5 V e o R_L típico é da ordem de 5 kΩ, a corrente de coletor (que é aproximadamente igual à corrente de emissor) é de 1 mA.

Resumindo, consideraremos que a tensão de limiar ocorre para um valor de tensão entre base e emissor de $V_{BE} = 0{,}65$ V e a saturação ocorre com $V_{BE} = 0{,}75$ V. Quando considerarmos um transistor presumivelmente na região ativa, admitiremos que V_{BE} esteja entre os valores de limiar e saturação, digamos $V_{BE} = 0{,}7$ V. Novamente, devemos observar que estes valores de tensão se aplicam para transistores operando com correntes da ordem de 1 mA. No nosso estudo de lógica acoplada a emissor, a ser desenvolvido no Capítulo 7, e por razões que serão lá apresentadas, usaremos como tensão de limiar o valor de 0,7 V e como tensão de saturação 0,8 V.

Na Fig. 1.9-1, apresentamos as características típicas em emissor comum de um transistor *npn* de silício na faixa de baixa tensão entre coletor e emissor ($< 1{,}0$ V). O início da saturação é observado como sendo ao redor de 0,35 V. Neste ponto, observamos que uma redução maior na tensão é acompanhada por uma redução na corrente de coletor. Se admitirmos que na saturação $V_{BE} = 0{,}75$ V, poderemos então calcular a polarização direta na junção base-coletor como sendo $V_{BC} = 0{,}75 - 0{,}35 = 0{,}4$ V. Observamos que o início da saturação se dá quando a junção base-coletor está polarizada diretamente a ponto de que uma corrente minoritária apreciável é injetada por esta junção. Com base em nossa discussão prévia, esperaríamos que a saturação ocorresse ao redor de $V_{BC} = 0{,}65$ V ou em valores acima deste. Constatamos, porém, o valor $V_{BC} = 0{,}4$ V. Uma razão para esta discrepância vem do fato de que a junção de coletor possui uma seção transversal que é muito maior do que a do emissor. Assim sendo, na junção do coletor, correntes maiores são injetadas com tensões menores que aquelas da junção do emissor.

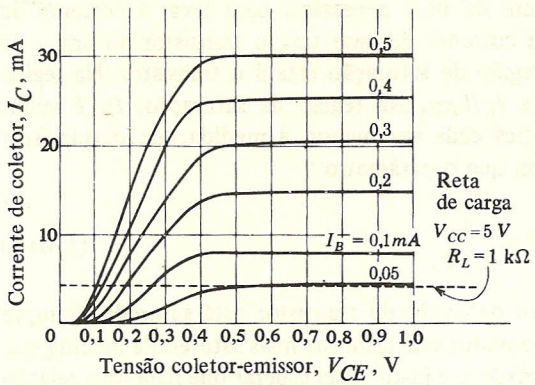


FIGURA 1.9-1
Características típicas de um transistor em emissor comum, na faixa onde $V_{CE} \leq 1{,}0$ V.

Tendo em mente agora o circuito da Fig. 1.6-1, desenhamos no eixo das ordenadas da Fig. 1.9-1 uma reta de carga correspondente a $V_{CC} = 5$ V e $R_L = 1\,k\Omega$. Levamos o transistor da Fig. 1.6-1*a* à saturação para simularmos o fechamento da chave na Fig. 1.6-1*b*. É de nosso desejo que a tensão desenvolvida na chave a transistor seja tão pequena quanto possível, para minimizarmos a dissipação de potência na chave e também para maximizarmos a variação de tensão em R_L, no fechamento da chave. A variação de tensão em R_L nos dá a separação entre os níveis lógicos, e quanto maior for esta separação, tanto melhor do ponto de vista de confiabilidade em relação a perturbações (ruídos) imprevisíveis. Quando a corrente de base $I_B = 0$, a tensão entre coletor e emissor será $V_{CE} = 5$ V. Da Fig. 1.9-1, observamos que, em $I_B = 0{,}1$ mA, o transistor está na saturação e que V_{CE} caiu para o valor $V_{CE} = 0{,}27$ V. Um aumento maior em I_B não ocasiona uma redução maior em V_{CE}. Ainda assim, não estaríamos inclinados a deixar o transistor em $I_B = 0{,}1$ mA porque, neste ponto, o transistor está muito perto da região limite para saturação. Então, enquanto um pequeno aumento em I_B não *reduziria* muito o V_{CE}, um decréscimo em I_B poderia *aumentar* V_{CE} de uma maneira significante. Assim sendo, é bom deixarmos uma previsão para o ruído e para variações de transistor a transistor, e vamos então operar o transistor mais saturado aumentando I_B de um fator de 2 ou até mesmo 3. Neste caso, conforme podemos observar a partir da Fig. 1.9-1, deveríamos ter V_{CE} (sat) $\approx 0{,}2$ V ou ainda 0,1 V. De qualquer maneira, é aparente que, a partir da Fig. 1.9-1, dependendo da reta de carga e do quanto colocamos o transistor na saturação, devemos ter geralmente V_{CE} (sat) na faixa de 0,1 a 0,3 V. Uma aproximação geralmente utilizada e que nos será bastante útil, é aquela que considera V_{CE} (sat) = 0,2 V; devemos ter em mente, entretanto, que um transistor que é trazido ao limiar de saturação, pode ter um V_{CE} da ordem de 0,4 V, enquanto um transistor muito saturado pode ter V_{CE} (sat) da ordem de dezenas de milivolts.

1.10 APLICAÇÃO DAS EQUAÇÕES DE EBERS-MOLL À SATURAÇÃO

Quando um transistor está em sua região ativa, as correntes de coletor e base estão relacionadas por $I_C = h_{FE} I_B$. Se alguma restrição for imposta quanto à máxima corrente de coletor possível, então, à medida que aumentarmos a corrente de base, alcançaremos um ponto em que o transistor satura. Por exemplo, no circuito de chaveamento a transistor da Fig. 1.6-1, a corrente

de coletor máxima é $I_C \approx V_{CC}/R_L$. A corrente de base necessária para levar a corrente de coletor a este nível é $I_B \approx V_{CC}/h_{FE}R_L$. Esta corrente de base traz o transistor ao limiar de saturação e, quanto maior for, tanto mais na região de saturação estará o transistor. Na região ativa, a corrente de base I_B permanece igual a I_C/h_{FE}. Na região da saturação, I_B é maior do que I_C/h_{FE} e a razão entre I_C/h_{FE} e I_B fica cada vez menor, à medida que o transistor satura cada vez mais. Estas considerações sugerem que o parâmetro

$$\sigma \equiv \frac{I_C/h_{FE}}{I_B} = \frac{I_C}{h_{FE}\, I_B} \tag{1.10-1}$$

serve como medida para nos dizer o quanto um determinado transistor está saturado. Sempre que $\sigma = 1$, o transistor está na região ativa. O transistor está cada vez mais saturado à medida que σ diminui para valores menores em relação à unidade, e é justificável esperar que haja uma relação estreita entre a tensão de saturação entre coletor e emissor V_{CE} (sat) e σ. Esta esperança tem fundamento a partir das equações de Ebers-Moll. Assumindo que o transistor está na saturação, as tensões de junção V_{BC} e V_{BE} nas Eqs. (1.7-3) e (1.7-4) são grandes em comparação com $V_T = 25$ mV. Poderemos então supor que I_E e I_C são exponenciais em seus comportamentos e os termos -1 podem ser desprezados. A tensão de saturação coletor-emissor é dada por

$$V_{CE}(\text{sat}) = V_{CB} + V_{BE} = V_{BE} - V_{BC} \tag{1.10-2}$$

Usando as Eqs. (1.7-6) e (1.7-7), desprezando o 1 no argumento do logaritmo e também fazendo uso das Eqs. (1.7-5), (1.7-12) e (1.7-13), encontramos que

$$V_{CE}(\text{sat}) = V_T \ln \frac{h_{FE}\,\sigma/h_{FC} + (1 + h_{FC})/h_{FC}}{1 - \sigma} \tag{1.10-3}$$

Os detalhes de manipulação algébrica que nos levam à Eq. (1.10-3) são deixados como exercício ao estudante (veja o Prob. 1.10-1).

A Eq. (1.10-3) está colocada sob forma gráfica na Fig. 1.10-1 para $h_{FC} = 0{,}1$ e para um valor moderado e outro alto de h_{FE}. Esta equação, desenvolvida a partir das equações de Ebers-Moll, caracteriza somente o transistor e não está relacionada a um circuito particular. Conforme poderemos ver, não há uma configuração simples e única para o chaveamento que nos dê acesso a toda a faixa de variação σ, como é mostrado na Fig. 1.10-1. Temos interesse neste ponto de acessibilidade pois, ao levarmos o transistor à região de saturação, queremos que V_{CE} (sat) seja minimizado e para isto deveremos saber que configuração de circuito nos dará acesso à região de menor V_{CE} (sat).

Na Fig. 1.10-1, se considerarmos um I_B fixo, as distâncias marcadas ao longo da abscissa são proporcionais à corrente de coletor I_C. Vamos nos referir agora ao circuito de chaveamento a transistor básico da Fig. 1.6-1; podemos observar que o gráfico da Fig. 1.10-1 tem a forma da característica volt-ampère (Fig. 1.9-1 girada), vista na chave a transistor através do coletor à terra (emissor). A corrente de coletor deve ser positiva. Assim sendo, a única parte do gráfico que nos é acessível é o primeiro quadrante. Suponha que, para um I_B fixo ($I_B > 0$ para manter o transistor conduzindo), aumentamos I_C, por exemplo, pela redução de R_L. O V_{CE} (sat) aumentará. Eventualmente, à medida que σ se aproxima da unidade, o transistor sai da saturação e vai à região ativa. Na região ativa, com boa aproximação, a corrente de coletor é independente da tensão entre coletor e emissor V_{CE}. Esta independência é evidenciada no gráfico pelo fato de que V_{CE} aumenta verticalmente em $\sigma = 1$; isto é, para a condição $\sigma = 1$, estamos livres para

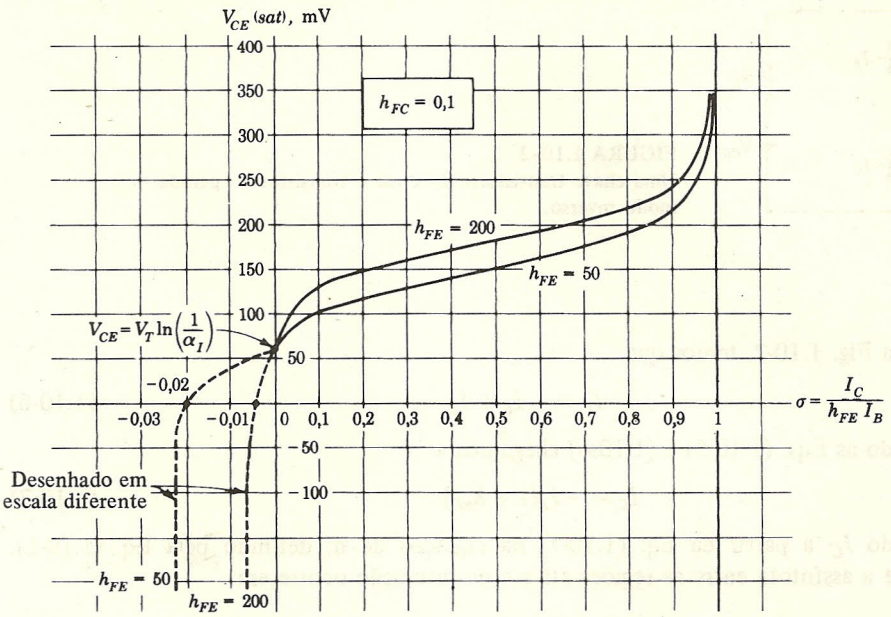


FIGURA 1.10-1
Tensão de saturação V_{CE}(sat) como uma função de sobreexcitação da base.

fazermos com que V_{CE} assuma qualquer valor que quisermos (por exemplo, variando V_{CC}), sem afetarmos I_C.

Se, por outro lado, diminuirmos I_C, digamos pelo aumento de R_L, então V_{CE} diminuirá e o V_{CE} mínimo acessível ocorrerá para $I_C = 0$. Praticamente, o I_C será em geral limitado por $I_C = V_{CC}/R_L$, e o V_{CE} mínimo será conseguido pelo aumento de I_B. Neste caso, nunca nos será possível atingir $\sigma = 0$ precisamente. Estaremos aptos, no entanto, a nos aproximarmos de $\sigma = 0$ o suficiente para que seu correspondente V_{CE} possua um valor prático. Encontramos a partir da Eq. (1.10-3) que, com $\sigma = 0$,

$$V_{CE}(\text{sat}) = V_T \ln \frac{1 + h_{FC}}{h_{FC}} = V_T \ln \frac{1}{\alpha_I} \tag{1.10-4}$$

Consideremos agora a configuração da Fig. 1.10-2. Aqui, o transistor foi invertido de tal maneira que a junção que originalmente seria a de coletor, agora é usada como emissor, e a que era usada como emissor agora é coletor. Os sentidos das correntes circulando pelas junções também são invertidos, isto é, I_E e I_C são ambos negativos. A presente configuração é descrita como aquela em que o transistor é usado em um *modo inverso*. Da mesma forma, na configuração básica da Fig. 1.6-1, o transistor é dito como operando em *modo normal*.

No modo normal de operação, a assíntota entre as regiões ativa e de saturação ocorre à medida que I_C se aproxima de $h_{FE}I_B$, isto é, em $\sigma = 1$. Comparando agora com o modo inverso, os comportamentos de h_{FE} e h_{FC} são intercambiados e a assíntota ocorre em

$$-I_E = h_{FC} I_B \tag{1.10-5}$$

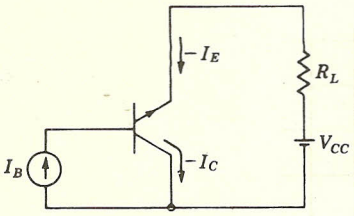


FIGURA 1.10-2
Uma chave transistorizada onde o transistor é operado no modo reverso.

A partir da Fig. 1.10-2, temos que

$$-I_C = -I_E + I_B \tag{1.10-6}$$

Combinando as Eqs. (1.10-5) e (1.10-6) chegamos a

$$I_C = -I_B(1 + h_{FC}) \tag{1.10-7}$$

Substituindo I_C a partir da Eq. (1.10-7) na equação de σ, definido pela Eq. (1.10-1), encontramos que a assíntota entre as regiões ativa e de saturação ocorre em

$$\sigma = -\frac{1 + h_{FC}}{h_{FE}} \tag{1.10-8}$$

Para os valores de h_{FC} e h_{FE} indicados na Fig. 1.10-1, os valores de σ são $\sigma = -0{,}022$ ($h_{FE} = 50$) e $\sigma = -0{,}0055$ ($h_{FE} = 200$). Nestes valores, conforme é mostrado, os gráficos se tornam verticais.

No modo inverso, a tensão desenvolvida no transistor será mínima quando $I_E = 0$. Neste caso, $I_B = -I_C$ e $\sigma = I_C/h_{FE}I_B = -1/h_{FE}$. Substituindo o valor de σ na Eq. (1.10-3), achamos que o valor mínimo de V_{CE} (sat) é

$$V_{CE}(\text{sat}) = -V_T \ln \frac{1 + h_{FE}}{h_{FE}} = -V_T \ln \frac{1}{\alpha_N} \tag{1.10-9}$$

Neste modo de operação, toda a faixa acessível situa-se no terceiro quadrante da Fig. 1.10-1. Nem toda a região do quadrante é no entanto acessível. A tensão V_{CE} não pode aproximar-se mais da abscissa do que o indicado na Eq. (1.10-9). Observe ainda que a forma do gráfico no terceiro quadrante não é equivalente à característica volt-ampère entre emissor e coletor (terra). Isto acontece porque a abscissa é traçada a partir da corrente de coletor e não a partir da corrente de emissor.

Voltamos nossa atenção, finalmente, à configuração da Fig. 1.10-3*a*. Nela, o circuito básico de chaveamento da Fig. 1.6-1 foi modificado pela colocação da fonte de corrente de excitação da base no coletor, em vez de a colocarmos no emissor. À medida que se aumentar I_B, as correntes I_C e I_E aumentarão e o transistor será levado à saturação. Se I_B for aumentado ainda mais, chegaremos a um ponto em que I_C começa a cair sendo que, eventualmente, chega a $I_C = 0$ e então inverte seu sentido. Como pode ser verificado, I_C chegará a $I_C = 0$ quando

$$I_B = \frac{V_{CC} - V_T \ln (1/\alpha_I)}{R_L} \tag{1.10-10}$$

Esta configuração, então, nos dá acesso na Fig. 1.10-1 não somente à região do primeiro quadrante, mas também às regiões localizadas no segundo e terceiro quadrantes, as quais não são disponíveis às outras configurações consideradas.

Há a possibilidade de termos V_{CE} (sat) = 0. A partir da Eq. (1.10-3), quando V_{CE} (sat) = 0, temos

$$\sigma = \frac{-1}{h_{FE} + h_{FC}} \tag{1.10-11}$$

Infelizmente, a corrente de base necessária para alcançarmos V_{CE} (sat) = 0 é extremamente elevada. Como pode ser verificado (Prob. 1.10-4), para conseguirmos V_{CE} (sat) = 0, deveremos ter uma corrente de base

$$I_B = \frac{V_{CC}}{R_L}\left(1 + \frac{h_{FE}}{h_{FC}}\right) \tag{1.10-12}$$

Fazendo-se $V_{CC} = 5$ V, $R_L = 1$ kΩ, $h_{FE} = 50$ e $h_{FC} = 0{,}1$, determinamos $I_B = 500\ V_{CC}/R_L = 2{,}5$ A. Por outro lado, suponha que limitamos I_B em, digamos, $I_B = 5\ V_{CC}/R_L = 5\ I_E$. Teremos então $I_C = I_E - I_B = -4\ I_E$ e $\sigma = I_C/h_{FE}I_B = -4/5\ (1/h_{FE}) = -0{,}016$ para $h_{FE} = 50$. A partir da Fig. 1.10-1, a tensão no transistor V_{CE} (sat) ≈ 25 mV.

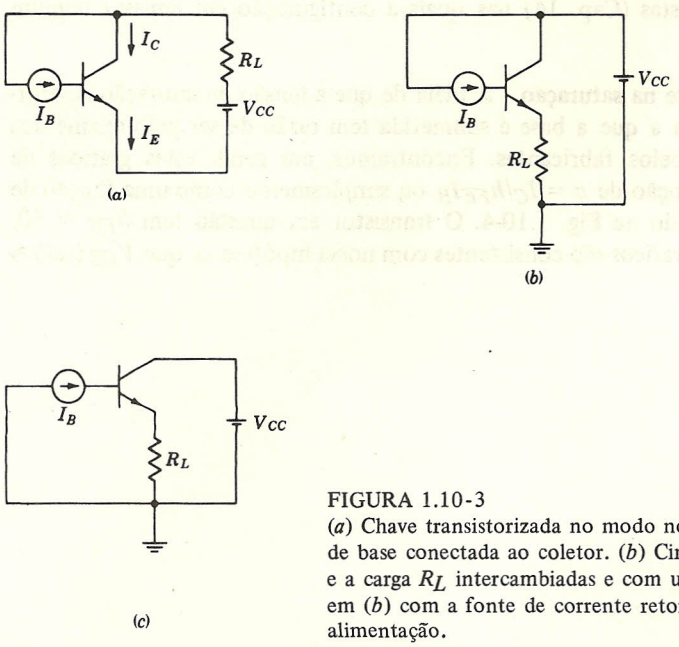


FIGURA 1.10-3
(*a*) Chave transistorizada no modo normal com a fonte de corrente de base conectada ao coletor. (*b*) Circuito em (*a*) com alimentação V_{CC} e a carga R_L intercambiadas e com uma conexão à terra. (*c*) Circuito em (*b*) com a fonte de corrente retornando ao outro lado da fonte de alimentação.

Observando-se a última configuração considerada, vemos que o circuito é precisamente o de um seguidor de emissor. Este caso pode ser visto na Fig. 1.10-3*b*. A combinação série de V_{CC} e R_L, mostrada na Fig. 1.10-3*a*, foi mudada e uma conexão à terra foi adicionada. Na Fig. 1.10-3*c*, mudamos um dos terminais da fonte de corrente I_B de um lado para o outro da

fonte de alimentação fixa, o que não faz diferença no que diz respeito às correntes no transistor e às tensões nas junções.

Comparação de configurações. Para o modo normal de chaveamento em emissor comum, encontramos, a partir da Eq. (1.10-4) para $h_{FC} = 0{,}1$, que $V_{CE}(\text{sat}) = 60$ mV. A partir da Eq. (1.10-9), para o chaveamento com o transistor operando em modo inverso, encontramos que, para $h_{FE} = 50$, $V_{CE}(\text{sat}) = -0{,}5$ mV. Para o chaveamento em seguidor de emissor, encontramos que, ao menos em princípio, poderíamos ter $V_{CE}(\text{sat}) = 0$. Se o transistor for operado em modo inverso como um seguidor de emissor, encontraremos a partir de troca entre h_{FE} e h_{FC} na Eq. (1.10-12) que $I_B \approx V_{CC}/R_L$ para $V_{CE}(\text{sat}) = 0$ e que, portanto, o valor $V_{CE}(\text{sat}) = 0$ poderia ser razoavelmente obtido. Todas estas considerações juntas nos levam a pensar que, quando quisermos manter um mínimo de tensão, em uma chave a transistor que esteja fechada (como em circuitos de chaveamento analógicos, Cap. 13), é vantajoso usarmos transistores operando no modo inverso.

Quando a excitação for aplicada para levarmos o transistor à condução e à não-condução, um transistor operando no modo inverso, infelizmente, é muito mais vagaroso do que um outro que opere no modo normal. Assim sendo, o modo inverso encontra aplicações somente em situações onde a velocidade de chaveamento não constitui problema. No modo normal, o seguidor de emissor é vantajoso do ponto de vista de menor tensão. A corrente de excitação necessária a um seguidor de emissor, entretanto, pode ser muito elevada, o que representa uma inconveniência. Há, porém, situações que serão vistas (Cap. 14) nas quais a configuração em emissor comum representa a melhor escolha.

As especificações do fabricante na saturação. A idéia de que a tensão de saturação coletor-emissor depende da excitação extra a que a base é submetida tem razão de ser pelo exame dos gráficos de $V_{CE}(\text{sat})$ fornecidos pelos fabricantes. Encontramos, em geral, estes gráficos de $V_{CE}(\text{sat})$ desenhados como uma função de $\sigma = I_C/h_{FE}I_B$ ou simplesmente como uma função de I_C/I_B. Um gráfico típico é mostrado na Fig. 1.10-4. O transistor em questão tem $h_{FE} \approx 50$. Podemos então observar que estes gráficos são consistentes com nossa hipótese de que $V_{CE}(\text{sat}) \approx$

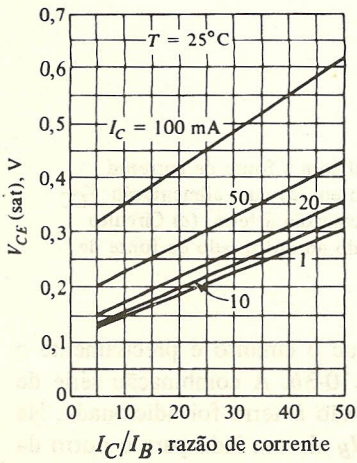


FIGURA 1.10-4
A tensão de saturação coletor-emissor $V_{CE}(\text{sat})$ como uma função da razão I_C/I_B sendo I_C um parâmetro de um transistor de silício epitaxial planar.

$\approx$ 0,2 V. Estaríamos no limiar de saturação em $I_C/I_B = 50$. Para estarmos bem dentro da região de saturação, dobraremos o valor de I_B, fazendo $I_C/I_B = 25$. Se admitirmos que I_C está entre 1 e 20 mA, encontraremos que $V_{CE} \approx 0{,}2$ V. Observamos, na Fig. 1.10-4, que V_{CE} (sat) também depende de I_C. Esta situação é resultado da tensão ôhmica que existe devido às resistências ôhmicas do emissor e do coletor. Temos desprezado estas tensões pois estivemos interessados apenas em pequenas correntes (alguns miliampères).

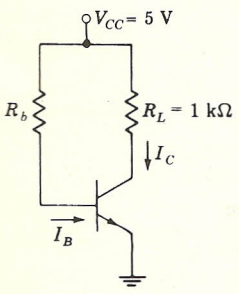


FIGURA 1.10-5
Um exemplo.

Vejamos mais um exemplo da utilidade do parâmetro h_{FE} e para isto vamos nos referir ao circuito simples da Fig. 1.10-5. Aqui estaremos interessados na determinação de um valor de R_b apropriado para levar o transistor à região de saturação. Para alcançarmos este objetivo, precisamos conhecer apenas h_{FE}. Supondo que V_{CE} (sat) = 0,2 V, temos que $I_C = (5 - 0{,}2)/1\ \text{k}\Omega =$ $= 4{,}8$ mA. Vamos considerar $h_{FE} = 50$. Para trazermos o transistor ao limiar de saturação, vamos precisar de uma corrente de base de $I_B = 4{,}8/50 = 0{,}096$ mA. De acordo com as razões discutidas acima, vamos dobrar a corrente de base, e então $I_B = 0{,}192$ mA. Usando $V_{BE} = 0{,}75$, encontramos que

$$R_b = \frac{5 - 0{,}75}{0{,}192 \times 10^{-3}} = 22\ \text{k}\Omega$$

Como observação final, em conexão à tensão de saturação coletor-emissor, observamos que a sensibilidade à temperatura de V_{CE} (sat) é muito pequena, em comparação com a sensibilidade de uma junção individual, polarizada diretamente. Este resultado era de se esperar, porque V_{CE} (sat) é a *diferença* entre as tensões destas duas junções. Em discussões subseqüentes, ignoraremos a sensibilidade à temperatura de V_{CE} (sat).

1.11 O TRANSISTOR DE EFEITO DE CAMPO (FET)

Há dois tipos de transistor de efeito de campo: o *transistor de efeito de campo de junção* (JFET) e o *transistor de efeito de campo de metal-óxido-semicondutor* (MOSFET). Temos algum interesse no JFET, devido a seu uso em circuitos de chaveamento analógicos (Cap. 13). Os MOSFETs, e mais particularmente os MOSFETs de *simetria complementar*, também chamados de *CMOS*, encontram muitas aplicações em sistemas de portas lógicas em circuitos integrados. Em princípio, um JFET é construído como na Fig. 1.11-1. Os contatos ôhmicos são fixados nos terminais de uma barra de silício que foi dopada com impurezas do tipo *n* (dopagem com impurezas do tipo *p* também é possível). Uma fonte de tensão V_{DS} conectada aos terminais da barra

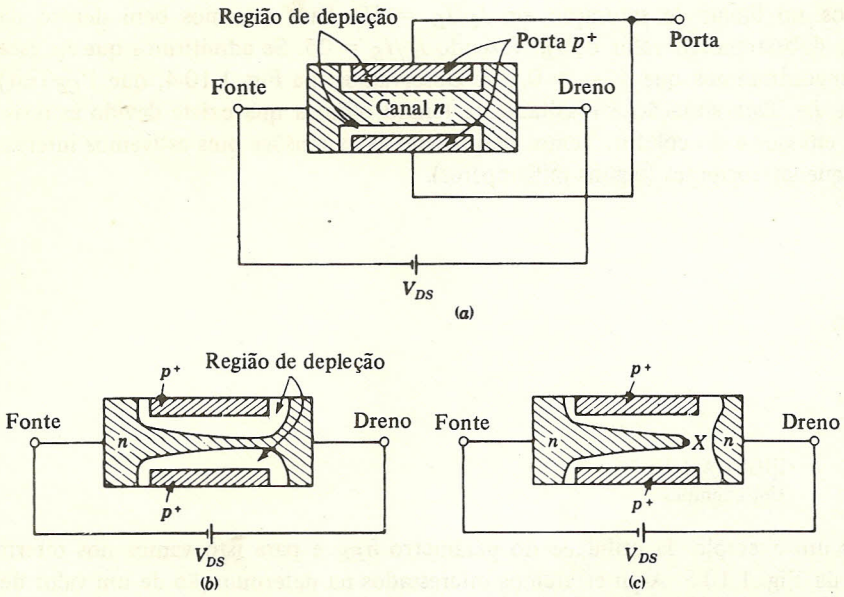


FIGURA 1.11-1
(*a*) Um transistor de efeito de campo de junção. (*b*) O estreitamento do canal.
(*c*) O *FET* além do estrangulamento.

faz com que haja a circulação de corrente. O silício, sendo do tipo *n*, permite que elétrons portadores de corrente circulem pela barra que tem baixa resistência. O terminal em uma das extremidades da barra, onde estes portadores (elétrons) entram, é chamado de *fonte* (*source*). O terminal por onde os portadores deixam a barra é chamado de *dreno* (*drain*). Regiões do tipo *p* entre a fonte e o dreno são chamadas de *portas* (*gate*) e foram difundidas conforme é indicado na figura. Na junção entre os semicondutores do tipo *p* e do tipo *n*, há então o aparecimento de uma *região de depleção*, a qual está isenta de portadores livres de corrente. Referindo-nos agora à Fig. 1.11-1*a*, existe, entre as regiões de depleção, um *canal* de silício do tipo *n* que conecta a fonte ao dreno e que serve como meio de ligação entre os terminais, por onde pode haver circulação de corrente.

A região de depleção pode ser aumentada em direção ao canal, pelo aumento da polarização reversa da junção *pn* entre a porta e o canal. Se aumentarmos, suficientemente, a polarização reversa, as regiões de depleção ficarão bastante aumentadas no transistor e obstruirão completamente o canal que, por conseguinte, ficará *estrangulado*.

Se o canal não estiver estrangulado na presença de uma tensão entre dreno e fonte, as regiões de depleção terão uma aparência conforme indicado na Fig. 1.11-1*b*. Perto do dreno, as regiões de depleção estarão mais próximas uma da outra, do que perto da fonte. A razão para esta diferença é que o dreno está em um potencial mais positivo e, portanto, perto do dreno, a junção *pn* formada pela porta e pelo canal está mais reversamente polarizada do que perto da fonte. A tensão entre dreno e fonte, V_{DS}, que causa o estrangulamento do canal, é chamada de tensão de estrangulamento V_p. Para valores de tensão dreno-fonte maiores do que a tensão de estrangulamento, a região de depleção se expande, conforme é mostrado na Fig. 1.11-1*c*. A

diferença de potencial entre o ponto X e a fonte permanece na tensão de estrangulamento, V_p, enquanto a tensão no dreno aumenta. Assim, a tensão na região de depleção aumenta com o aumento de V_{DS}. O campo elétrico produzido pela diferença de potencial $V_{DS} - V_p$ atrai os elétrons do canal, através da região de depleção, até o dreno. Como V_p, que é a tensão no canal, permanece quase constante, a corrente de dreno também permanece aproximadamente constante em seu valor de estrangulamento.

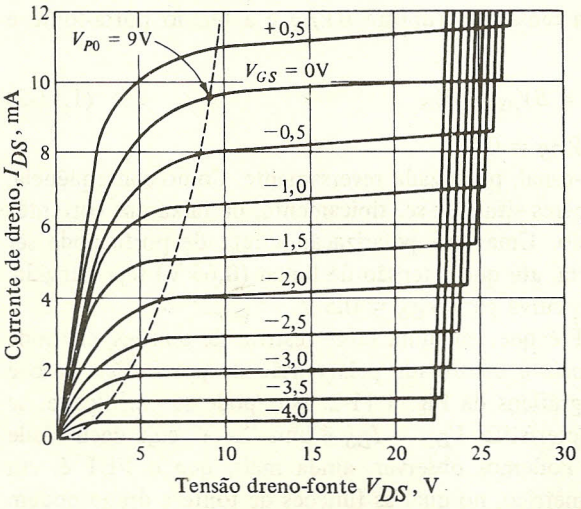


FIGURA 1.11-2
Características típicas de dreno em fonte comum para um JFET de canal *n*.

Uma característica típica volt-ampère entre dreno e fonte de um JFET com canal do tipo *n* é mostrada na Fig. 1.11-2. Consideremos, agora, uma curva particular para uma tensão fixa entre porta e fonte, digamos $V_{GS} = 0$ V. Quando a tensão dreno-fonte é baixa, um canal uniforme está aberto entre fonte e dreno e o JFET se comporta de uma maneira semelhante a um resistor. A característica volt-ampère entre dreno e fonte é, então, *linear*. Com o aumento da tensão dreno-fonte, a região de depleção se expande e comprime o canal. Como resultado, a resistência aumenta, e a relação entre o aumento da corrente de dreno e a tensão dreno-fonte fica menor. Finalmente, se aumentamos V_{DS} ainda mais, o canal estrangula e a *corrente de dreno satura*, isto é, a corrente de dreno aumenta muito pouco em relação ao aumento de tensão dreno-fonte. A tensão dreno-fonte (que não é definida muito precisamente), na qual a saturação se inicia, quando $V_{GS} = 0$ V, é chamada de *tensão de estrangulamento* V_{PO}. A linha tracejada, no gráfico da Fig. 1.11-2, mostra a localização de V_P para as diversas tensões porta-fonte. Tipicamente, encontramos que

$$V_P \approx V_{PO} + V_{GS} \tag{1.11-1}$$

Observe que a tensão dreno-fonte no estrangulamento V_P fica igual a zero quando $V_{GS} = -V_{PO}$. O FET, com esta tensão porta-fonte, está cortado. Observando novamente a Fig. 1.11-2, vemos

que o corte ocorre quando $V_{GS} = -V_{PO} \approx -9$ V. Para tensões porta-fonte menos negativas do que este valor, o FET pode ser considerado cortado, para qualquer uso que se queira fazer dele.

Observamos ainda, na Fig. 1.11-2, que, com o aumento de V_{DS}, chegamos eventualmente a um ponto onde a ruptura por avalanche ocorre entre o dreno e a porta, e a corrente de dreno aumenta abruptamente. A ruptura ocorre em uma tensão de junção fixa, e, quando a porta fornece uma parte desta tensão, a ruptura ocorre em valor menor de V_{DS}. Como exemplo, vemos na figura que há a ruptura para $V_{DS} = 26$ V quando $V_{GS} = 0$, ao passo que $V_{DS} = 22$ V para $V_{GS} = 4$ V. Uma relação útil entre a tensão de ruptura BV_{DS} e a tensão porta-fonte é dada por

$$BV_{DS} = BV_{DS0} + V_{GS} \tag{1.11-2}$$

onde BV_{DS0} é a tensão de ruptura quando $V_{GS} = 0$ V.

O JFET opera com a junção *pn*, porta-canal, polarizada reversamente. Como conseqüência, a corrente de porta é da ordem de nanoampères situando-se, tipicamente, na faixa das correntes de polarização reversa para diodos de silício. Uma leve polarização direta de porta pode ser permitida desde que não há corrente de porta, até que a tensão de limiar (0,65 V) seja atingida. Assim, podemos observar na Fig. 1.11-2 uma curva para $V_{GS} = 0{,}5$ V.

Uma das características úteis do JFET é que, em uma faixa restrita de tensões, ele pode ser utilizado como um resistor cuja resistência é controlada pela tensão de porta. Este caso é aparente, de imediato, ao examinarmos os gráficos da Fig. 1.11-2. Isto pode ser verificado, se observamos que para V_{DS} pequenos, a característica $V_{DS} - I_{DS}$ é uma "reta" cuja declividade é determinada pela tensão de porta V_{GS}. Podemos observar, ainda mais, que o FET é, em princípio, um dispositivo completamente simétrico, no qual as funções de fonte e dreno podem ser intercambiadas. Daí segue que o FET, funcionando como um resistor controlado a tensão,

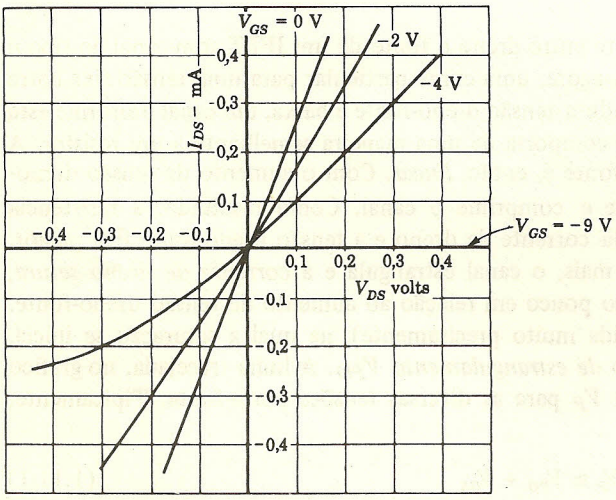


FIGURA 1.11-3
Características de dreno de baixo nível de um JFET.

permite que as tensões dreno-fonte sejam de quaisquer polaridades. A característica de um JFET típico em dreno comum, ao redor da origem, é mostrada na Fig. 1.11-3. A partir desta figura vemos que, se necessitarmos de linearidade, a faixa de variação de V_{DS} deverá ser restrita a tensões menores do que ± 0,2 V. Observe, também, o alto grau de precisão da linearidade das características, considerando esta pequena faixa de atuação. Observe, especialmente, que as características passam exatamente pela origem. Este comportamento é de importância quando o FET é usado em circuitos de porta analógicos (veja Cap. 14). Veja que, no terceiro quadrante, a polaridade da tensão de dreno é tal que, com a diminuição de V_{DS}, a junção porta-canal eventualmente ficaria polarizada diretamente. Restringimos os gráficos mostrados para evitarmos esta situação.

O transistor de efeito de campo é assim chamado porque o mecanismo de controle da corrente é o efeito do *campo* produzido pelas tensões dreno-fonte e porta-fonte. Em um transistor de efeito de campo, os portadores de corrente podem ser elétrons (canal *n*) ou lacunas (canal *p*), não podendo haver a simultaneidade. Estes portadores são majoritários, isto é, os portadores em um canal do tipo *n* são elétrons. Por causa desta polaridade única dos portadores, os transistores de efeito de campo são chamados de transistores *unipolares*, distinguindo-os dos transistores de duas junções. Nos transistores de duas junções, portadores de ambas as polaridades são envolvidos e daí estes transistores serem caracterizados como *bipolares*. Nos transistores bipolares, a corrente que circula pela base (que pode ser considerada como sendo o *canal*), é uma corrente de portadores minoritários. Os símbolos em circuitos, para os transistores JFET de canal tipo *n* e tipo *p*, são dados na Fig. 1.11-4. Observe que, em cada caso, a flecha aponta da região *p* à região *n*. Simboliza o "diodo" porta-canal que deve ser mantido em polarização reversa.

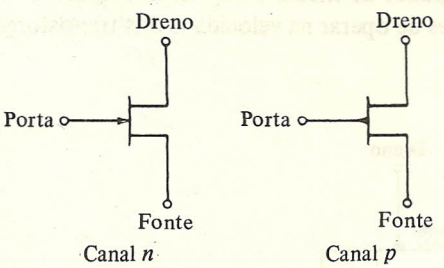


FIGURA 1.11-4
Características de dreno de baixo nível de um JFET.

Quando a polarização reversa nas portas do JFET for igual a zero, a região entre as portas terá disponíveis portadores majoritários (elétrons em um canal *n*) que circulam sob a influência de um campo, aplicado entre dreno e fonte. Quando uma polarização reversa for aplicada às portas, os portadores irão diminuindo à medida que a polarização for aumentada. A faixa de operação de um FET, portanto, é aquela em que há mais ou menos portadores disponíveis. Por esta razão, o JFET é descrito como sendo um dispositivo que opera em *modo de depleção*.

A geometria sugerida na Fig. 1.11-1 é muito conveniente para uma discussão dos princípios básicos de operação, porém, em geral, os JFETs são fabricados com a tecnologia planar, na qual todas as difusões e contatos são feitos em um lado de uma pastilha de silício chamada de *substrato*. Uma vista simplificada da seção transversal de um FET planar (canal *p*) é mostrada na Fig. 1.11-5. A fabricação se inicia a partir de um substrato tipo *n* que é comum a muitos FETs, resistores, etc., em um circuito integrado. Uma difusão do tipo *p*, conforme mostrado,

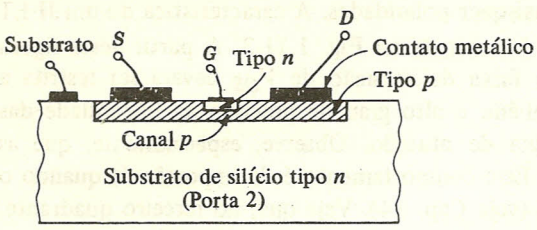


FIGURA 1.11-5
A estrutura de um JFET planar.

nos dá o canal e, finalmente, uma difusão altamente dopada com impurezas tipo *n*, no canal, nos dá a porta. Contatos metálicos são usados para a obtenção de conexões aos terminais externos. O substrato, normalmente, é conectado ao ponto mais positivo do circuito.

1.12 O FET DE METAL-ÓXIDO-SEMICONDUTOR (MOSFET)

O FET de junção, da seção anterior, encontra muitas aplicações em circuitos lineares (amplificadores, etc.) e em circuitos não-lineares usados no processamento de sinais analógicos (Cap. 13). Em circuitos de lógica digital, por outro lado, o MOSFET aqui descrito é o transistor de efeito de campo preferido. Em comparação aos transistores bipolares, uma vantagem imediata do MOSFET é que ele necessita de uma área, numa pastilha de silício, que é aproximadamente 15 por cento da necessitada para um transistor bipolar. Esta economia da área da pastilha faz com que o MOSFET seja um atrativo em circuitos integrados de média e larga escala. Quando da redação deste texto, os MOSFETs ainda não eram capazes de operar na velocidade dos transistores bipolares.

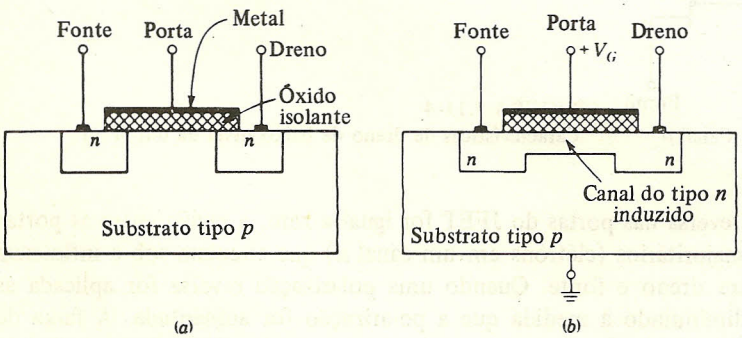


FIGURA 1.12-1
(*a*) A estrutura de um transistor de efeito de campo metal-óxido-semicondutor (MOSFET).
(*b*) O procedimento pelo qual um canal é gerado.

A estrutura básica do MOSFET de canal tipo *n* é mostrada na Fig. 1.12-1*a*. Duas regiões do tipo *n* são difundidas em um substrato tipo *p*. Uma destas regiões virá a ser a fonte, e a outra, o dreno. Uma diferença de potencial aplicada entre dreno e fonte não causará o aparecimento de

corrente no dispositivo. Se houvesse o surgimento de uma corrente, ela deveria cruzar duas junções, uma entre fonte e substrato e outra entre dreno e substrato. O substrato é colocado em um potencial negativo o qual polarizará reversamente as junções diodo *pn* e, assim, colocará o transistor formado por fonte-substrato-dreno no corte.

Um eletrodo metálico para a porta, como aparece na figura, é colocado acima da região do substrato que separa a fonte do dreno, e é isolado do resto da estrutura MOS. O isolante é composto, ao menos em parte, de dióxido de silício. Toda a estrutura é então, apropriadamente, chamada de transistor de efeito de campo de *metal-óxido-semicondutor* (MOS). Um segundo nome apropriado e freqüentemente usado é FET *de porta isolada.*

Se uma tensão positiva for aplicada à porta, o campo gerado atrairá elétrons para a região de substrato ao redor da porta. Isto é ilustrado na Fig. 1.12-1*b*. Como resultado, uma região do substrato mudará de silício tipo *p* para silício tipo *n* e, conforme indicado, haverá a formação de um canal tipo *n*. Este canal forma uma região contínua de material tipo *n*, do dreno até a fonte, de tal maneira que a corrente elétrica possa circular pelo transistor. No MOSFET, a aplicação de uma tensão na porta aumenta a disponibilidade de elétrons portadores para que mais corrente possa circular do dreno à fonte. Assim, o tipo de FET aqui descrito é dito como operando em um *modo de indução* ou *enriquecimento* (*enhancement*), em distinção ao JFET que opera no *modo de depleção.*

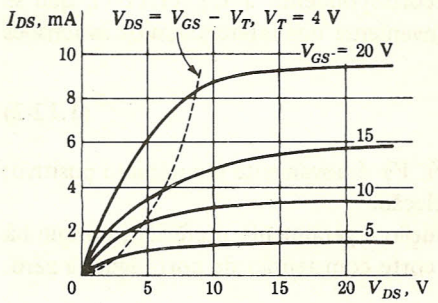


FIGURA 1.12-2
Características volt-ampère de um MOSFET. Corrente de dreno como uma função da tensão dreno-fonte para várias tensões porta-fonte.

Havendo uma tensão na porta, um aumento na tensão dreno-fonte ocasionará um aumento da corrente de dreno, produzindo uma operação semelhante a de um resistor, como anteriormente. Isto é mostrado na Fig. 1.12-2. À medida que a tensão dreno-fonte continua a aumentar, o campo elétrico produzido na porta varia, sendo maior na fonte e menor no dreno, porque a tensão porta-fonte é V_{GS}, enquanto a tensão porta-dreno $V_{GS} - V_{DS}$ é menor. O estrangulamento ocorre quando a tensão dreno-fonte é suficientemente grande para reduzir a zero o campo perto do dreno. Acima do estrangulamento, a corrente de dreno permanece relativamente constante.

O valor de V_{DS} necessário para o estrangulamento é

$$V_{DS} = V_{GS} - V_T \tag{1.12-1}$$

onde V_T é a *tensão de limiar* (*threshold*) que possui valores entre 2 e 4 V, dependendo do processo de fabricação. O valor de V_T é fornecido pelo fabricante.

Uma característica peculiar do MOSFET é que a corrente de porta, para qualquer polaridade da tensão a ela aplicada, é extremamente pequena. Esta característica é, claro, um resultado do isolamento da porta. As correntes de porta, normalmente, são da ordem de picoampères.

Deve ser observado que também é possível fabricarmos um MOSFET que opere em modo de *depleção*. Um FET deste tipo pode ser construído pela adição de mais uma difusão de impurezas tipo n, na superfície do substrato entre as duas regiões tipo n (veja Fig. 1.12-1*a*). Com o estabelecimento de um canal n pela difusão, uma corrente circularia entre dreno e fonte, mesmo na ausência de uma tensão positiva na porta. A aplicação de uma tensão negativa à porta controlaria a corrente de dreno. A corrente de dreno diminuiria, à medida que a tensão de porta se tornasse cada vez mais negativa e o canal n aumentasse sua depleção. Por outro lado, a corrente de dreno aumentaria com o aumento positivo da tensão na porta e o canal n seria aumentado. Assim, o transistor aqui descrito estaria apto a operar em ambos os modos.

O valor de V_{DS} necessário para o estrangulamento em um FET no modo de depleção é dado pela Eq. (1.12-1), onde V_T é negativo. Um valor típico para V_T é $V_T = -6$ V.

Um MOSFET com canal tipo p é chamado de PMOS e pode ser fabricado pela inversão do tipo de impurezas na estrutura da Fig. 1.12-1. Até o momento da redação deste texto, um PMOS é mais fácil de ser fabricado do que um NMOS. A mobilidade dos elétrons, entretanto, que são os portadores em um NMOS, é aproximadamente 3 vezes maior do que a mobilidade das lacunas em um PMOS. Assim, um NMOS é mais rápido do que um PMOS e, como conseqüência, há um grande esforço no sentido de melhorar a tecnologia de fabricação do NMOS.

Para um PMOS, podemos escrever uma equação correspondente à Eq. (1.12-1), que se aplica ao NMOS. Para um PMOS, entretanto, é mais conveniente nos referenciarmos às tensões fonte-dreno e fonte-porta. Podemos, então, escrever

$$V_{SD} = V_{SG} - V_T \tag{1.12-2}$$

Para um PMOS no modo de indução (*enhancement*), V_T é novamente um número positivo; e é um número negativo para um PMOS no modo de depleção.

Em circuitos digitais, o transistor no modo de indução é geralmente preferido, porque há uma grande conveniência em que o transistor esteja no corte com tensão de porta igual a zero.

Corte. Quando a tensão na porta é diminuída até um valor menor do que a tensão de limiar, o MOSFET corta. Nesta região, o canal fica isento de quaisquer cargas livres induzidas e o dispositivo se encontra conforme mostrado na Fig. 1.12-1*a*, onde vemos que, para uma tensão dreno-fonte positiva, há um transistor *npn* operando no corte. A corrente aí circulando é equivalente ao I_{CB0} de um transistor *npn*. Correntes típicas são da ordem de picoampère.

Um FET do tipo PMOS está em corte quando a tensão fonte-porta é reduzida a um valor menor do que a tensão de limiar.

O efeito da tensão no substrato. A condutância do canal entre dreno e fonte será alterada se uma polarização for aplicada ao substrato. O substrato poderá então servir como uma segunda porta e, em algumas vezes, é referenciado como sendo a *porta traseira* (*back gate*). Considere agora que um canal n (Fig. 1.12-1) foi formado como resultado da aplicação de uma tensão positiva à porta isolada. Então, entre este canal n e o resto do substrato tipo p, há a formação de uma junção pn. Nesta junção, há uma região de depleção, livre de portadores. Da mesma forma que no JFET, a largura da região de depleção (e conseqüentemente a largura do canal de condução) será influenciada pela tensão de polarização aplicada ao substrato. Aumentando a polarização

reversa entre substrato e fonte, há a diminuição da corrente de dreno, considerando uma tensão de porta fixa. Como resultado, o estrangulamento é afetado e a tensão de limiar é aumentada, como efeito desta polarização reversa. Uma regra aproximada no que se refere a tensão de limiar é dada pela fórmula

$$\Delta V_T \approx C\sqrt{V_{SB}} \qquad (1.12\text{-}3)$$

onde V_{SB} = tensão entre fonte e substrato

ΔV_T = mudança na tensão de limiar

O parâmetro C, que depende da dopagem do substrato, geralmente se situa na faixa compreendida entre 0,5 e 2,0.

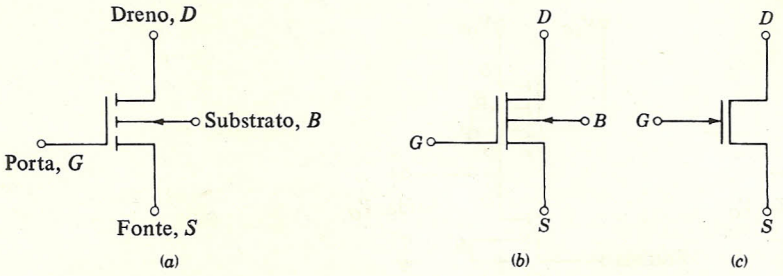


FIGURA 1.12-3
Símbolos em circuitos para o MOSFET de canal *n*. Em dispositivos de canal *p*, a flecha é invertida. (*a*) Um tipo enriquecido; (*b*) um tipo de depleção; (*c*) um símbolo alternativo que não identifica fonte e dreno e não mostra o substrato.

Simbologia. A simbologia para um MOSFET com canal tipo *n* é mostrada na Fig. 1.12-3. Na Fig. 1.12-3*a*, é mostrado um dispositivo com canal tipo *n* no modo de indução. A linha tracejada, que conecta a fonte ao dreno, serve para lembrar-nos de que, com tensão de porta zero, não há condução entre fonte e dreno. A fonte está localizada no terminal em frente ao vértice do ângulo formado pelo *L*, que é o símbolo da porta. Na Fig. 1.12-3*b*, é mostrado um dispositivo com canal tipo *n* em modo de depleção. Um símbolo alternativo para o MOSFET é mostrado na Fig. 1.12-3*c*. Aqui, o substrato foi omitido por questão de simplicidade. Este símbolo não tem a capacidade de dar qualquer informação do tipo do modo de operação.

Observe que a flecha no substrato serve para nos lembrar de sua composição. O diodo formado entre substrato e fonte-canal-dreno é refletido no sentido da flecha do diodo. Os símbolos para o dispositivo PMOS são idênticos, com exceção do sentido da flecha que é reverso. Nas estruturas de circuitos integrados, todos os dispositivos MOS são fabricados em um substrato comum que é polarizado reversamente em relação à fonte-canal-dreno. Com esta situação assumida, nos diagramas de circuitos de circuitos integrados, a conexão do substrato muitas vezes não é mostrada.

1.13 A CHAVE MOS

Da mesma forma que com um transistor, estaremos interessados no uso do MOSFET como uma chave. Para esta finalidade, como no transistor, estaremos inclinados a usar um resistor

como carga. No caso do MOSFET, entretanto, é uma grande vantagem utilizarmos um segundo MOSFET como carga. A chave MOSFET básica aparece na Fig. 1.13-1. O arranjo na Fig. 1.13-1*a* possui uma ligeira vantagem porque o substrato pode ser conectado diretamente à fonte, o que seria normalmente o caso com dispositivos discretos. Os circuitos integrados se restringiriam ao arranjo da Fig. 1.13-1*b*, porque o substrato é comum a $T1$ e $T2$. O transistor inferior é o transistor "ativo", enquanto o superior é o transistor de "carga". A tensão de alimentação do dreno, V_{DD}, e a polarização da porta da carga, V_{GG}, foram indicadas separadas em favor da generalização. Há ocasiões em que algumas vantagens resultam desta separação. De uma maneira geral, encontramos $V_{GG} = V_{DD}$.

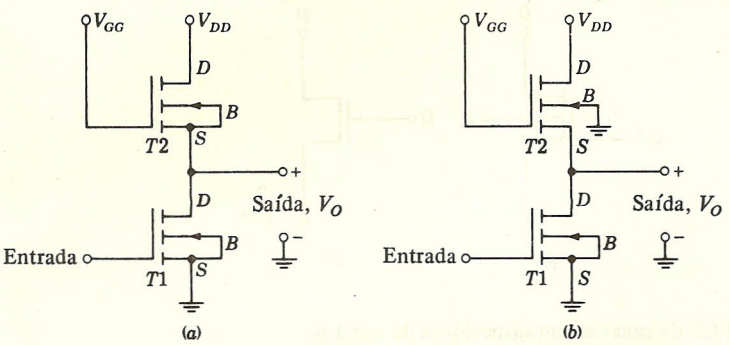


FIGURA 1.13-1
A chave MOSFET básica: (*a*) substrato da carga ligado à fonte da carga; (*b*) substrato da carga ligado à terra.

Em circuitos de chaveamento a transistor bipolar, observamos que há o uso de resistores de carga da ordem de milhares de ohms. Com estes resistores, encontramos que, quando um transistor era levado ao corte e à saturação, a tensão de saída na chave variava entre dois limites, V_{CC} e $V_{CE}(\text{sat}) \approx 0{,}2$ V, que eram apropriados para levar outra chave a transistor, tanto ao corte como à saturação. Esperamos poder encontrar uma situação similar com as chaves a MOSFET. Com chaves a MOSFET, entretanto, verificamos que os resistores de carga necessários deveriam ter uma resistência de algumas dezenas de milhares de ohms, na faixa dos 100 kΩ. Resistores convencionais, fabricados por difusão em circuitos integrados, ocupam áreas em uma pastilha de silício mais ou menos proporcionais às suas resistências. Não nos causaria surpresa que um MOSFET de carga pudesse ser fabricado ocupando uma área muito menor do que a área necessária a um resistor por difusão. Apenas para compararmos, observamos que mesmo um resistor de 20 kΩ ocuparia uma área de 12.900 micra quadrada (20 mils quadrados), enquanto um MOSFET de carga aproximadamente equivalente a um resistor de 100 kΩ poderia ocupar uma área de somente 1.290 micra quadrada (2 mils quadrados). Uma vantagem a mais desta área reduzida é a redução correspondente da capacitância espúria, distribuída entre o resistor de "carga" e o substrato.

Quando o transistor ativo da Fig. 1.13-1 estiver conduzindo, é de nosso interesse que a tensão de saída seja a mais próxima possível de zero volts (potencial de terra). Para esta finali-

dade, o transistor ativo deve ter capacidade de fornecer uma corrente elevada, enquanto o transistor de carga deve simular um resistor de valor elevado, isto é, ele deve ser projetado para que nele circule uma corrente pequena. Por esta razão, os dispositivos ativo e de carga não são idênticos. O transistor ativo deveria ter uma condutância relativamente alta, enquanto a carga deveria ter uma baixa condutância. Assim, encontramos que em uma chave típica a MOSFET, o dispositivo ativo pode ser projetado para ter um canal largo e curto, sendo sua largura da ordem de 25,4 micra, enquanto o comprimento é somente 5,08 micra, sendo a relação largura-comprimento igual a 5. Por outro lado, o canal do dispositivo de carga poderia ser de dimensões invertidas, com o comprimento igual a 25,4 micra e a largura igual a 5,08 micra. Se, então, o dispositivo ativo estivesse operando com uma polarização tal que a resistência entre canal e fonte fosse 10 kΩ, com as mesmas condições de polarização, o canal do dispositivo de carga teria uma resistência de $5^2 = 25$ vezes maior, isto é, 250 kΩ. Verificamos, tipicamente, que, para uma tensão de alimentação V_{DD} ($= V_{GG}$), da ordem de +15 V, a tensão na saída da chave será da ordem de +0,5 V, quando o transistor ativo estiver conduzindo. Supondo agora uma tensão de limiar de 4 V, este 0,5 V de saída é suficientemente baixo para assegurar que, quando esta saída for aplicada a uma chave subseqüente, esta chave será mantida aberta.

Com $V_{DD} = V_{GG}$, se o dispositivo ativo (excitador) estiver cortado, a saída não poderá elevar-se ao valor da tensão de alimentação. Quando a tensão na porta do excitador for menor que a tensão de limiar, ainda assim haverá uma pequena corrente de dreno (a corrente de saturação reversa, similar a I_{CB0}) no excitador. Esta corrente deve continuar a circular pelo transistor de carga. Para que possa circular esta corrente pela carga, o transistor de carga deverá estar conduzindo levemente. Como conseqüência, a fonte do transistor de carga (que é a tensão de saída da chave), deve ser negativa em relação a porta de, pelo menos, o valor do módulo da tensão de limiar. Assim, se na Fig. 1.13-1*a* $V_{DD} = V_{GG} = +15$ V e $V_T = 4$ V, então a saída poderá subir até, no máximo, $15 - 4 = 11$ V. Esta tensão, certamente, é adequada para que, quando aplicada à entrada da chave seguinte, ela leve esta chave à condução. Se fosse necessário que a saída se elevasse a V_{DD}, bastaria que V_{GG} fosse aumentado, em módulo, para $V_{GG} = V_{DD} + V_T = 15 + 4 = 19$ V.

Em um circuito integrado, o substrato da carga estará em 0 V como na Fig. 1.13-1*b*. Neste caso o substrato estará polarizado reversamente e o módulo da tensão de limiar será maior. Como conseqüência, quando o transistor excitador não estiver conduzindo, a diferença entre a tensão de saída V_o e a tensão de porta V_{GG} será mais pronunciada do que no caso do circuito da Fig. 1.13-1*a*. Por exemplo, consideremos que $V_{GG} = V_{DD} = +15$ V e que a tensão de limiar (na ausência de polarização reversa do substrato) seja $V_T = 4$ V. Supomos ainda que a Eq. (1.12-3) se aplica com $C = 1$. Poderá então ser verificado (Prob. 1.13-1) que, com o excitador cortado, a tensão de saída será dada como a solução de

$$V_o = +11 - \sqrt{V_o} \tag{1.13-1}$$

de onde encontramos $V_o \approx +8$ V. Assim, com o excitador no corte, aproximadamente metade da tensão de alimentação é perdida no transistor de carga. Se a tensão de limiar fosse maior e o parâmetro C, da Eq. (1.12-3), fosse também maior, esta perda de tensão seria ainda mais pronunciada. Esta situação é o contrário da que prevalece em circuitos com transistores bipolares, onde a carga é um resistor passivo. Neste caso, quando o transistor está cortado, não há perda de tensão na carga.

1.14 CARACTERÍSTICAS DE ENTRADA-SAÍDA DE UMA CHAVE A MOSFET

Na chave a transistor bipolar da Fig. 1.6-1, a tensão de saída V_{CE} (que é a tensão de coletor a emissor), excursiona desde V_{CC} até V_{CE} (sat) = 0,2 V, à medida que a tensão de entrada base-emissor, V_{BE}, varia de 0,65 a 0,75 V. Assim, uma mudança de somente 0,1 V, na entrada, é adequada para que haja o chaveamento. A situação é diferente na chave a MOSFET e esta

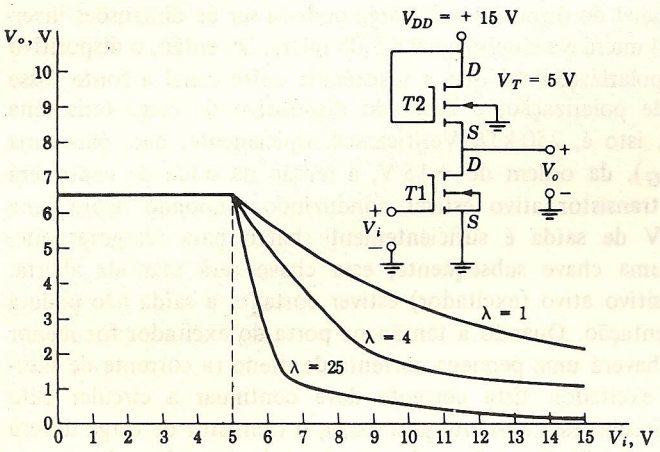


FIGURA 1.14-1
Gráficos de entrada-saída calculados para uma chave MOSFET. (Ref. 3.)

diferença é mostrada na Fig. 1.14-1. Aí são mostrados alguns gráficos *calculados* da tensão de saída *versus* tensão de entrada. Os valores dos fatores geométricos e de dopagem, supostos nestes cálculos, são típicos de um MOSFET. Não os especificaremos aqui porque não nos são de interesse particular. O único parâmetro especificado é λ, definido como

$$\lambda = \frac{(W/L)_D}{(W/L)_L} \tag{1.14-1}$$

onde $(W/L)_D$ = razão entre a largura e o comprimento do canal do transistor excitador (ativo) $T1$.

$(W/L)_L$ = razão correspondente para o dispositivo de carga $T2$.

Observamos que, para obtermos uma boa resposta saída *versus* entrada, é necessário termos λ grande, isto é, o canal da carga deve ser estreito e comprido em relação ao ativo. A tensão de limiar é $V_T = +5$ V.

Observamos também que, por razões discutidas anteriormente [veja Eqs. (1.12-3) e (1.13-1)], a tensão de saída não se eleva a mais do que 6,5 V, ainda que uma fonte de alimentação de 15 V seja empregada. Ainda mais, mesmo no caso em que λ = 25, a tensão de entrada V_i deve variar 2 V para chavear a saída de 6,5 a 1 V. Em muitos MOSFETs, são necessárias variações maiores na tensão de entrada, para efetuar o chaveamento. Uma variação da ordem de 5 V é comum.

1.15 MOSFETS COM SIMETRIA COMPLEMENTAR (CMOS)

Um MOSFET com simetria complementar (CMOSFET) é fabricado como indicado na Fig. 1.15-1. O CMOSFET consiste em dois MOSFETs, um de canal tipo p e um segundo de canal tipo n, fabricados lado a lado sobre um substrato tipo n. Para permitir a fabricação do MOSFET de canal tipo n é necessário, primeiro, que seja feita a difusão de uma região tipo p no substrato tipo n.

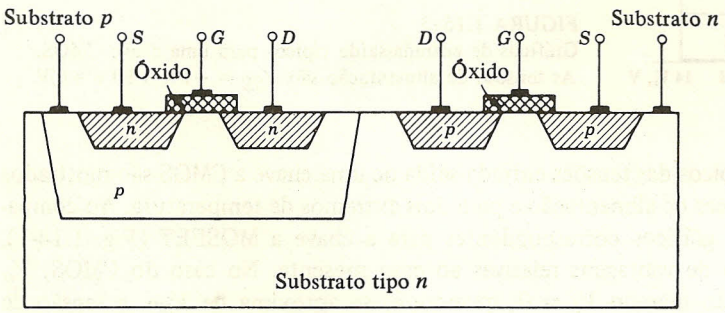


FIGURA 1.15-1
Um par CMOSFET no modo enriquecido.

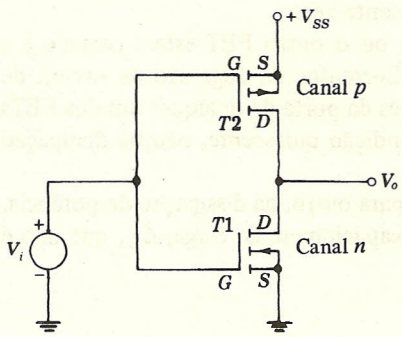


FIGURA 1.15-2
Uma chave CMOSFET.

A chave CMOS básica é mostrada na Fig. 1.15-2. Os FETs de canal p e n têm uma conexão entre seus drenos, e a combinação série é então conectada à fonte de alimentação. O lado positivo da fonte de alimentação é conectado à fonte do dispositivo de canal p, e o lado negativo é conectado à fonte do dispositivo de canal n e é aterrado. A saída é retirada nos drenos comuns. A entrada é aplicada em comum a ambas as portas. Ambos os transistores operam no modo de indução.

Considere agora, na Fig. 1.15-2, que a tensão de entrada V_i excursiona na faixa da tensão de alimentação, desde zero até V_{SS}. Quando V_i estiver na vizinhança do zero, o dispositivo inferior de canal n estará cortado porque $V_{GS} < V_T$, enquanto o dispositivo superior estará conduzindo, desde que $V_{GS} > V_T$. A saída V_o estará correspondentemente em V_{SS}. Por outro lado, quando $V_i = V_{SS}$, $T1$ estará conduzindo e $T2$ estará no corte, e V_o estará próximo ao

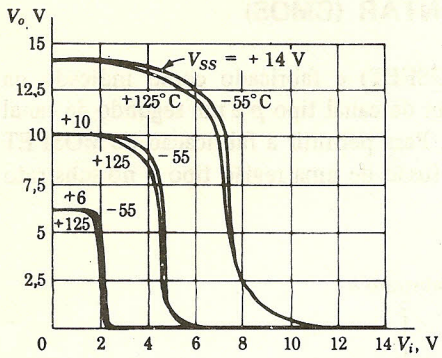


FIGURA 1.15-3
Gráficos de entrada-saída típicos para uma chave CMOS. As tensões de alimentação são $V_{SS} = +14$, $+10$ e $+6$ V.

potencial de terra. Gráficos típicos das tensões entrada-saída de uma chave a CMOS são mostrados na Fig. 1.15-3 para várias tensões de alimentação e para dois extremos de temperatura. Ao compararmos estes gráficos com os gráficos correspondentes para a chave a MOSFET (Fig. 1.14-1), observamos um certo número de vantagens relativas ao caso presente. No caso do CMOS, V_o é igual à tensão de alimentação quando $V_i = 0$; quando V_i se aproxima de V_{SS}, a tensão de saída cai a um valor muito baixo, da ordem de 10 mV. Observamos, ainda mais, que a transição de V_o entre os dois níveis, terra e V_{SS}, é muito melhor definida do que no caso da chave MOS. Finalmente, observe a falta de sensibilidade da característica da chave com a temperatura.

Um dos grandes méritos da chave CMOS é que, quando ela estiver em um dos limites de sua faixa de atuação, a dissipação de potência será nominalmente zero.

Isto acontece porque, em qualquer dos casos, ou um ou o outro FET estará cortado e a corrente fornecida pela fonte de alimentação será zero. (Correntes de fuga são da ordem de 10 nA.) Conforme já foi observado, a impedância vista através da porta de qualquer um dos FETs é extremamente alta (≈ 10 TΩ) de tal maneira que, na condição quiescente, não há dissipação de potência.

Por outro lado, quando a chave é levada de um estado para outro, há dissipação de potência. Uma destas fontes de dissipação de potência é a inevitável capacitância de carga, C_L, que não é mostrada na Fig. 1.15-2 e que vai da saída à terra.

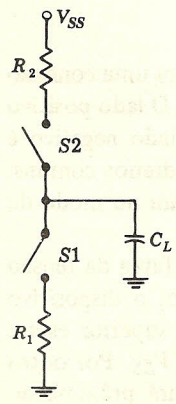


FIGURA 1.15-4
Um mecanismo para a dissipação de potência em uma chave CMOS.

Esta capacitância será devida, normalmente, à pedância capacitiva da entrada de outras chaves CMOS, as quais estão conectadas à saída. À medida que a chave vai de um estado a outro, este capacitor se carrega e descarrega e toda a energia gasta para carregá-lo será dissipada. Esta situação está representada na Fig. 1.15-4. As chaves $S1$ e $S2$ são fechadas ou abertas dependendo de V_i. Quando $S1$ estiver aberta, $S2$ estará fechada e vice-versa. Os "resistores" R_1 e R_2 em série com $S1$ e $S2$ não são resistores lineares fixos, mas são usados para indicar, simplesmente, que há um caminho de circulação de corrente através do FET, quando ele estiver conduzindo. Com $S1$ aberta e $S2$ fechada, o capacitor se carrega até V_{SS} e possui uma energia armazenada de $\frac{1}{2} C_L V_{SS}^2$. Quando $S1$ fecha e $S2$ abre, toda esta energia é dissipada no "resistor" R_1. Se a freqüência do sinal excitador é f, a potência dissipada em R_1 é $\frac{1}{2} C_L V_{SS}^2 f$. A dissipação em R_2, enquanto C_L se carrega, será a mesma que em R_1, enquanto C_L se descarrega.

Temos então, como estimativa da dissipação total de potência, o seguinte:

$$P = C_L V_{SS}^2 f \qquad (1.15\text{-}1)$$

Em um caso típico, com $C_L = 25$ pF, $V_{SS} = 10$ V e $f = 10^5$ Hz, encontramos $P = 0{,}25$ mW.

Há um segundo mecanismo que não depende da presença do capacitor C_L, responsável pela dissipação de potência na mudança de estado da chave. Para sermos mais específicos, vamos supor que $V_{SS} = 15$ V e que cada um dos FETs da Fig. 1.15-2 tenha uma tensão de limiar $V_T = 3$ V. Então, se $V_i = 0$, $T2$ estará conduzindo e $T1$ cortado. Quando $V_i = 3$ V, $T1$ estará conduzindo e $T2$ continuará conduzindo.

À medida que V_i aumenta, $T1$ e $T2$ permanecerão conduzindo até que V_i chegue a 12 V. Neste ponto, o limiar de $T2$ terá sido atingido e $T2$ corta. Assim, vemos que, enquanto V_i estiver na faixa de 3 a 12 V, ambos os FETs estarão conduzindo e corrente será fornecida pela alimentação. A energia retirada da fonte de alimentação será dissipada nos dois FETs. Um gráfico experimental típico da corrente fornecida pela alimentação, à medida que V_i excursiona na citada faixa de variação, é mostrado na Fig. 1.15-5. Ao tomarmos os dados deste gráfico, desprezamos todos os efeitos das capacitâncias espúrias, já que a entrada variou vagarosamente.

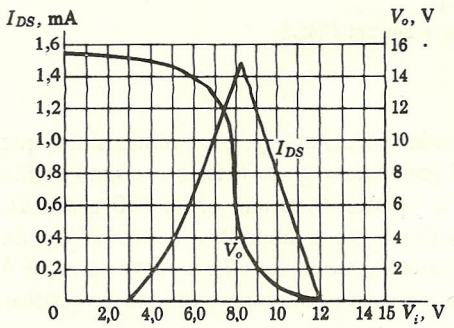


FIGURA 1.15-5
Gráficos de entrada-saída típicos para uma chave MOSFET durante o chaveamento.

A energia dissipada nos dois FETs dependerá do intervalo de tempo em que ambos estarão conduzindo e, portanto, dependerá da rapidez com que é feito o chaveamento. Se V_i variar rapidamente de um nível a outro, a energia dissipada será mínima. Se, porém, V_i variar vagarosamente na faixa onde os dois FETs conduzem, a energia dissipada será correspondente-

temente maior. De qualquer maneira, a potência média dissipada em uma chave CMOS variará diretamente com o número de vezes em que há o chaveamento durante um dado intervalo de tempo. Da mesma forma que a dissipação de potência devido ao capacitor de carga C_L, a dissipação de potência devida à velocidade finita de chaveamento aumentará com a freqüência.

1.16 PROTEÇÃO DA ENTRADA

A ruptura porta-fonte em um MOSFET se dá ao redor de 100 V. Devido à impedância de entrada porta-fonte ser muito alta (da ordem de 1 TΩ), mesmo uma baixa fonte de energia como uma "carga estática" pode causar o aparecimento de tensões acima da ruptura. É interessante observarmos neste aspecto que, quando um transistor de junção bipolar sofre a ruptura, ele ainda poderá se recuperar (se não queimou), ao passo que, quando o MOSFET entra em ruptura, o óxido da porta fica permanentemente curto-circuitado, deixando o dispositivo irrecuperável.

Dispositivos para a proteção da porta estão incorporados na maioria dos circuitos integrados MOS, para prevenir a ruptura do óxido da porta. Um dispositivo típico de proteção empregado em conjunção com as portas CMOS é mostrado na Fig. 1.16-1.

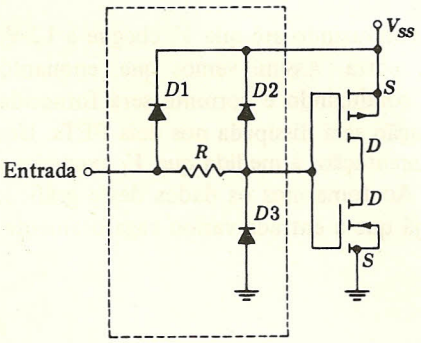


FIGURA 1.16-1
Proteção da porta em um CMOS.

Os diodos $D1$ e $D2$ servem para grampear a entrada (porta) a V_{SS}, prevenindo assim que tensões positivas elevadas atinjam a porta. O diodo $D3$ grampeia a porta à terra e assim elimina as tensões negativas elevadas. Os valores típicos para o resistor R variam entre 250 e 500 Ω.

O circuito de proteção mostrado reduz significativamente a impedância de entrada da porta e nos dá, como correntes de entrada típicas, valores ao redor de 10 pA. Esta corrente é desprezível na maioria das aplicações. Também é verificado que os capacitores a diodos e o resistor R não diminuem significantemente a velocidade da porta.

Em um circuito real, cuidados devem ser tomados quando da operação de um MOS com proteção de porta. Em operação normal, o diodo $D1$ serve para limitar picos elevados de tensão na entrada. Se a fonte de alimentação, entretanto, for desligada, e um gerador de tensão de baixa impedância de saída estiver conectado à entrada, então uma tensão positiva elevada na entrada poderá queimar $D1$.

1.17 VELOCIDADE DE CHAVEAMENTO DE UM DIODO

Em nossas considerações anteriores, com relação ao diodo bipolar, discutimos somente sua característica volt-ampère quando polarizado direta e reversamente. Agora, deveremos levar em consideração a rapidez com que o diodo pode efetuar o chaveamento, de uma condição a outra. Encontramos uma limitação principal, quando tentamos chavear o diodo da condução ao corte. A limitação em velocidade ao chavearmos do corte à condução é geralmente desprezível e poderemos desprezá-la.

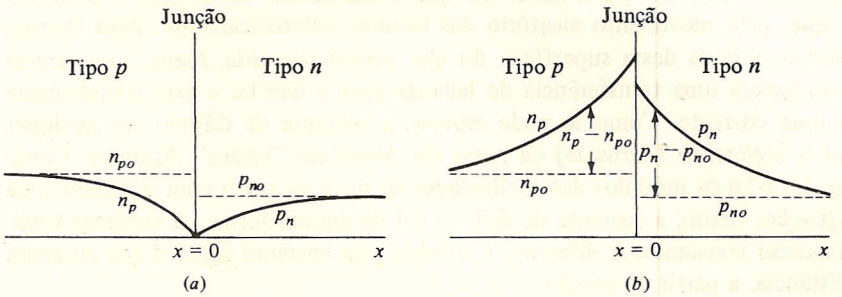


FIGURA 1.17-1
Distribuição da densidade de portadores minoritários como uma função da distância x de uma junção. (*a*) Uma junção polarizada reversamente; (*b*) uma junção polarizada diretamente. A densidade de excesso de lacunas (elétrons) injetados é $p_n - p_{no}\,(n_p - n_{po})$. (O diagrama não foi desenhado em escala, já que $p_n \gg p_{no}$ e $n_p \gg n_{po}$.)

Quando uma tensão externa no sentido da polarização reversa é aplicada ao diodo, uma corrente muito pequena circula. A razão para isto é que somente portadores minoritários de cada lado da junção (lacunas no lado n e elétrons no lado p) têm carga com sinal apropriado para que circule corrente através da junção. A densidade de portadores minoritários na região da junção quando em equilíbrio é mostrada na Fig. 1.17-1*a*. Aí, os níveis p_{no} e n_{po} são os valores de equilíbrio térmico das densidades de portadores minoritários nos dois lados da junção, na ausência da aplicação de uma tensão externa. Quando uma tensão reversa é aplicada, a densidade de portadores minoritários é mostrada pelas linhas cheias indicadas por p_n e n_p. Longe das junções a densidade de portadores minoritários permanece inalterada, mas, à medida que estes portadores se aproximam da junção, eles a cruzam rapidamente e a densidade de portadores minoritários cai a zero na junção. A corrente que circula, a corrente de saturação reversa, é pequena porque a densidade dos portadores minoritários gerados termicamente é muito pequena.

Quando uma tensão externa polariza diretamente a junção, a densidade de equilíbrio dos portadores minoritários é mostrada na Fig. 1.17-1*b*. Perto da junção, a densidade de portadores minoritários é muito grande. Estes portadores minoritários foram, em cada caso, fornecidos pelo outro lado da junção, onde, sendo portadores majoritários, eles constituem uma fonte de fornecimento destes portadores. À medida que o tempo passa e os portadores em minoria se afastam da junção, um número progressivamente maior é perdido pela recombinação com os portadores majoritários. Por esta razão, a densidade de portadores minoritários cai à medida que nos afastamos da junção. A densidade de portadores majoritários (que não é mostrada), em função

da distância a partir da junção, é a mesma que a densidade de portadores minoritários. Isto ocorre devido ao fato de o corpo do semicondutor ter uma carga total nula.

Em um condutor ôhmico comum há a circulação de corrente porque há a disponibilidade de portadores de carga que são empurrados pela presença de um campo elétrico. No diodo, em uma vizinhança ao redor da junção, não há campo elétrico para empurrar os portadores e, então, o mecanismo responsável pela corrente é a *difusão*.

Em geral, haverá a circulação de corrente devida à difusão, sempre que a densidade de portadores de um tipo determinado não for constante. Assim, na Fig. 1.17-1*b*, consideremos uma superfície perpendicular ao eixo dos x e que passe por algum valor particular de x. À esquerda desta superfície, a densidade p_n é maior do que à sua direita. Assim sendo, podemos estimar de antemão que, pelo movimento aleatório das lacunas, estatisticamente, mais lacunas se moverão para a direita, através desta superfície, do que para a esquerda. Assim, na ausência de um campo elétrico, haverá uma transferência de lacunas para a direita, e esta transferência contínua constituirá uma corrente. Como se pode esperar, a corrente de difusão em qualquer ponto é *proporcional à inclinação (derivada) da curva de densidade "versus" distância*. Como pode ser visto, na Fig. 1.17-1*b* os módulos das declividades de p_n e n_p caem com o aumento da distância a partir da junção. Assim, a corrente de difusão cai da mesma forma. A corrente total, entretanto, deve permanecer constante. A diferença é suprida pela corrente ôhmica que aumenta com o aumento da distância, a partir da junção.

Finalmente, podemos verificar que, se uma tensão externa for invertida repentinamente em um circuito a diodo por onde circulava uma corrente no sentido direto, a corrente não cairá imediatamente ao seu valor de equilíbrio em tensão reversa. Isto se deve ao fato de que a distribuição de portadores minoritários, que no momento da inversão tinha a forma da Fig. 1.17-1*b*, deve tomar a forma da distribuição da Fig. 1.17-1*a*. Até que isto aconteça, isto é, até que a *densidade de portadores minoritários em excesso (ou injetados)* $p_n - p_{no}$ (ou $n_p - n_{po}$) caia a zero, o diodo continuará a conduzir e a corrente será determinada pela resistência externa do circuito.

1.18 TEMPOS DE TRANSIÇÃO E DE ARMAZENAMENTO

A seqüência de acontecimentos que acompanham a polarização reversa de um diodo conduzindo é mostrada na Fig. 1.18-1. Consideramos que a tensão da Fig. 1.18-1*b* é aplicada ao circuito diodo-resistor, da Fig. 1.18-1*a*. Durante um longo intervalo de tempo, até o instante t_1, a tensão $V_i = V_F$ estava aplicada no sentido da polarização direta do diodo. A resistência de R_L é suposta grande o suficiente para que a queda em R_L seja grande em comparação com a queda no diodo. A corrente então é dada por $I = V_F/R_L = I_F$. No instante $t = t_1$, a tensão de entrada se inverte abruptamente para o valor $-V_R$. Pelas razões descritas anteriormente, a corrente não cai a zero mas inverte e permanece no valor $I = -V_R/R_L = -I_R$ até o instante $t = t_2$.

Em $t = t_2$, a densidade dos portadores minoritários caiu a zero. Se a resistência ôhmica do diodo for R_d, então no instante t_1 a tensão no diodo cairá levemente [de $(I_F + I_R)R_d$] mas não inverterá. Em $t = t_2$, quando os portadores minoritários em excesso na vizinhança da junção forem arrastados, cruzando a junção, a tensão no diodo começará a inverter e o módulo da corrente no diodo começará a diminuir. O intervalo entre t_1 e t_2, necessário para que a carga minoritária armazenada caia a zero, é chamado de *tempo de armazenamento*.

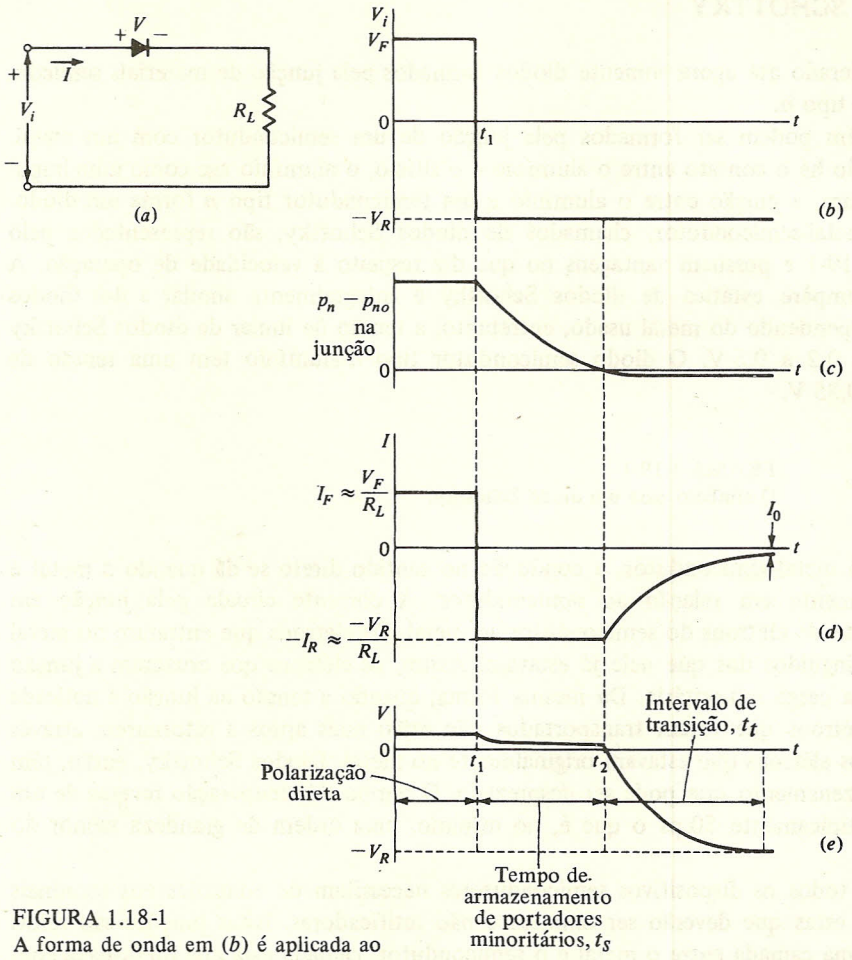


FIGURA 1.18-1
A forma de onda em (*b*) é aplicada ao circuito a diodo em (*a*); (*c*) a densidade de excesso de portadores na junção; (*d*) a corrente no diodo; (*e*) a tensão no diodo.

O tempo decorrido entre o instante t_2 e aquele quando o diodo estiver recuperado é chamado de *tempo de transição* t_1. Este intervalo de recuperação estará completado quando os portadores minoritários, a uma determinada distância da junção, realizarem a difusão e cruzarem-na, e quando a capacitância de transição da junção, polarizada reversamente, estiver carregada através de R_L até a tensão $-V_R$.

Como seria de se esperar, é confirmado experimentalmente que, para uma corrente reversa fixa $-I_R$, o tempo de armazenamento aumenta com o aumento da corrente direta I_F. Com uma corrente direta fixa, o tempo de armazenamento aumenta com o aumento da corrente reversa. Há comercialmente disponibilidade de diodos de chaveamento com tempos totais de recuperação (tempos de armazenamento mais de transição) desde valores menores do que um nanossegundo até a faixa de alguns microssegundos, estes para diodos de chaveamento com correntes elevadas.

1.19 O DIODO SCHOTTKY

Temos considerado até agora somente diodos formados pela junção de materiais semicondutores tipo *p* com tipo *n*.

Diodos também podem ser formados pela junção de um semicondutor com um metal. Por exemplo, quando há o contato entre o alumínio e o silício, o alumínio age como uma impureza do tipo *p*. Assim, a junção entre o alumínio e um semicondutor tipo *n* forma um diodo. Estes diodos de metal-semicondutor, chamados de diodos Schottky, são representados pelo símbolo da Fig. 1.19-1 e possuem vantagens no que diz respeito à velocidade de operação. A característica volt-ampère estática de diodos Schottky é integralmente similar a dos diodos semicondutores. Dependendo do metal usado, entretanto, a tensão de limiar de diodos Schottky estará na faixa de 0,2 a 0,5 V. O diodo semicondutor tipo *n*-alumínio tem uma tensão de limiar ao redor de 0,35 V.

FIGURA 1.19-1
O símbolo para um diodo Schottky.

Em um diodo metal-semicondutor, a condução no sentido direto se dá quando o metal é polarizado positivamente em relação ao semicondutor. A corrente circula pela junção em virtude do transporte de elétrons do semicondutor ao metal. Os elétrons que entraram no metal não podem ser distinguidos dos que nele já estavam. Assim, os elétrons que cruzaram a junção não constituem uma carga minoritária. Da mesma forma, quando a tensão na junção é aplicada reversamente, os elétrons que foram transportados não estão mais aptos a retornarem através da junção do que os elétrons que estavam originalmente no metal. Diodos Schottky, então, têm um tempo de armazenamento que pode ser desprezado. O tempo de recuperação reversa de um diodo Schottky é tipicamente 50 ps o que é, no mínimo, uma ordem de grandeza menor do que no diodo *pn*.

Sabemos que todos os dispositivos semicondutores necessitam de conexões aos terminais externos, conexões estas que deverão ser ôhmicas e não retificadoras. Estas junções são feitas pela colocação de uma camada entre o metal e o semicondutor, camada esta que foi dopada com uma densidade gradual. A densidade de dopagem é muito elevada (semelhante ao metal) no contato metálico e diminui em direção ao semicondutor.

1.20 VELOCIDADE DE CHAVEAMENTO DE UM TRANSISTOR BIPOLAR

Examinaremos agora, qualitativamente, o mecanismo responsável pelas limitações em velocidade encontradas no chaveamento de um transistor bipolar. Na Fig. 1.20-1*a* está indicada a região da base, entre as junções de emissor e de coletor, de um transistor *npn*. Quando o transistor conduz, há a circulação de corrente na junção base-emissor. Esta corrente é formada quase que integralmente por elétrons do emissor que cruzam esta junção à base. A corrente na junção base-emissor devida às lacunas indo da base ao emissor pode ser desprezada, porque a dopagem no emissor é significantemente mais elevada do que a da base. Assim, a densidade de elétrons disponíveis para o transporte de corrente pela junção é muito maior que a densidade de lacunas na base.

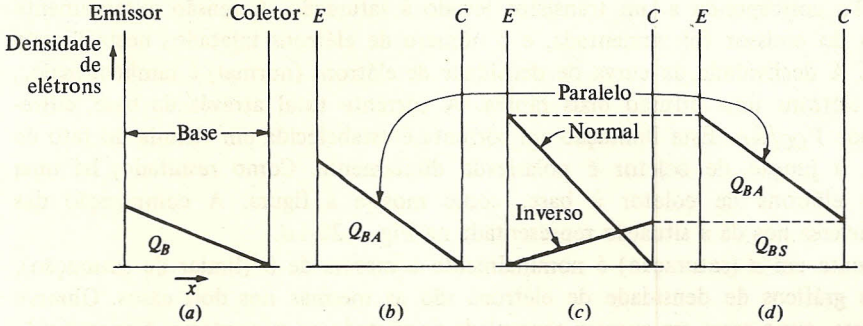


FIGURA 1.20-1
(*a*) Distribuição de densidade de elétrons através da base de um transistor na região ativa. (*b*) Aqui, a corrente através da base é maior do que em (*a*); assim $Q_{BA} > Q_B$ e o módulo da declividade da curva de densidade é maior. (*c*) Na saturação há uma distribuição de carga normal e inversa. (*d*) Um gráfico composto de (*c*).

Os elétrons injetados são transportados pela base estreita por *difusão*. Conforme foi observado anteriormente, a corrente por difusão é proporcional à declividade da curva de densidade por distância. Como a corrente na base é constante, a curva da densidade de elétrons *versus* distância x considerada na base é uma linha reta como indica a Fig. 1.20-1*a*. À medida que cada elétron chega à junção base-coletor, ele imediatamente cruza a junção de coletor, porque ela está polarizada reversamente. Assim, a densidade de elétrons no coletor é zero. Na realidade, a corrente de base no coletor será levemente menor que a do emissor, porque haverá uma pequena, porém progressiva, perda de elétrons cruzando a base devido à sua recombinação com as lacunas. Assim, à medida que x aumenta, a corrente diminui levemente e a curva de densidade de elétrons possui uma leve concavidade para cima, a qual, por simplicidade, não foi indicada na figura. (Tipicamente, porque $\alpha_N \approx 0{,}98$, e a corrente de coletor é somente 2 por cento menor que a de emissor.)

A área debaixo da curva de densidade de elétrons é proporcional ao total de carga minoritária em excesso, Q_B, na base. A carga total da base é zero; assim, deve haver uma carga positiva igual, com uma distribuição através da base que coincide com aquela dos elétrons.

Quando o transistor está cortado, a carga da base é zero. Quando ele começa a conduzir, a situação de equilíbrio representada na Fig. 1.20-1*a* não pode ser estabelecida imediatamente. Assim, decorre um intervalo de tempo finito para as distribuições de carga se estabelecerem. A carga negativa é fornecida pelos elétrons que cruzam a junção de emissor. A carga positiva é fornecida pela corrente de base. Vamos supor, agora, que os elétrons e as lacunas na base não se recombinassem. Neste caso, a carga positiva introduzida pela corrente de base não se dissiparia e, depois que ela tivesse servido para o estabelecimento da carga positiva, não mais seria necessária. Na realidade, é claro que, por causa da recombinação entre lacunas e elétrons, uma corrente de base contínua é necessária.

Na Fig. 1.20-1*b*, a corrente no transistor é maior e conseqüentemente também o é o módulo da declividade da curva de densidade de elétrons. Consideremos, na Fig. 1.20-1*b*, que atingimos o limite da faixa ativa do circuito a transistor (conforme é determinado pela fonte de alimentação V_{CC} e o resistor de coletor R_C com o qual o transistor está operando) e portanto estabelecemos a carga de base total Q_{BA}.

A Fig. 1.20-1*c* corresponde a um transistor levado à saturação. A tensão externamente aplicada na junção do emissor foi aumentada, e o número de elétrons injetados nesta junção também aumentou. A declividade da curva de densidade de elétrons (normal) é também maior, para fornecer aos elétrons uma difusão mais rápida. A corrente total através da base, entretanto, é limitada por V_{CC}/R_C. Esta limitação em corrente é estabelecida em virtude do fato de que, na saturação, a junção de coletor é polarizada diretamente. Como resultado, há uma injeção inversa de elétrons de coletor à base, como mostra a figura. A composição das injeções normal e inversa nos dá a situação representada na Fig. 1.20-1*d*.

Como a corrente em *d* (saturação) é nominalmente a mesma de *b* (limiar de saturação), as declividades dos gráficos de densidade de elétrons são as mesmas nos dois casos. Observe em *d*, particularmente, que a carga em excesso acumulada de portadores minoritários é constituída de uma carga de saturação uniforme, Q_{BS}, que em nada contribui à corrente, e uma carga Q_{BA}, que estabelece o gradiente de densidade necessário para manter a circulação de corrente por difusão.

Veremos, agora, o mecanismo responsável pelos retardos envolvidos no chaveamento de um transistor. Quando um transistor conduz, sua corrente de coletor não chega ao seu valor final até que as cargas Q_B ou Q_{BA} estejam estabelecidas. Por outro lado, consideremos que um transistor conduz e está na saturação. Se quisermos cortá-lo, primeiro deveremos remover a carga Q_{BS}. Durante o intervalo em que Q_{BS} está sendo removida, a corrente de coletor não diminuirá. Ela somente começará a cair, à medida que a carga Q_{BA} iniciar a dissipar-se.

Podemos também ver por que a chave a transistor em modo inverso da Fig. 1.10-2 é mais vagarosa em sua operação, do que a chave em modo normal da Fig. 1.6-1. Um transistor tem uma junção de emissor cuja área da seção transversal é apreciavelmente menor do que a da junção de coletor. Esta geometria é incorporada a um transistor para fornecer um ângulo, subentendido pela junção de coletor e visto a partir da junção de emissor, tão grande quanto possível. Um ângulo grande serve para assegurar que quase a totalidade dos portadores injetados na base a partir da junção de emissor possam chegar ao coletor. Esta característica nos leva a um ganho de corrente α_N, em base comum, bastante próximo à unidade, conforme é necessário em um transistor eficiente.

Conforme pode ser visto na Fig. 1.20-1*b*, quando um transistor for usado em modo normal, a densidade de carga em excesso de portadores minoritários será maior onde a área da seção transversal for menor (no emissor), e a densidade será menor onde a área for maior. Em modo inverso, a situação é a inversa; ou seja, densidade maior para uma área maior. Como conclusão, a carga armazenada em modo inverso é maior do que em modo normal, e os retardos associados ao modo inverso são conseqüentemente maiores.

A Fig. 1.20-2 mostra uma chave a transistor que deve ser operada por uma forma de onda de entrada que opera entre os níveis de tensão V_1 e V_2, e é aplicada à base através de um resistor R_b. A forma de onda na entrada V_i é mostrada na Fig. 1.20-3*a* e leva o transistor do

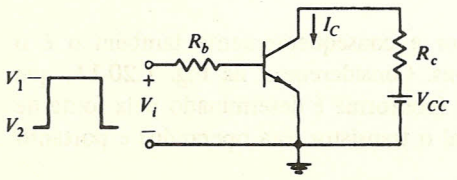


FIGURA 1.20-2
Um pulso operando entre os níveis V_2 e V_1 leva o transistor do corte à saturação e de volta à situação anterior.

corte à saturação e depois de volta ao corte. A corrente de coletor I_C é mostrada em *b*. O *tempo de retardo* t_1 é o tempo necessário para levar I_C a $0{,}1\,I_{CS}$, onde I_{CS} é a corrente de saturação do coletor. O *tempo de subida* t_r é definido como sendo o tempo necessário para levar I_{CS} desde $0{,}1\,I_{CS}$ até $0{,}9\,I_{CS}$. O *tempo de armazenamento* t_s é o tempo decorrido desde o instante em que há a inversão da corrente de base até o instante em que I_C cai a $0{,}9\,I_{CS}$. Observe, particularmente, como seria de se esperar com base em nossa discussão prévia, que há um intervalo de tempo durante o qual a corrente de coletor não responde. Neste intervalo, a carga de saturação Q_{BS} da Fig. 1.20-1*d* está sendo removida. Finalmente, o *tempo de descida* é t_f. Um aumento em V_1 servirá para diminuir os tempos t_d e t_r, porém às custas do tempo de armazenamento t_s. A forma de onda da corrente de base é mostrada na Fig. 1.20-3*c*. Aqui, por simplicidade, ignoramos a queda base-emissor do transistor saturado, ao calcularmos I_B. Observe que a corrente de base não cai a zero até que a carga armazenada na base tenha sido dissipada, como é evidenciado pela queda da corrente de coletor a zero.

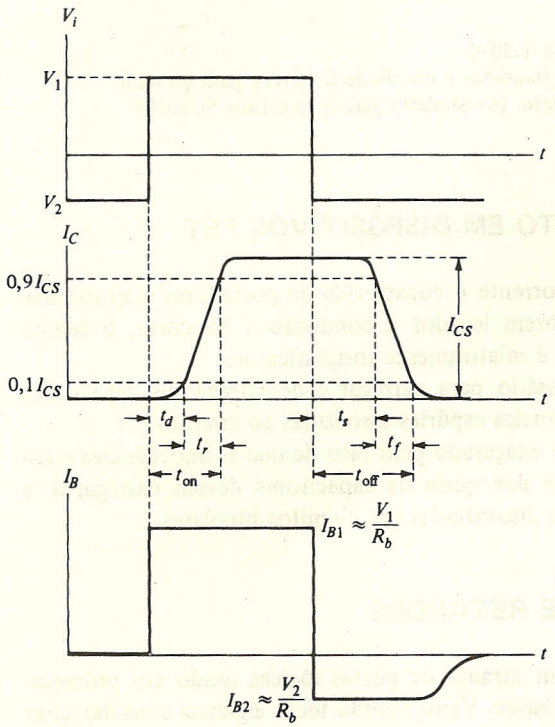


FIGURA 1.20-3
A corrente de coletor (*b*) e a corrente de base (*c*) em resposta a um pulso de excitação (*a*).

O transistor Schottky. A velocidade de resposta de um transistor pode ser melhorada, evitando-se que este vá à saturação. Uma maneira de isto ser feito é mostrada na Fig. 1.20-4*a*. Um diodo Schottky é conectado a partir do coletor à base. Quando o transistor está na região ativa, o diodo *D* não conduz. O diodo conduzirá quando a tensão base-coletor chegar ao redor

de 0,4 V, e ao mesmo tempo não permitirá que o coletor esteja a mais do que 0,4 V abaixo da tensão de base. Vimos entretanto que, na saturação, com V_{BE} (sat) = 0,75 V e V_{CE} (sat) = 0,2 V, a tensão base-coletor deve ser 0,75 − 0,2 = 0,55 V. Assim, o diodo nunca deixa a tensão no coletor cair o suficiente para que a junção seja polarizada diretamente, evitando portanto que o transistor sature.

O diodo Schottky pode facilmente ser incorporado ao transistor durante o processo de fabricação. Estas combinações diodo-transistor são chamadas de *transistores Schottky* e são representadas como na Fig. 1.20-4*b*.

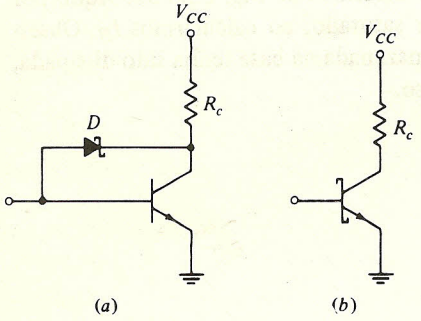


FIGURA 1.20-4
(*a*) Um transistor e um diodo Schottky para prevenir a saturação. (*b*) Símbolo para o transistor Schottky.

1.21 VELOCIDADE DE CHAVEAMENTO EM DISPOSITIVOS FET

Nos dispositivos de efeito de campo, a corrente é constituída de portadores majoritários. Em conseqüência, quando estes dispositivos forem levados à condução e ao corte, o tempo necessário para efetuar a redistribuição de carga é relativamente insignificante.

Muito mais significante é o tempo necessário para carregar e descarregar os capacitores associados ao dispositivo e às inevitáveis capacitâncias espúrias associadas ao circuito.

O problema de carregar estes capacitores é exagerado pelo fato de que as impedâncias resistivas encontradas em circuitos a FET, através dos quais os capacitores devem carregar-se e descarregar-se, são muito maiores do que aquelas encontradas em circuitos bipolares.

1.22 TEMPOS DE SUBIDA, DESCIDA E RETARDOS

Não constitui exagero afirmarmos que um arranjo de portas lógicas usado em processamento digital é feito de uma longa cascata de chaves. Vamos então tecer algumas considerações sobre a cascata indicada na Fig. 1.22-1.

Consideremos, inicialmente, apenas o primeiro estágio da cascata. Consideremos, também, que este primeiro estágio não está conectado à entrada do segundo e, finalmente, suponhamos que a forma de onda V_i possui uma velocidade infinita para a subida e para a descida. Se V_i fizer o primeiro estágio conduzir, a saída cairá e haverá um *tempo de descida* associado a esta caída. Suponhamos que V_{CC} = 5 V e que V_{CE} (sat) = 0; vamos ser um pouco informais a respeito do assunto, assumindo que a saída caia linearmente com o tempo fazendo a transição de V_{CC} a zero,

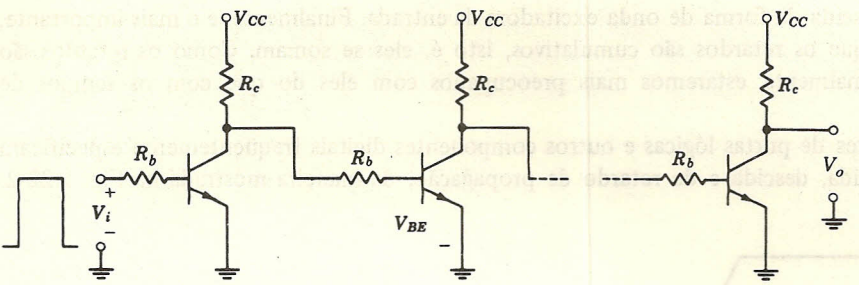


FIGURA 1.22-1
Chaves transistorizadas em cascata.

em um tempo t_f. Este tempo de descida dependeria, então, das características do transistor, considerando o mecanismo descrito anteriormente, e seria também um pouco maior do que poderia ser antecipado, por causa da presença de capacitâncias espúrias associadas ao dispositivo e ao circuito.

Vamos supor, agora, que a entrada V_i não suba abruptamente e, portanto, tenha um tempo de subida finito. Em geral, este tempo de subida finito aumentaria o tempo de descida do estágio. *Se o tempo de subida, entretanto, fosse pequeno o suficiente em comparação com o tempo de descida do próprio estágio, o efeito do tempo de subida finito poderia ser desprezado.*

Restauremos, agora, a conexão da saída do primeiro estágio à entrada do segundo. A entrada do segundo estágio não cai abruptamente.

Entretanto, a única parte da forma de onda de entrada que interessa é a de 0,1 V, responsável pela variação da tensão de base V_{BE} desde 0,75 V (saturação) até 0,65 V (corte). Como a queda da saída do primeiro estágio se dá a uma razão de 5 V em um intervalo de tempo t_f, a velocidade efetiva da entrada no segundo estágio é 50 vezes maior. Assim sendo, no que diz respeito ao segundo estágio, a forma de onda de entrada possui uma velocidade muito maior que a do próprio estágio, de tal maneira que o efeito da velocidade de entrada pode ser ignorado. Chegamos assim à conclusão de que, à medida que seguirmos adiante na cascata da Fig. 1.22-1, os tempos de subida e de descida não ficarão progressivamente maiores ou, se ficarem, isto acontece muito vagarosamente com o aumento do número de estágios.

Com dispositivos do tipo FET, a situação é algo diferente porque a excursão de tensão na entrada, necessária para levar o dispositivo de condução ao corte, é uma fração maior do que a necessária para o acionamento de dispositivos bipolares. Mesmo assim, se fôssemos ao caso extremo em que cada estágio operasse linearmente, encontraríamos que os tempos de subida e descida aproximadamente aumentariam somente com a raiz quadrada do número de estágios componentes da cascata.

Tempo de retardo de propagação. Por outro lado, à medida que seguimos pela cascata, encontramos a existência de um retardo progressivo. Assim, se um estágio k fosse levado através de sua região de limiar desde o corte até a saturação, em um instante t_k, o próximo estágio seria levado através de sua região de limiar da saturação ao corte, em um instante t_{k+1} mais tarde. O retardo, também chamado de *retardo de propagação*, é o intervalo $t_{k+1} - t_k$. A existência destes retardos, associados a cada forma de onda excitadora, é aparente se consideramos a Fig. 1.20-3. Também é aparente que este retardo não é necessariamente o mesmo para as partes

de subida e de descida da forma de onda excitadora da entrada. Finalmente, e o mais importante, deve-se observar que os retardos são cumulativos, isto é, eles se somam. Como os retardos são cumulativos, normalmente estaremos mais preocupados com eles do que com os tempos de subida e descida.

Os fabricantes de portas lógicas e outros componentes digitais freqüentemente especificam os tempos de subida, descida e de retardo de propagação, da maneira mostrada na Fig. 1.22-2.

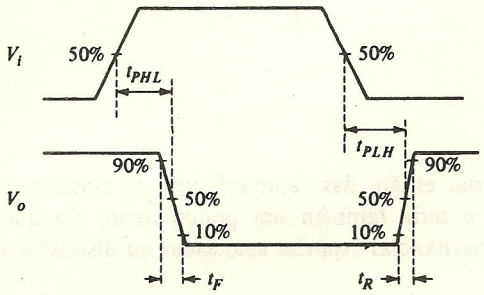


FIGURA 1.22-2
Formas de onda de entrada e saída para definir o tempo de subida, tempo de descida e tempo de retardo da propagação.

Esta figura mostra as formas de onda de entrada e saída de uma porta lógica ou qualquer outro dispositivo binário. Os tempos de subida (ou descida) são vistos como sendo definidos pelo intervalo de tempo necessário para que V_o vá do nível de tensão de 10 a 90 por cento (ou de 90 a 10 por cento) de seu valor máximo. Os tempos de retardo de propagação t_{PHL} e t_{PLH} são os tempos de retardo entre a entrada e a saída, quando a saída vai de seu estado alto (*high*) para seu estado baixo (*low*) e vice-versa. Observe que o tempo de retardo é medido entre os níveis de 50 por cento de tensão.

REFERÊNCIAS

1. Ebers, J. J. e J. L. Moll. Large Signal Behavior of Junction Transistors. *Proc. IRE.* Vol. 42, p. 1761-1772, dez. 1954.
2. Millman, J. e H. Taub. *Pulse, Digital, and Switching Waveforms.* McGraw-Hill, New York, 1965, cap. 20.
3. Crawford, R. H. *MOSFET in Circuit Design.* McGraw-Hill, 1967, cap. 5.

CAPÍTULO 2

Amplificadores Operacionais e Comparadores

Existem, sob a forma de circuitos integrados, amplificadores de diferença de sinais com alto ganho, que são denominados *amplificadores operacionais* (amp-ops*). Se introduzirmos uma modificação no amp-op, teremos um tipo de amplificador chamado *comparador*. Amplificadores comparadores tornados instáveis através do uso de realimentação positiva (regenerativa) são chamados de *circuitos disparadores de Schmitt* (*Schmitt trigger*). Como freqüentemente encontramos amp-ops comparadores e Schmitt *triggers* como componentes em sistemas digitais e de chaveamento, discutiremos neste capítulo aquelas características destes três circuitos, que são relevantes em aplicações de sistemas digitais.

2.1 O AMPLIFICADOR OPERACIONAL

Existem, comercialmente, sob a forma de circuitos integrados, amplificadores caracterizados como amplificadores operacionais, ou, mais simplesmente, amp-ops. A importância destes dispositivos vem do fato de que há um grande número de tipos disponíveis bem como uma grande quantidade de fabricantes a suprir o mercado. Comentaremos abaixo o significado do termo "operacional" aplicado a estes amplificadores. Estes amplificadores geralmente são projetados para trabalharem linearmente e não na forma de chaveamento digital e neste sentido não seriam de nosso interesse fundamental.

Entretanto, eles são empregados como componentes em circuitos amostradores-seguradores de primeira ordem, em circuitos de portas analógicos (Cap. 13), e em circuitos usados para efetuar a conversão entre sistemas analógicos e digitais (Cap. 14). É bastante oportuno, portanto, que discutamos suas características externas e de funcionamento.

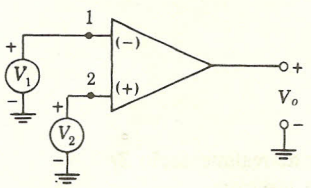


FIGURA 2.1-1
Símbolo que representa um amp-op (*op-amp*) com a indicação de suas entradas inversora (−) e não-inversora (+).

* Amp-op: abreviatura geralmente utilizada para designar amplificador operacional; do inglês *operational amplifier* (*op-amp*). (N. do T.)

Um amplificador operacional é representado na Fig. 2.1-1. Ele tem duas entradas referentes aos sinais de entrada V_1 e V_2 e uma saída simples V_o. Idealmente, a tensão de saída está relacionada com a tensão de entrada pela equação (2.1-1), onde A, o ganho de tensão, é (pelo menos em baixas freqüências), um número positivo, real e grande, podendo atingir não raramente 5×10^4.

$$V_o = A(V_2 - V_1) \tag{2.1-1}$$

Há três implicações a partir da Eq. (2.1-1) que, por sua importância, merecem ser enumeradas explicitamente. Observamos que, quando um sinal é aplicado à entrada 1, o amplificador nos fornece ganho *com inversão*, enquanto se um sinal for aplicado à entrada 2, o amplificador nos dará o mesmo ganho *sem inversão*. Especificamente, com $V_2 = 0$, $V_o = -AV_1$ e com $V_1 = 0$, $V_o = AV_2$. Os sinais (−) e (+) nos terminais de entrada na Fig. 2.1-1 servem como indicações destas inversão e não-inversão. A seguir, observamos a partir da Eq. (2.1-1) que, ainda que as tensões V_1 e V_2 excursionem, mantendo $V_1 = V_2$, isto é, V_1 e V_2 fazem excursões em tensão *comum*, segue que $V_o = 0$. A conclusão que tiramos é que o amplificador *rejeita um sinal aplicado em comum* a ambas as entradas. Finalmente, observamos que a Eq. (2.1-1) pode ser aplicada não apenas em bases incrementais mas também de uma maneira absoluta. Assim sendo, as tensões V_o, V_1 e V_2 da Eq. (2.1-1) não são para ser interpretadas como excursão a partir de um ponto de operação quiescente inicial, mas como sendo tensões absolutas em relação a terra.

Especificamente, digamos que V_1 e V_2 sejam tensões contínuas, cada uma com 2V; então, a saída é uma tensão cc com $V_o = 0$ V.

Amplificadores operacionais reais falham em rejeitar sinais de modo comum com absoluta precisão e, da mesma maneira, falham em manter $V_o = 0$, quando necessário, com absoluta precisão e estabilidade.

2.2 O TERRA VIRTUAL

Na Fig. 2.2-1 aplicamos uma entrada V_i ao terminal inversor e aterramos o terminal não-inversor. Existe uma impedância de entrada R_i, vista olhando-se através do amplificador.

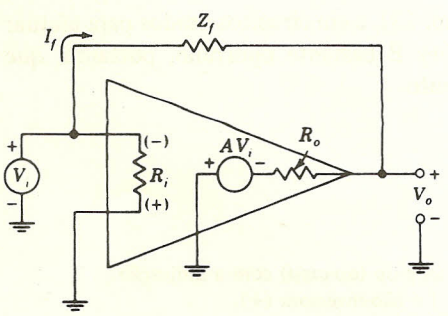


FIGURA 2.2-1
Um amp-op com um resistor de realimentação Z_f conectado da saída à entrada inversora.

Visto a partir da saída, o amplificador pode ser substituído por um gerador de tensão AV_i em série com uma impedância equivalente de Thevenin de saída R_o. Uma impedância de

realimentação Z_f foi conectada externamente da saída para a entrada. Estaremos interessados agora em calcular a impedância vista a partir da fonte V_i. Vemos que a corrente I_f que passa por Z_f é

$$I_f = \frac{V_i + AV_i}{Z_f + R_o} \tag{2.2-1}$$

Definiremos agora a impedância $Z_i = V_i/I_f$. A partir da Eq. (2.2-1), deduzimos que

$$Z_i = \frac{V_i}{I_f} = \frac{Z_f + R_o}{1 + A} \tag{2.2-2}$$

Esta quantidade Z_i (desprezando R_i, que está em paralelo com Z_i) é a impedância vista pelo gerador V_i. A é um número muito grande e, portanto, esta impedância será pequena. Tipicamente, R_O é da ordem de centenas de ohms. Vamos supor $R_O = 200\ \Omega$. Em muitas aplicações, Z_f também é resistiva e da ordem de alguns milhares de ohms, como por exemplo 5 kΩ. Considerando, então, $A = 5 \times 10^4$, encontramos $Z_i = 5.200/(1 + 5 \times 10^4) \approx 0{,}1\ \Omega$. A impedância R_i do amplificador situa-se na faixa de dezenas de quilohms a dezenas de megohms. De acordo com o exposto acima, a impedância vista por V_i pode ser tomada como sendo Z_i.

É comum caracterizar-se o amplificador conforme a configuração da Fig. 2.2-1 como possuindo um *terra virtual* na entrada. O terminal de entrada está aterrado no sentido de que a impedância entre o terminal de entrada e terra é muito pequena (quando comparada com outras impedâncias em circuitos que empregam esta configuração). O terra, entretanto, é virtual, no sentido de que a corrente fornecida por V_i não circula para a terra diretamente, mas através da impedância Z_f.

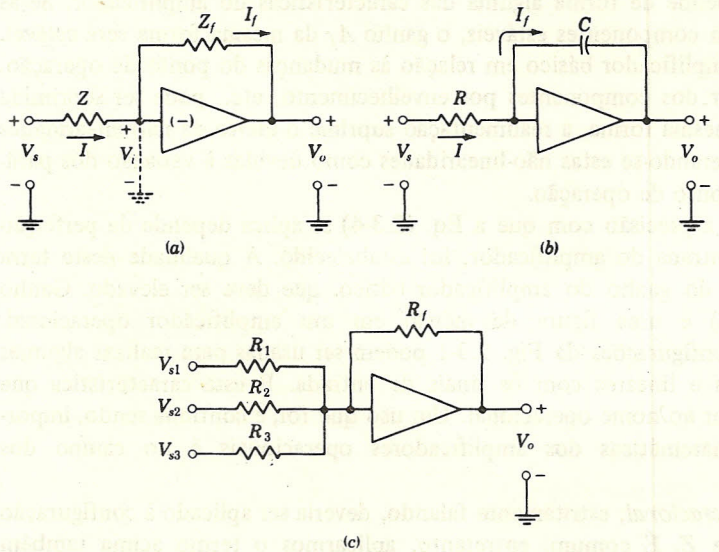


FIGURA 2.3-1
(*a*) Um modificador de escala com $Z_f = R_f$ e $Z = R$; (*b*) um integrador;
(*c*) um somador e modificador de escala.

2.3 OPERAÇÕES

Na Fig. 2.3-1, um sinal V_s foi aplicado ao amplificador conforme a configuração da Fig. 2.2-1, através de uma impedância Z. Apenas por uma questão de simplicidade, o terminal não-inversor de entrada (aterrado) não foi indicado.

Considerando agora o terra virtual (indicado pela linha tracejada)

$$I \approx \frac{V_s}{Z} \tag{2.3-1}$$

e

$$V_o = -IZ_f \tag{2.3-2}$$

Combinando as Eqs. (2.3-1) e (2.3-2), temos

$$V_o = -\frac{Z_f}{Z} V_s \tag{2.3-3}$$

Observamos, a partir da Fig. 2.3-1*a*, que a tensão V_i que aparece no terminal de entrada do amplificador é uma combinação linear entre a tensão externa de entrada e a tensão de saída. O amplificador agora, portanto, possui *realimentação*. Na presença desta realimentação, o ganho final A_f do amplificador realimentado, a partir da Eq. (2.3-3), é

$$A_f \equiv \frac{V_o}{V_s} = -\frac{Z_f}{Z} \tag{2.3-4}$$

Observamos, a partir da Eq. (2.3-4), que o ganho com realimentação depende somente das impedâncias Z_f e Z e não depende de forma alguma das características do amplificador. Se as impedâncias selecionadas forem componentes estáveis, o ganho A_f da mesma forma será estável. A variabilidade de ganho do amplificador básico em relação às mudanças do ponto de operação, temperatura, mudança do valor dos componentes por envelhecimento, etc., pode ser suprimida através da realimentação. Da mesma forma, a realimentação suprime o efeito de não-linearidades do amplificador básico, considerando-se estas não-linearidades como devidas à variação dos parâmetros do dispositivo com o ponto de operação.

Deve ser enfatizado que a precisão com que a Eq. (2.3-4) se aplica depende da perfeição com que o terra virtual, da entrada do amplificador, foi estabelecido. A qualidade deste terra virtual, por sua vez, depende do ganho do amplificador básico, que deve ser elevado. Ganho elevado (idealmente ilimitado) é uma figura de mérito em um amplificador operacional.

Veremos agora que as configurações da Fig. 2.3-1 podem ser usadas para realizar algumas *operações matemáticas* simples e lineares com os sinais de entrada. É esta característica que associa este tipo de amplificador ao nome operacional. Um uso que foi, e continua sendo, importante destas configurações matemáticas dos amplificadores operacionais é no campo dos *computadores analógicos*.

O termo *amplificador operacional*, estritamente falando, deveria ser aplicado à configuração da Fig. 2.3-1, incluindo Z_f e Z. É comum, entretanto, aplicarmos o termo acima também para o amplificador básico.

Se Z_f e Z forem os resistores R_f e R, então $A_f = -R_f/R$ e o amplificador operacional se torna um *inversor de sinal* e pode também mudar a escala do sinal. Se a condição $R_f = R$ se

verifica, a escala do sinal de entrada não é mudada e há então somente a mudança de sinal. Se $Z = R$ e Z_f for capacitiva como na Fig. 2.3-1*b*, teremos que $I = V_s/R$ e

$$V_o = -\frac{1}{C}\int I_f\,dt = -\frac{1}{C}\int I\,dt = -\frac{1}{RC}\int V_s\,dt \tag{2.3-5}$$

Neste caso, o amplificador operacional funciona como um *integrador*. Pode facilmente ser verificado que, se o resistor e o capacitor forem intercambiados, o amplificador operacional passará a ser um diferenciador.

A Fig. 2.3-1*c* ilustra o uso de um amplificador operacional como um *somador* de formas de onda. Se $R_1 = R_2 = R_3 = R$, temos que $V_O = -(R_f/R)(V_{s1} + V_{s2} + V_{s3})$. Generalizando mais ainda, poderemos combinar soma com mudança de escala (soma ponderada). Se os resistores de entrada não forem iguais, teremos

$$V_o = -\left(\frac{R_f}{R_1}V_{s1} + \frac{R_f}{R_2}V_{s2} + \frac{R_f}{R_3}V_{s3}\right) \tag{2.3-6}$$

Uma das maiores vantagens da configuração da Fig. 2.3-1*c* é que, considerando o terra virtual, não há interação entre os sinais de entrada.

2.4 IMPEDÂNCIA DE SAÍDA

Uma característica bastante útil do amplificador operacional é que a utilização de realimentação serve para baixar substancialmente o nível de impedância de saída. A utilidade desta característica se manifesta quando, a partir da saída do amplificador operacional, devemos excitar cargas de baixa impedância e especialmente cargas capacitivas.

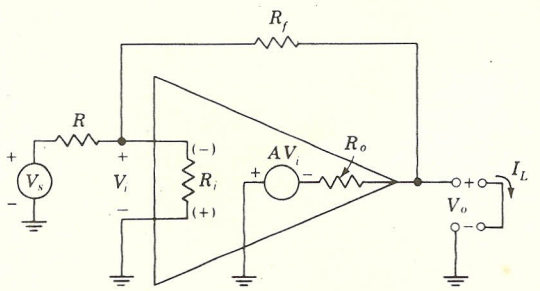


FIGURA 2.4-1
Circuito utilizado para calcular a impedância de saída.

A impedância de saída pode ser calculada a partir da Fig. 2.4-1 como sendo a relação entre a tensão de saída a circuito aberto V_O e a corrente na carga, I_L, quando a carga for um curto-circuito. A tensão a circuito aberto é

$$V_o = -\frac{R_f}{R}V_s \tag{2.4-1}$$

e a corrente de curto-circuito é

$$I_L = \frac{V_s}{R + R_f} - \frac{A}{R_o} V_i = \frac{V_s}{R + R_f} - \frac{A}{R_o} \frac{R_f}{R + R_f} V_s \tag{2.4-2}$$

Nestas equações, desprezamos a impedância de entrada do amplificador R_i. Considerando a Eq. (2.4-1), este fato é justificado desde que, quando a saída for um circuito aberto, o amplificador propiciará realimentação e haverá então o terra virtual em paralelo com R_i. Na Eq. (2.4-2), usamos a relação $V_i = R_f V_s/(R + R_f)$. Para que esta relação entre V_i e V_s seja válida, há somente a necessidade de que R_i seja grande em comparação com a combinação em paralelo de R e R_f, um requisito que na prática é invariavelmente satisfeito.

O segundo termo da Eq. (2.4-2) é muito maior do que o primeiro termo, já que A é muito grande. Assim sendo, o primeiro termo é desprezado e a impedância de saída Z_o é dada por

$$Z_o = \frac{V_o}{I_L} = \frac{R_o}{A}\left(1 + \frac{R_f}{R}\right) = \frac{R_o}{A}(1 - A_f) \tag{2.4-3}$$

Ilustrando, quando $A_f = -9$, $R_O = 100\ \Omega$ e $A = 5 \times 10^4$, temos que $Z_O = \frac{1}{50}\ \Omega$.

2.5 A ELETRÔNICA DO AMPLIFICADOR OPERACIONAL

Antes de seguirmos nossa discussão sobre as características de desempenho de um amplificador operacional, nos será de grande valia vermos rapidamente a eletrônica envolvida nestes dispositivos. O circuito básico, utilizado para fornecer ganho no amplificador operacional, é o mostrado na Fig. 2.5-1.

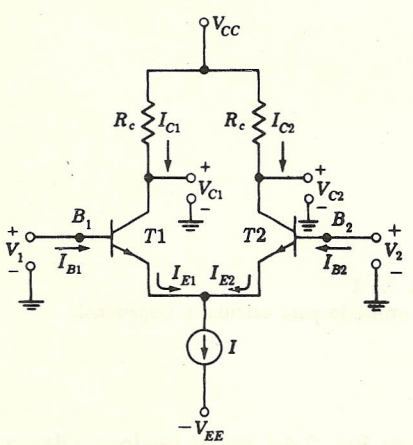


FIGURA 2.5-1
O amplificador diferencial básico usado para fornecer ganho no amp-op.

Os emissores dos dois transistores estão conectados entre si e a uma fonte de corrente constante. (Um método para a obtenção de uma fonte de corrente constante é dado no Prob. 2.5-1. Os detalhes do método não são relevantes neste ponto.) Com $V_1 = V_2$, as correntes de coletor são $I_{C1} = I_{C2} \approx I/2$ (desprezando as correntes de base). Se fixarmos V_2, um aumento em

V_1 fará com que a maior fração da corrente fixa I passe por $T1$. Assim, V_{C1} diminui e V_{C2} aumenta. Um decréscimo em V_1 resulta na maior parte de I passando por $T2$. Assim, o ganho $g \equiv \Delta V_{C1}/\Delta V_1$ relativo à entrada de $T1$ em relação ao coletor de $T1$ será negativo (inversor), enquanto o ganho $\Delta V_{C2}/\Delta V_1$ será positivo (não-inversor). Comentários semelhantes poderiam ser feitos ao ganho de um sinal aplicado à base de $T2$.

Desde que a fonte de corrente I seja precisamente fixa, a variação de corrente em um transistor deve ser igual e oposta à variação de corrente no outro transistor.

Neste caso, os diversos ganhos deverão ser iguais e opostos; isto é,

$$g \equiv \frac{\Delta V_{C1}}{\Delta V_1} = \frac{\Delta V_{C2}}{\Delta V_2} = -\frac{\Delta V_{C1}}{\Delta V_2} = -\frac{\Delta V_{C2}}{\Delta V_1} \tag{2.5-1}$$

Vamos supor agora que, a partir de uma condição inicial, V_1 e V_2 sejam arbitrariamente incrementados de ΔV_1 e ΔV_2. A variação na saída, no coletor de $T1$, seria

$$\Delta V_{C1} = \frac{\Delta V_{C1}}{\Delta V_1}\bigg|_{\Delta V_2 = 0} \Delta V_1 + \frac{\Delta V_{C1}}{\Delta V_2}\bigg|_{\Delta V_1 = 0} \Delta V_2 \tag{2.5-2a}$$

$$= g(\Delta V_1 - \Delta V_2) \tag{2.5-2b}$$

a partir da Eq. (2.5-1). Da mesma maneira, $\Delta V_{C2} = g(\Delta V_2 - \Delta V_1)$. Isto resulta em que, se ΔV_1 e ΔV_2 forem iguais, isto é, um sinal comum é aplicado a ambas as entradas, as saídas ΔV_{C1} e ΔV_{C2} serão zero. Esta característica é descrita ao afirmarmos que o amplificador rejeita um sinal de modo comum, ou que o ganho para excitação de modo comum é zero.

Existindo, entretanto, uma *diferença* entre ΔV_1 e ΔV_2, esta diferença é amplificada. Por esta razão, o circuito anteriormente descrito é comumente chamado de *amplificador* diferencial (ou de diferença).

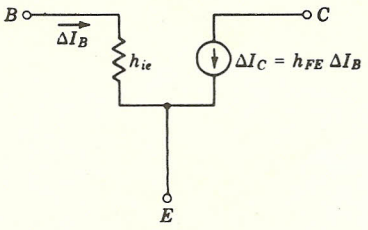


FIGURA 2.5-2
Circuito equivalente simplificado com parâmetros h de um transistor.

Para calcularmos o ganho g do amplificador diferencial, representaremos os transistores pelo seu equivalente mostrado na Fig. 2.5-2. Este circuito equivalente é uma forma simplificada do circuito em parâmetros h. A resistência de entrada base-emissor, h_{ie}, pode ser estimada a partir da equação [veja Eq. (1.7-14)] que relaciona a corrente de emissor com a tensão base-emissor, por

$$I_E = I_{E0}\epsilon^{V_{BE}/V_T} \tag{2.5-3}$$

A resistência incremental vista, olhando-se entre a base e o emissor, é dV_{BE}/dI_B. A corrente de base é $I_B = I_E/(h_{FE} + 1)$. Daí segue que a resistência incremental vista, olhando-se na base, é

$$h_{ie} = \frac{dV_{BE}}{dI_B} = (h_{FE} + 1)\frac{dV_{BE}}{dI_E} = \frac{(h_{FE} + 1)V_T}{I_E} \approx \frac{h_{FE}\,V_T}{I_E} \tag{2.5-4}$$

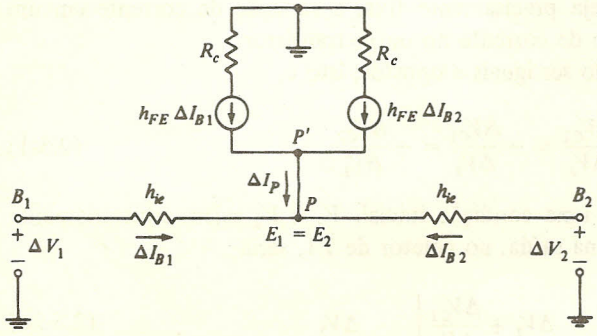


FIGURA 2.5-3
Circuito equivalente incremental de um amplificador diferencial.

Quando o circuito equivalente simplificado em parâmetros h, conforme mostrado na Fig. 2.5-2, é usado, o circuito equivalente incremental do amplificador diferencial é como mostra a Fig. 2.5-3. Este circuito equivalente considera somente excursões do sinal ao redor de um ponto de operação quiescente inicial; assim sendo, a fonte de tensão foi substituída por um curto-circuito à terra, e a fonte de corrente no emissor, por um circuito aberto. A soma das correntes que incidem no nó P ou P' deve ser igual a zero; portanto

$$h_{FE}\,\Delta I_{B1} + \Delta I_{B1} + h_{FE}\,\Delta I_{B2} + I_{B2} = 0 \tag{2.5-5}$$

e, por conseguinte,

$$\Delta I_{B1} = -\Delta I_{B2} \tag{2.5-6}$$

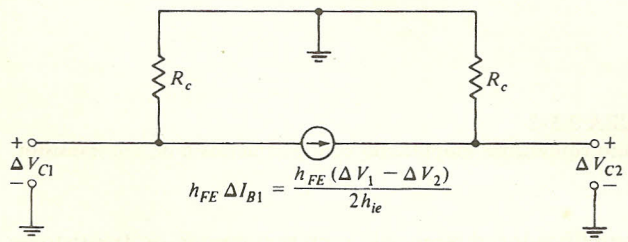


FIGURA 2.5-4
Circuito equivalente do amplificador diferencial usado para calcular ΔV_{C1} e ΔV_{C2}.

Conseqüentemente, a corrente $\Delta I_P = 0$ e a conexão entre P e P' pode ser removida. Finalmente, o circuito equivalente para o cálculo das correntes através dos resistores de coletor R_c é mostrado na Fig. 2.5-4. Agora, as duas fontes de corrente em série, cada uma de mesmo valor, foram substituídas por uma fonte de corrente $h_{FE}\,\Delta I_{B1}$, onde

$$\Delta I_{B1} = \frac{\Delta V_1 - \Delta V_2}{2h_{ie}} \tag{2.5-7}$$

O ganho do amplificador diferencial, usando as Eqs. (2.5-2*b*) e (2.5-7) e a Fig. 2.5-4, é dado por

$$g = \frac{\Delta V_{C1}}{\Delta V_1 - \Delta V_2} = \frac{-R_c h_{FE}}{2h_{ie}} = -\frac{I_E R_c}{2V_T} \tag{2.5-8}$$

Segue também, a partir da Fig. 2.5-3, desde que $\Delta I_P = 0$, que a resistência de *base a base* é dada por

$$R_i = 2h_{ie} \tag{2.5-9}$$

Tipicamente, $h_{ie} \approx 25$ k com $I_E = 0{,}1$ mA, de tal maneira que encontramos impedâncias de entrada da ordem de 50 kΩ. Pode ser também observado que é possível obter impedâncias de entrada maiores, através do uso de circuitos de entrada do tipo Darlington ou entradas a FET.*

2.6 O AMPLIFICADOR

Os circuitos integrados de amp-ops comerciais em geral são formados de quatro estágios. Os dois primeiros estágios são amplificadores diferenciais em cascata usados para nos dar um alto ganho. Um terceiro estágio serve para acoplarmos o segundo amplificador diferencial a um quarto estágio, que é o estágio de saída. O estágio de saída é projetado para nos dar uma saída em baixa impedância e que pode excursionar simetricamente em relação a terra. Para que uma excursão simétrica possa ser alcançada, é necessário termos, para o amplificador, fontes de tensão positiva e negativa. Já observamos que o incremento na tensão de saída do amplificador diferencial é proporcional à diferença dos incrementos nas entradas. Em um amp-op, entretanto, os níveis cc são ajustados de tal maneira que esta proporcionalidade se aplica não somente aos incrementos, como na Eq. (2.5-2), mas também às tensões totais, como na Eq. (2.1-1). Se $V_1 - V_2 = 0$, temos que $V_O = 0$, ao menos idealmente. Uma das funções do 3º estágio também é de que flutuações nos níveis de tensão cc não se propaguem além deste estágio. Um amp-op em geral também incorpora circuitos de compensação de temperatura.

Com base em nossa discussão, é vista a validade na representação do amp-op, conforme a Fig. 2.6-1. Até este ponto, temos considerado que a saída V_o depende somente da diferença das entradas e não das entradas propriamente ditas. Incluímos ainda um resistor de entrada R_i que

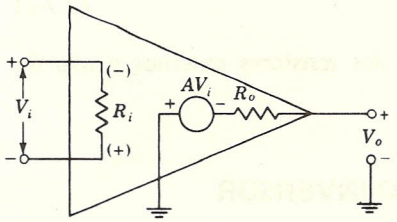


FIGURA 2.6-1
Uma representação de um amp-op mostrando a impedância R_i, que está colocada de uma entrada à outra.

* FET: abreviatura utilizada geralmente para designar transistor de efeito de campo: do inglês *field effect transistor*. (N. do T.)

não aparece entre cada entrada individual e a terra, mas está conectado entre as entradas. Se uma das entradas estiver aterrada, a resistência de entrada vista a partir da outra entrada será R_i. Por outro lado, se uma das entradas estiver conectada à terra através de um resistor R_g, a resistência vista olhando-se a partir da outra entrada será $R_i + R_g$.

2.7 AMPLIFICAÇÃO SEM INVERSÃO USANDO UM AMP-OP

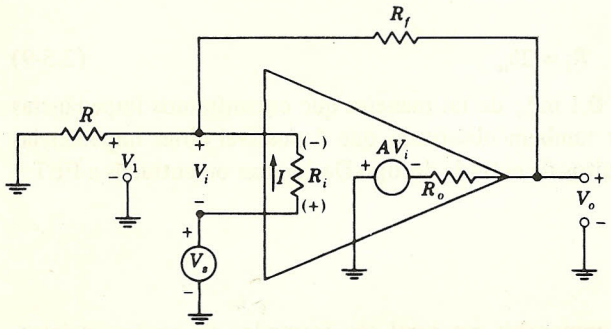


FIGURA 2.7-1
Um amp-op não-inversor.

Uma configuração alternativa de um amp-op é mostrada na Fig. 2.7-1. Neste caso, um sinal é aplicado à entrada não-inversora em vez de à entrada inversora. A tensão realimentada à entrada inversora é V_1. Um cálculo exato do ganho V_o/V_s é deixado para um problema (Prob. 2.7-1). Um bom resultado aproximado pode ser obtido a partir das considerações abaixo.

Como normalmente R_o é pequena o suficiente para que a queda de tensão sobre ela possa ser desprezada, temos que $V_o = -AV_i = -A(V_1 - V_s)$. Como A é muito grande, a diferença $V_1 - V_s$ deve ser muito pequena em comparação com V_o. Não cometeremos um erro sério ao supormos que $V_i = V_1 - V_s \approx 0$, de tal modo que $V_1 = V_s$. Neste caso, também a corrente I através de R_i é zero. Podemos então escrever

$$V_1 = \frac{R}{R + R_f} V_o = V_s \tag{2.7-1}$$

de onde concluímos que o ganho $A_f = V_o/V_s$ é dado por

$$A_f = 1 + \frac{R_f}{R} \tag{2.7-2}$$

Observe, novamente, que o ganho depende somente dos resistores externos e não do amplificador.

2.8 A IMPEDÂNCIA DE UM AMPLIFICADOR NÃO-INVERSOR

A impedância de entrada vista por V_s na Fig. 2.7-1 é determinada como sendo a razão entre V_s e a corrente I que passa por R_i. Se persistirmos em nossa aproximação, conforme estabelecido acima, de que $V_1 = V_s$, então $I = 0$ e a impedância de entrada será infinita. Necessitaremos,

de alguma maneira, calcular melhor V_1 desde que a impedância de entrada obviamente não é infinita.

Temos então que

$$V_o = -A(V_1 - V_s) \tag{2.8-1}$$

e usando uma aproximação de primeira ordem em que $I = 0$ (veja o Prob. 2.8-1) e novamente desprezando R_O,

$$V_1 = \frac{R}{R + R_f} V_o \tag{2.8-2}$$

A partir das Eqs. (2.8-1) e (2.8-2), eliminando V_O, temos que

$$V_1 = \frac{RA}{(1 + A)R + R_f} V_s \tag{2.8-3}$$

A corrente através de R_i é $I = (V_S - V_1)R_i$, e a impedância de entrada $Z_i = V_S/I$ é dada por

$$Z_i = R_i \frac{R(1 + A) + R_f}{R + R_f} \tag{2.8-4}$$

Como $R(1 + A) >> R_f$ e $A >> 1$, e usando a Eq. (2.7-2), temos finalmente

$$Z_i = \frac{R_i A}{1 + R_f/R} = \frac{R_i A}{A_f} \tag{2.8-5}$$

Em um caso típico, $R_i = 50\ \text{k}\Omega$, $A = 5 \times 10^4$ e $A_f = 10$, temos que $Z_i = 250\ \text{M}\Omega$.

Este aumento bastante significativo da impedância de entrada é um exemplo do efeito de *bootstrapping*.

Observamos que, quando V_S varia a tensão no lado (+) de R_i, a realimentação varia a tensão no lado (−), na *mesma* direção. Como resultado, uma variação em V_S causa uma variação de tensão menor no resistor do que teríamos se o lado (−) estivesse em um potencial fixo. A corrente I, portanto, é menor e a impedância é maior.

A impedância de saída do amplificador é a impedância obtida, olhando-se através da saída e igualando a zero todos os geradores de tensão. Assim, o deslocamento do gerador de sua localização na Fig. 2.4-1 para a da Fig. 2.7-1 não tem efeito na impedância de saída. No caso presente, portanto, a impedância de saída, como antes, é dada pela Eq. (2.4-3).

Um amplificador de ganho unitário. Se, na Fig. 2.7-1, fizermos $R_f = 0$, R ficará sem sentido e poderemos removê-la. Chegamos, então, à configuração mostrada na Fig. 2.8-1. Neste caso,

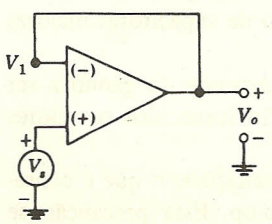


FIGURA 2.8-1
Um amplificador de ganho unitário.

$V_1 = V_o$. O ganho do estágio $V_o/V_s = V_1/V_s$ é dado pela Eq. (2.8-3), de maneira que $V_o/V_s = RA/[R(1 + A) + R_f] = A/(A + 1) \approx 1$. Esta configuração de amplificador possui muitos usos como um amplificador de ganho unitário com alta impedância de entrada e baixa impedância de saída. Da mesma maneira que um seguidor de emissor, este amplificador não fornece ganho, mas serve como um excelente estágio intermediário de *buffer*.

2.9 UMA CONSIDERAÇÃO DE ORDEM PRÁTICA

Conforme foi observado, o acoplamento entre a entrada e a saída de um amp-op é *direta* e sem a intervenção de capacitores. Qualquer variação na tensão cc nas entradas se fará sentir na saída. Uma origem destas variações de tensão cc se refere às correntes de base dos transistores de entrada (veja Fig. 2.5-1) que devem ir à terra através de qualquer malha resistiva disponível. Considere então a situação da Fig. (2.4-1). A corrente de base da entrada (−) vai à terra através do resistor R_p, que é a combinação em paralelo entre R e R_f (desprezando R_o). A corrente que passa através do terminal (+) de entrada, percorre uma malha que vai à terra com resistência zero. Tipicamente, as correntes de base são nominalmente iguais e podem ser da ordem de 1 μA. Se R_p tiver um valor ainda que de 1 kΩ, então o terminal (−) estará a $10^{-6} \times 10^3 = 1$ mV. O terminal positivo, entretanto, permanecerá em zero. Supondo um ganho de 10^4, encontraríamos $V_o = 10$ V. Este desajuste inicial pode ser suprimido pela introdução de um resistor equivalente à terra, a partir do terminal (+). No circuito da Fig. 2.7-1, um resistor R_p deveria ser colocado em série com V_s.

2.10 COMPENSAÇÃO

O amp-op possui limitações em freqüência, devido às capacitâncias espúrias que invariavelmente estão presentes, e também devido às limitações em freqüência dos componentes ativos. Assim, com o aumento da freqüência, o ganho cai e a saída, em vez de estar em fase (ou em oposição de fase) em relação à entrada, sofre um deslocamento de fase que é função da freqüência. Um amplificador realimentado oscilará se o ganho da malha for unitário, ou maior, em uma determinada freqüência onde o deslocamento de fase de malha seja 360°. O amp-op realimentado não é imune a estas oscilações.

É necessário portanto, no amp-op, ajustar o ganho e a característica de fase concomitantemente, de tal maneira que a condição de oscilação não seja satisfeita em nenhum momento. Este ajuste é feito pela adição de circuitos compensadores de freqüência que não são essenciais à obtenção de ganho. Em alguns amp-ops, a compensação já vem incorporada ao circuito integrado. De uma maneira mais geral, há a previsão no circuito integrado para a adição de elementos externos (geralmente capacitores ou combinações série resistor-capacitor) para fazermos a compensação em freqüência. Desta maneira há a flexibilidade para o uso de capacitores maiores que não seria possível construir no circuito integrado.

Este recurso também permite o ajuste para o valor ótimo, que depende do ganho a ser utilizado. Na folha de especificações técnicas do fabricante, em geral são fornecidos os valores dos elementos compensadores em função do ganho.

Em geral, ao usarmos amp-op, deveremos minimizar o risco de oscilações, o que é conseguido fazendo-se as mais curtas possíveis todas as conexões ao amp-op. Esta precaução se

aplica não somente às conexões dos elementos compensadores, mas também às conexões de terra e à fonte de alimentação. As conexões à fonte de alimentação deverão estar ligadas capacitivamente à terra.

2.11 RAZÃO DE REJEIÇÃO DE MODO COMUM

Sejam V_1 e V_2 sinais de entrada para o amp-op como na Fig. 2.1-1. Em vez de especificarmos as entradas diretamente através de V_1 e V_2, vamos especificá-las em termos do sinal *diferença* de entrada V_d e uma entrada em *modo comum* V_c, definidas em termos de V_1 e V_2 por

$$V_d = V_1 - V_2 \qquad \text{e} \qquad V_c = \tfrac{1}{2}(V_1 + V_2) \tag{2.11-1}$$

Se V_1 e V_2 forem iguais e opostos, então $V_c = 0$ e, ainda, se V_1 e V_2 forem iguais, $V_d = 0$. Os sinais V_d e V_c medem, respectivamente, os valores diferença e médio dos sinais de entrada. Os sinais V_1 e V_2 são unicamente determinados em termos de V_d e V_c pelas equações

$$V_1 = V_c + \tfrac{1}{2}V_d \qquad \text{e} \qquad V_2 = V_c - \tfrac{1}{2}V_d \tag{2.11-2}$$

Vamos supor, agora, um amplificador ideal com ganho A_1, medido em relação à entrada 1, e com ganho A_2 medido em relação à entrada 2, sendo ambos iguais e opostos. Se V_1 e V_2 forem iguais, $V_d = 0$ e a saída será zero ainda que $V_c \neq 0$. Por outro lado, vejamos o que acontecerá se os ganhos não forem iguais. Teríamos então

$$V_o = A_1 V_1 + A_2 V_2 \tag{2.11-3}$$

Ao usarmos a Eq. (2.11-2), a Eq. (2.11-3) resulta em

$$V_o = \tfrac{1}{2}(A_1 - A_2)V_d + (A_1 + A_2)V_c \tag{2.11-4}$$

Neste caso vemos que não há somente um ganho $A_d = \frac{1}{2}(A_1 - A_2)$ para o sinal diferença V_d, mas há também o ganho $A_c = A_1 + A_2$ referente ao sinal em modo comum V_c. A sensibilidade relativa de um amp-op a um sinal diferença, comparada a um sinal em modo comum, é chamada de *razão de rejeição de modo comum* (RRMC) e é dada por

$$\text{RRMC} = \frac{A_d}{A_c} \tag{2.11-5}$$

Para amp-ops comerciais, a RRMC se situa na faixa de 60 a 100 dB. A RRMC é importante sempre que em uma determinada aplicação a saída deva responder precisamente à *diferença* de dois sinais independentes aplicados às entradas do amplificador.

2.12 AS CARACTERÍSTICAS DOS AMP-OPS

Um amp-op ideal deveria ter ganho infinito, impedância de entrada infinita, RRMC infinita e impedância de saída zero.

Conforme podemos observar, amp-ops reais não atingem estes valores ideais. O ganho é da ordem de 5×10^4, a impedância de entrada fica na faixa de 10 kΩ a 100 mΩ e a RRMC fica compreendida entre 60 a 100 dB, sendo que a impedância de saída está na faixa de dezenas a

centenas de ohms. Consideremos, agora, algumas características adicionais do amp-op real. Estas características encontram-se, invariavelmente, especificadas na folha de especificações técnicas dos fabricantes.

Excursão de tensão na saída. Corresponde à tensão de saída de pico, em relação ao zero, disponível na saída sem distorção. É uma função da fonte de alimentação. Assim, um amplificador operando entre fontes de alimentação de $+6$ e -6 V, a excursão de tensão na saída sem distorção, pico a pico, deverá ser de -4 a $+4$ V. (Na prática, nem sempre a excursão permitida é simétrica.) A excursão de tensão na saída é uma função das tensões de alimentação e pode variar entre 50 a 80% desta tensão de alimentação.

Excursão de tensão na entrada em modo comum. Esta é a máxima tensão que pode ser aplicada à entrada sem causar operação anormal ou danificar o amp-op. Ela pode ser tão grande quanto a tensão de alimentação mas, normalmente, fica restrita a um terço ou a um meio da tensão de alimentação.

Corrente de entrada de desajuste (*offset*). Se excitarmos as duas entradas de um amp-op com correntes cc iguais, idealmente deveríamos ter $V_o = 0$. Em um amplificador real, isto não acontece, porque não há uma simetria perfeita no amplificador diferencial da entrada, e por outras razões. Vemos, porém, que, para termos $V_o = 0$, necessitamos ter correntes que difiram de I_{iO}. Esta *corrente de entrada de desajuste* (*offset*), I_{iO}, tipicamente se situa na faixa de 20 a 60 nA e é medida para $V_i = 0$.

Tensão de entrada de desajuste (*offset*). Da mesma maneira, vemos que, se excitarmos as duas entradas do amplificador com a mesma tensão, em um amplificador real $V_o \neq 0$. Para termos $V_o = 0$, deveremos aplicar uma tensão de entrada de desajuste (*offset*) que tipicamente se situe na faixa de 1 a 4 mV quando as tensões de entrada forem nominalmente iguais a zero.

Razão de rejeição de tensão da fonte de alimentação. Uma variação ΔV_{CC} da tensão de alimentação produzirá uma variação ΔV_o na saída do amplificador. A *razão de rejeição de tensão da fonte de alimentação*, $\Delta V_o/\Delta V_{CC}$, é normalmente especificada para a condição em que a diferença na tensão de entrada seja $V_i = 0$. Tipicamente, esta razão fica na faixa entre 10^{-5} a 7×10^{-5}.

Resposta em freqüência. A maioria dos amp-ops são dispositivos de relativa baixa freqüência. Tipicamente, a banda de passagem de 3 dB de um amp-op de uso geral, em malha aberta (sem realimentação), fica na vizinhança dos 100 Hz, e às vezes menos. Bandas de passagem da ordem de 10 Hz não são raras. Por outro lado, o ganho em baixa freqüência (nominalmente cc) de amp-ops é tão alto, que a freqüência para a qual o ganho se torna unitário pode ser 1 MHz ou mais. O uso da realimentação negativa simultaneamente reduz o ganho e aumenta a banda de passagem. Deste modo, através do uso da realimentação, é possível se obter um ganho que possa ser aproveitado (digamos na faixa de 1 a 10) em uma banda de freqüências que vá de centenas de kHz até alguns MHz. Há também disponibilidade de amp-ops que possuem banda larga e cujos ganhos se estendem até alguns kHz e que também podem ser usados para fornecer ganho possível de ser aproveitado até 10 MHz e, em alguns casos, até freqüências superiores. Os fabricantes, em geral, precisam fornecer informação bastante extensa, no que concerne à resposta em freqüência, visto que esta resposta não depende somente do ganho nominal, mas também da carga capacitiva da saída e da compensação do amplificador.

Razão *slew rate*. A razão *slew rate* de um amp-op é a máxima taxa de variação da tensão de saída possível de ser obtida. É determinada pelas capacitâncias do amplificador (que estão presentes deliberadamente ou não) que devem ser carregadas e pela corrente máxima disponível para carregá-las. A razão *slew rate* é medida por dV_o/dt, considerando que a entrada seja um degrau muito rápido (idealmente com tempo de subida igual a zero) e com uma amplitude muito maior do que aquela com a qual o amplificador pode trabalhar linearmente e que força a saída do amplificador a variar de uma saída limite até a outra. Considerando que, na medida da razão *slew rate* o amp-op não opera linearmente, esta razão não está relacionada de uma maneira simples com a resposta em freqüência do amplificador (ou de uma maneira equivalente com o tempo de subida da resposta) que é restrita à sua região linear. Há a disponibilidade de amplificadores com razão *slew rate* na faixa dos 50 mV/μs até 50 V/μs ou maiores. Ao medirmos a razão *slew rate*, o amplificador é excitado abruptamente de uma saída limite a outra. Como conseqüência, a realimentação não é muito efetiva e a razão *slew rate* é independente da quantidade de realimentação usada no amp-op, isto é, a razão *slew rate* não depende muito do ganho.

Uma utilização importante do parâmetro razão *slew rate* é que ela nos permite estimar até onde a faixa linear de operação é afetada pela velocidade do sinal de entrada (veja Prob. 2.12-2).

2.13 O COMPARADOR

Há, freqüentemente, a necessidade de termos um dispositivo que nos forneça uma saída V_o, a qual está em um ou outro nível fixo de tensão cc, dependendo de a amplitude do sinal da entrada V_s ser maior ou menor do que uma tensão de referência V_R. Um dispositivo que realize esta função é chamado de *comparador* porque ele compara duas tensões. Especificamente, se os níveis de saída são V_{o1} e V_{o2}, então $V_o = V_{o1}$ quando $V_s < V_R$ e $V_o = V_{o2}$ quando $V_s > V_R$. Quando V_s passa pelo valor V_R, a saída passa por uma transição abrupta de V_{o1} a V_{o2} ou vice-versa, dependendo do sentido que V_s tem ao passar por V_R. (Comentaremos abaixo sobre a situação que poderá prevalecer na prática, se tentarmos fixar V_s precisamente em $V_s = V_R$.)

Comparadores do tipo aqui descrito freqüentemente são necessários para fornecer entradas para *portas lógicas*. Portas lógicas serão discutidas em detalhe através deste texto. No presente momento será suficiente sabermos que, para as portas lógicas funcionarem corretamente, deverão ser alimentadas em qualquer instante com um entre dois níveis de tensão diferentes, separados por algum intervalo mínimo. Por exemplo, uma porta TTL (Cap. 6) requer uma entrada que deverá ser ou abaixo de 0,4 V ou acima de 2,8 V. Assim, um comparador que pudesse ser usado com este tipo de dispositivo, deveria fornecer ou $V_o < 0{,}4$ V ou $V_o > 2{,}8$ V, dependendo de V_s ser tal que $V_s < V_R$ ou $V_s > V_R$.

Levando agora em consideração o fato de que qualquer amplificador físico possui uma banda limitada na qual ele responde linearmente ao sinal de entrada, um amplificador de alto ganho poderia servir como um comparador do tipo acima descrito. Vamos supor, agora, que construímos um amplificador cuja saída é limitada e que um dos limites é $V_o = 0$ V e o outro é $V_o = 4$ V. Suponhamos que o ganho A seja grande, digamos $A = 4.000$, e que tudo o mais esteja ajustado de tal maneira que $V_o = 0$ V quando $V_s = -0{,}5$ mV. Devemos, então, ter $V_o = 4$ V quando V_s varia de $4/4.000 = 1$ mV para $V_s = +0{,}5$ mV. Todos estes fatos combinados nos dariam um comparador apropriado para funcionamento com um TTL. A transição abrupta em um comparador ocorrerá quando a entrada for de $-0{,}5$ mV a $+0{,}5$ mV. Diríamos, então,

que o nosso comparador está funcionando com uma tensão de referência $V_R = 0$ V, e que a faixa de incerteza do comparador é ± 0,5 mV. Uma característica final que deveremos incorporar ao nosso amplificador, usado como um comparador, é a possibilidade de termos o ajuste da tensão de referência. Isto pode ser alcançado pelo uso de um amplificador que incorpore algumas das características do amplificador diferencial. A característica mais importante destes amplificadores, para o nosso interesse presente, é que eles têm duas entradas entre as quais, idealmente falando, *o ganho em modo comum é zero*. Necessitamos, pois, apenas aplicar a entrada V_s ao terminal de entrada de um dos amplificadores, e a tensão de referência V_R ao outro terminal de entrada. Assim, se a tensão de referência variar de V_{R1} a V_{R2}, a tensão de entrada V_s, para a qual a saída do amplificador excursiona de um nível a outro, variará da mesma maneira de $V_{R2} - V_{R1}$.

2.14 UM AMPLIFICADOR COMPARADOR EM CIRCUITO INTEGRADO

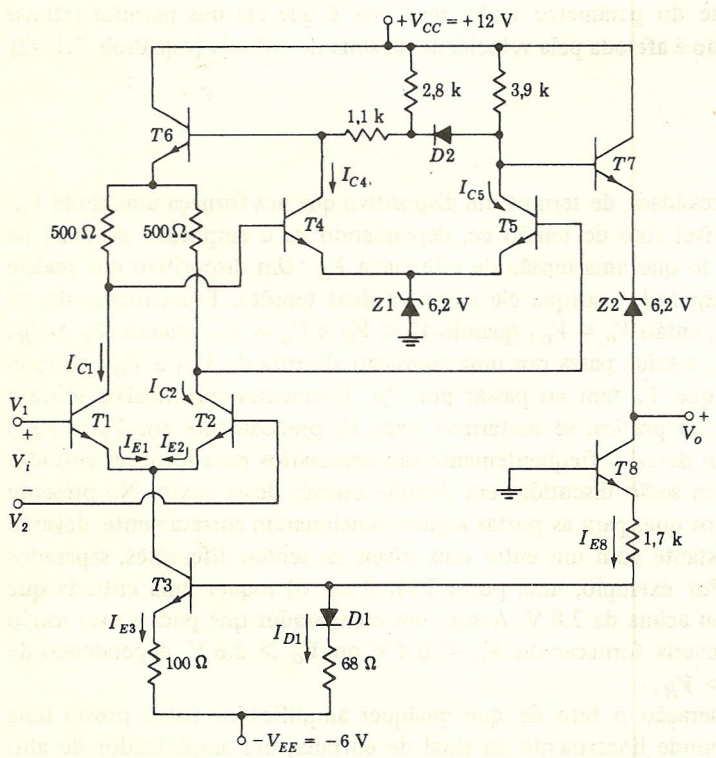


FIGURA 2.14-1
Circuito esquemático do comparador de tensão do tipo amplificador da Fairchild tipo μA 710.

Como um exemplo de comparador, conforme descrito na seção anterior, vamos considerar o circuito integrado Fairchild μA 710, que é um comparador cujo circuito é mostrado na Fig. 2.14-1. O estágio de entrada é um amplificador diferencial que usa os transistores $T1$ e $T2$. Há dois terminais de entrada disponíveis, um para a tensão de referência e um para o sinal de entrada. Se o sinal de entrada V_s é aplicado como sendo V_1 (e o referencial V_R como V_2),

a saída V_O estará em oposição de fase em relação ao sinal de entrada, enquanto se o sinal de entrada for aplicado como sendo V_2 (e o referencial como sendo V_1), a saída V_O estará em fase com o sinal de entrada.

Observamos que, para minimizarmos o ganho em modo comum, precisaremos de uma fonte de corrente no circuito em emissor comum. Uma maneira de obtermos este efeito é usarmos um resistor elevado no emissor comum. Um resistor de valor elevado possuiria, entre seus terminais, uma tensão elevada devida à corrente quiescente que circula através dele. O circuito que envolve $T3$ tem a finalidade de nos fornecer um resistor de valor elevado sem a correspondente tensão elevada. É deixado como exercício ao estudante (Prob. 2.14-1) mostrar que, usando parâmetros típicos de transistores, a resistência incremental vista, olhando-se no coletor de $T3$, é da ordem de 250 kΩ. Veremos a seguir que a corrente quiescente, através de $T3$, é de 2 mA. Se realmente fosse necessário que 2 mA circulassem por 250 kΩ, teríamos uma tensão correspondente de $2 \times 250 = 500$ V. Então, como a resistência incremental é elevada, pode ser verificado que a razão de rejeição de modo comum do estágio de entrada é aproximadamente 10^4.

O sinal de saída do amplificador diferencial é retirado do coletor de $T2$. O estágio que envolve $T5$ nos fornece um ganho adicional, e $T7$ dá um estágio de saída em seguidor de emissor. Os diodos Zener, $Z1$ e $Z2$, nos fornecem as tensões cc, requeridas para permitir o acoplamento cc necessário, e também nos dá os níveis de tensão de saída apropriados.

Para se minimizar a faixa de excursão da entrada, que ocasiona a excursão da saída de uma tensão limite a outra, é vantajoso aumentar o ganho do amplificador. Uma das maneiras de aumentarmos o ganho é através da inclusão de um maior número de estágios; outra maneira é pela incorporação de *realimentação positiva*. A realimentação positiva não é freqüentemente incorporada em um amplificador que seria utilizado na reprodução fiel de um sinal de entrada, porque a realimentação positiva afeta negativamente a estabilidade do amplificador e ainda possui outras características indesejáveis. No nosso caso, entretanto, em que o amplificador será usado como um comparador, não temos nenhum interesse especial na preservação da forma de onda da entrada. Na maior parte do tempo, o comparador estará em uma tensão limite ou na outra, onde o ganho é zero. Quando a entrada V_s excursiona para a faixa onde o amplificador tem ganho, nos é vantajoso que o amplificador seja instável, de tal maneira que a saída vá violentamente de um limite a outro.

A realimentação positiva é fornecida ao comparador pelos transistores $T4$ e $T6$. Para verificarmos que este é o caso, consideremos V_R como sendo V_2 (à base de $T2$) e V_s como sendo V_1. Se V_s aumentar, a tensão no coletor de $T2$ também aumentará. A tensão no coletor de $T1$, bem como na base de $T4$, diminuirá. Como conseqüência, a tensão no coletor de $T4$ e a da base de $T6$ aumentarão. Finalmente, como a tensão na base de $T6$ aumenta, a tensão no emissor de $T6$ também aumentará ($T6$ é um seguidor de emissor) e a tensão no coletor de $T2$ aumentará ainda mais. Assim, quando um sinal de entrada excita o coletor de $T2$ em qualquer sentido, a realimentação serve para excitar ainda mais o coletor de $T2$ no mesmo sentido. A realimentação, portanto, é positiva e o ganho entre a entrada e o coletor de $T2$ é aumentado pela realimentação.

2.15 CÁLCULOS PARA O AMPLIFICADOR COMPARADOR EM CIRCUITO INTEGRADO

Nesta seção, faremos alguns cálculos aproximados para o amplificador comparador em circuito integrado da Fig. 2.14-1. Por simplicidade, vamos supor que os transistores têm ganho de

corrente suficientemente elevado para que possamos ignorar as correntes de base em comparação às correntes de emissor e coletor. Da mesma forma, suponhamos que as correntes de emissor e coletor sejam iguais. Usaremos V_{BE} = 0,65, 0,7 e 0,75 V para o transistor no corte, na região ativa e na saturação, respectivamente, sendo que V_{CE} = 0,2 V na saturação.

Os níveis de saída. A tensão de saída V_o é limitada em um extremo quando $V_1 - V_2$ é suficientemente maior do que zero para que $T5$ seja levado à saturação. Da mesma maneira, V_o é

$$V_o = V_{Z1} + V_{CE5} - V_{BE7} - V_{Z2} = 6{,}2 + 0{,}2 - 0{,}7 - 6{,}2 = -0{,}5 \text{ V} \qquad (2.15\text{-}1)$$

Por outro lado, o outro limite de V_o se dá quando $V_2 - V_1$ é positivo o suficiente para que $T1$ esteja cortado e o coletor de $T2$ caia de tal maneira que $T5$ corte. Como $T1$ está *cortado*, a corrente que atravessa o resistor de coletor de 500 Ω pode ser desprezada, e a tensão no coletor de $T4$ é $V_{C4} = V_{BE6} + V_{BE4} + V_{Z1} = 0{,}7 + 0{,}7 + 6{,}2 = 7{,}6$ V. Para acharmos V_o neste caso, devemos calcular V_{C5}. Isto pode ser feito facilmente, usando-se a Fig. 2.15-1. Uma análise simples, considerando a lei de Ohm neste circuito (veja o Prob. 2.15-1), nos dá V_{C5} = = 10 V. Então

$$V_o = V_{C5} - V_{BE7} - V_{Z2} = 10 - 0{,}7 - 6{,}2 = 3{,}1 \text{ V} \qquad (2.15\text{-}2)$$

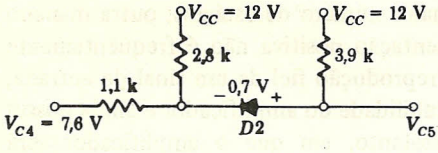


FIGURA 2.15-1
Circuito usado para encontrar V_{C5} quando $T5$ está cortado.

O diodo $D2$ na Fig. 2.14-1 serve de duas maneiras para estabelecer o nível em 3,1 V: (1) quando em condução, há a circulação de corrente através do resistor de coletor de $T5$, ainda que $T5$ esteja *cortado*, conseqüentemente, limitando o aumento de tensão no coletor; (2) assim como a conexão do coletor de $T4$ à base de $T6$ nos dá realimentação positiva, a conexão de $T5$ a $T6$ através de $D2$ nos dá realimentação negativa tão logo $D2$ começa a conduzir.

Os dois níveis de saída são compatíveis com o TTL (veja o Cap. 6) e este comparador pode ser usado para gerar sinais binários para uso em circuito lógico TTL.

Tensões e correntes de operação. Faremos agora algumas estimativas de correntes e tensões quando $V_1 = V_2$. O circuito associado a $T3$ nos dá uma corrente constante para o amplificador diferencial, cujos transistores são $T1$ e $T2$. Esta corrente, I_{E3}, pode ser determinada da seguinte maneira. (Ao estimarmos esta corrente, bem como em outros cálculos, vamos desprezar as correntes de base, por simplicidade.) Somando-se as tensões a partir da base de $T8$ até a fonte $-V_{EE} = -6$ V, encontramos

$$V_{BE8} + 1{,}7 \times 10^3 I_{E8} + V_{D1} + 68 I_{D1} - 6 = 0 \qquad (2.15\text{-}3)$$

Supondo $V_{BE8} = V_{D1} = 0{,}7$ V e $I_{E8} = I_{D1}$, encontramos $I_{E8} = 2{,}6$ mA e $V_{B3} = -5{,}1$ V. A tensão de emissor $V_{E3} = V_{B3} - V_{BE3} = -5{,}1 - 0{,}7 = -5{,}8$ V e $I_{E3} = (0{,}2 \text{ V})/100 = 2{,}0$ mA. Por conseguinte, ao menos quando $V_1 = V_2$ e a corrente $I_{E1} = I_{E2}$, cada um destes transistores $T1$ e $T2$ opera com uma corrente de 1 mA.

A seguir, é de nosso interesse estimar as correntes de operação de $T4$ e $T5$. Para esta finalidade, novamente somamos as tensões encontradas a partir da terra, passando por $Z1$, através da junção de emissor de $T4$, o resistor de 500 Ω (por onde circula 1 mA) no circuito do coletor de $T1$ e, por fim, através da junção do emissor de $T6$. Finalmente, então, encontramos que a tensão V_{C4}, no coletor de $T4$, é

$$V_{C4} = V_{Z1} + V_{BE4} + 500I_{C1} + V_{BE6} = 6{,}2 + 0{,}7 + 500 \times 10^{-3} + 0{,}7 = 8{,}1 \text{ V} \qquad (2.15\text{-}4)$$

A queda no resistor de 3,9 kΩ do coletor de $T4$ é 12 − 8,1 = 3,9 V. Assim, a corrente em $T4$, como em $T5$, é de 1 mA e $V_{C5} = V_{C4}$. (Considerando $V_1 = V_2$, $I_{C1} = I_{C2}$, $I_{C4} = I_{C5}$ e o diodo $D2$ não conduzindo.)

A tensão de saída, quando $V_1 = V_2$, é

$$V_o = V_{C5} - V_{BE7} - V_{Z2} = 8{,}1 - 0{,}7 - 6{,}2 = 1{,}2 \text{ V} \qquad (2.15\text{-}5)$$

a qual se situa no meio entre as tensões limites de saída, −0,5 e 3,1 V.

O ganho do amplificador. Observamos que é vantajoso termos alto ganho em um comparador. Estimaremos agora o ganho do comparador da Fig. 2.14-1. A partir deste ganho poderemos então estimar a excursão do sinal de entrada para que a saída do comparador, por sua vez, vá de um nível a outro. Esta excursão da entrada serve como uma medida da precisão com a qual o comparador desempenha sua tarefa.

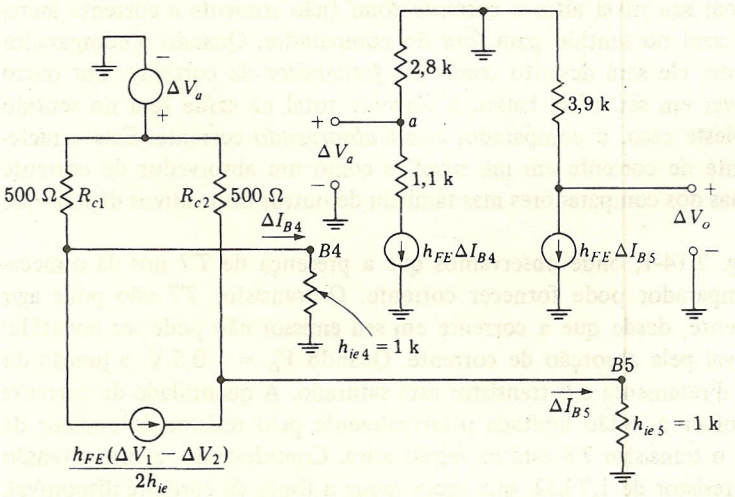


FIGURA 2.15-2
Circuito equivalente usado para calcular o ganho do comparador da Fig. 2.14-1.

Um circuito equivalente para o cálculo do ganho é mostrado na Fig. 2.15-2. Aqui, cada transistor foi substituído pelo seu circuito equivalente simplificado com parâmetros h, como na Fig. 2.5-2. Supondo que os transistores tenham $h_{FE} = 40$ e desde que $I_E = 1$ mA, achamos, a partir da Eq. (2.5-4), que $h_{ie4} = h_{ie5} = 1$ kΩ. O amplificador diferencial é, então, substituído pelo seu circuito equivalente, conforme a Fig. 2.5-4. O transistor $T6$, que nos dá uma malha de

realimentação, e $T7$, que é o transistor de saída, são ambos seguidores de emissor. Supomos que cada um deles tenha ganho unitário e possuam uma impedância de entrada grande o suficiente para que seja ignorada. O diodo $D2$ foi omitido da figura, porque está reversamente polarizado quando ΔV_1 e ΔV_2 forem pequenos.

Temos, portanto,

$$\Delta I_{B4} = \frac{\Delta V_a}{1.500} - \frac{500}{500 + 1.000} \frac{h_{FE}}{2h_{ie}} (\Delta V_1 - \Delta V_2) \tag{2.15-6a}$$

$$\Delta I_{B5} = \frac{\Delta V_a}{1.500} + \frac{500}{500 + 1.000} \frac{h_{FE}}{2h_{ie}} (\Delta V_1 - \Delta V_2) \tag{2.15-6b}$$

e

$$\Delta V_a = -2.800 h_{FE}\, \Delta I_{B4} \tag{2.15-7}$$

Quando usamos as Eqs. (2.15-6a) e (2.15-7) e observamos que

$$\Delta V_o = 3.900 h_{FE}\, \Delta I_{B5} \tag{2.15-8}$$

chegamos ao ganho do comparador dado por $A \equiv \Delta V_O/(\Delta V_1 - \Delta V_2) = 2.030$. Como a excursão total na saída é $3{,}1 - (-0{,}5) = 3{,}6$ V, a excursão correspondente do sinal de entrada será de $3{,}6/2.030 \approx 2$ mV.

Uma observação final deve ser feita para explicar o funcionamento do transistor $T8$, na Fig. 2.14-1. Vamos supor que levaremos em conta as características das cargas que o comparador excitará. Quando V_O estiver em seu nível alto, a corrente *total* (não somente a corrente incremental) no terminal de saída será no sentido para *fora* do comparador. Quando o comparador estiver então suprindo corrente, ele será descrito como um *fornecedor* de corrente. Por outro lado, quando a saída V_O estiver em seu nível baixo, a corrente total na saída será no sentido *em direção* ao comparador. Neste caso, o comparador estará *absorvendo* corrente. Esta característica de agir como uma fonte de corrente em um nível, e como um absorvedor de corrente em outro, não é peculiar apenas dos comparadores mas também de outros dispositivos digitais que consideraremos.

Retornemos agora à Fig. 2.14-1, onde observamos que a presença de $T7$ nos dá o mecanismo através do qual o comparador pode fornecer corrente. O transistor $T7$ não pode agir como um absorvedor de corrente, desde que a corrente em seu emissor não pode ser invertida. O transistor $T8$ é o responsável pela absorção de corrente. Quando $V_O = -0{,}5$ V, a junção do coletor de $T8$ está polarizada diretamente e o transistor está saturado. A quantidade de corrente que o comparador pode absorver é então limitada principalmente pelo resistor de emissor de 1,7 kΩ. Quando $V_O = 3{,}1$ V, o transistor $T8$ está na região ativa. Considerando, agora, a tensão em $T8$, a corrente através do resistor de 1,7 kΩ, que agora reduz a fonte de corrente disponível, é menor do que seria se $T8$ não estivesse presente. Não há uma razão essencial para que o resistor de 1,7 kΩ esteja conectado a $D1$. Em princípio, este resistor poderia ser retornado à alimentação de -6 V. Entretanto, seria então necessário termos um resistor que fosse de $D1$ a V_{CC} e capaz de fornecer corrente para manter $D1$ conduzindo. O tipo de conexão presente elimina um resistor e, de alguma maneira, reduz a corrente fornecida pelas fontes de alimentação.

Os efeitos da temperatura. Determinaremos agora a variação da tensão de saída, V_O, produzida por mudança de temperatura. Primeiro, consideraremos que $V_O = -0{,}5$ V, o que ocorre quando $T5$ está saturado. A partir da Fig. 2.14-1, temos que

$$V_o = V_{Z1} + V_{CE5}(\text{sat}) - V_{BE7} - V_{Z2} \tag{2.15-9}$$

Como os diodos Zener, $Z1$ e $Z2$, possuem a mesma tensão Zener, vamos supor que suas variações de tensão com respeito à temperatura sejam as mesmas. Na realidade, conforme foi observado na seção 1.4, à tensão Zener de 6,2 V, o coeficiente de um diodo Zener é aproximadamente zero. Negligenciando a variação de temperatura de V_{CE5}, desde que $T5$ está saturado, temos

$$\frac{\Delta V_o}{\Delta T} = -\frac{\Delta V_{BE7}}{\Delta T} = +2\ \text{mV/°C} \tag{2.15-10}$$

Assim, considerando a variação de temperatura de $-55°C$ a $+125°C$, a tensão de saída varia de $-0{,}66$ V a $-0{,}3$ V.

Consideremos, agora, que $V_O = 3{,}1$ V. Neste caso, $T5$ e $T1$ estão cortados. O circuito equivalente incremental, usado para se encontrar ΔV_{C5}, devido à variação de temperatura ΔT, é mostrado na Fig. 2.15-3. Observe que o resistor de coletor de 500 Ω, de $T1$, está omitido deste circuito, porque $T1$ foi suposto cortado, e que uma corrente de base desprezível circula em $T4$.

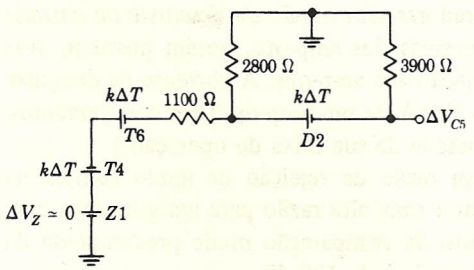


FIGURA 2.15-3
Circuito equivalente usado para calcular a variação ΔV_{C5} devido à variação ΔT de temperatura quando $V_O = 3{,}1$ V.

Observe também neste circuito que cada tensão entre base e emissor é representada pelo seu valor incremental $-k\,\Delta T$.

Analisando a Fig. 2.15-3 (Prob. 2.15-4), temos que

$$\Delta V_{C5} \approx -2k\,\Delta T \tag{2.15-11}$$

Assim, a partir da Fig. 2.14-1

$$\begin{aligned} \Delta V_o &= -\Delta V_{BE7} + \Delta V_{C5} \approx k\,\Delta T - 2k\,\Delta T \\ &= -k\,\Delta T \end{aligned} \tag{2.15-12a}$$

e

$$\frac{\Delta V_o}{\Delta T} = -2\ \text{mV/°C} \tag{2.15-12b}$$

Observe que, para a tensão de saída mais elevada ($V_O = 3{,}1$ V), a dependência com a temperatura é igual em módulo, mas oposta em sentido à sensibilidade à temperatura do nível de tensão de saída mais baixo ($V_O = -0{,}5$ V).

A Fig. 2.15-4 mostra a característica de transferência experimentalmente determinada conforme fornecido pelo fabricante para o comparador em discussão. Observe que, tanto para a sensibilidade à temperatura como para as faixas de excursão dos sinais de entrada e saída, o gráfico está de acordo com o que seria esperado pela nossa discussão.

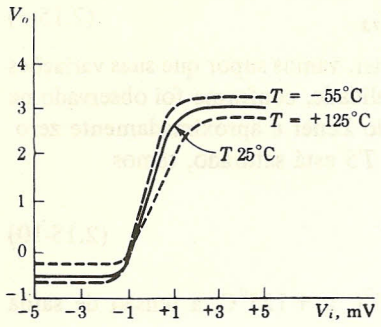


FIGURA 2.15-4
Característica de transferência de um comparador de tensão.

2.16 CARACTERÍSTICAS DE COMPARADORES FÍSICOS

Comparadores, da mesma maneira que os amp-ops, são amplificadores diferenciais de alto ganho, e não é surpresa que algumas das características dos comparadores, especificadas pelo fabricante, sejam as mesmas dos amp-ops. Os comparadores têm *tensão de desajuste da entrada* (*input offset voltage*) que são aproximadamente as mesmas dos amp-ops, porém possuem uma *corrente de desajuste* (*offset*) *de entrada* maior, em relação aos amp-ops. A corrente de desajuste é da ordem de 5 μA para um comparador, contra os 50 nA de um amp-op. (Em comparadores, estes desajustes são medidos com a saída situada na metade de sua faixa de operação.)

Amp-ops, bem como os comparadores, possuem razão de rejeição de modo comum na faixa de 60 a 100 dB. Em um comparador, é necessária uma alta razão para assegurarmos que, quando haja variações na tensão de referência, o ponto de comparação mude precisamente da mesma quantidade. Amp-ops, em geral, têm ganho da ordem de 100 dB, enquanto os comparadores ficam com o ganho geralmente ao redor de 60 dB. Em ambos os casos, alto ganho é vantajoso. No amp-op, o alto ganho em malha aberta nos permite, através do uso de realimentação negativa, construir um dispositivo que possua um ganho de amplificação relativamente pequeno mas cuja característica seja bastante independente do amplificador e dependa somente dos componentes externos, geralmente passivos, que compõem a malha de realimentação.

O comparador, em geral, não emprega realimentação negativa. Assim, a estabilidade introduzida por tal realimentação não está presente. À medida que o ganho aumenta, o amplificador comparador mostra uma instabilidade crescente e uma tendência à oscilação. Se ocorrerem oscilações, estas se darão somente enquanto o comparador estiver na sua região de alto ganho e não quando a saída estiver fixa em um de seus níveis limites de saída. Vamos supor, agora, que o comparador passe por sua região de transição de nível, em um intervalo de tempo que seja muito pequeno em comparação com o período de oscilação do comparador. Neste caso, a instabilidade, como em um circuito de disparador de Schmitt (veja a seguir), poderá apressar a transição e tornar-se, deste modo, vantajosa para a operação do circuito. Se, entretanto, o sinal de entrada for uma forma de onda que varie lentamente, e que mantenha o comparador na região de transição por um longo período, muitas oscilações poderão ocorrer e o funcionamento do comparador estará comprometido.

Um tópico de muito interesse, obviamente, é o *tempo de resposta* de um comparador. Os fabricantes, em geral, fornecem gráficos que nos dão a informação desejada, como por exemplo o da Fig. 2.16-1, que se aplica ao circuito da Fig. 2.14.1. Aqui, a entrada diferencial do

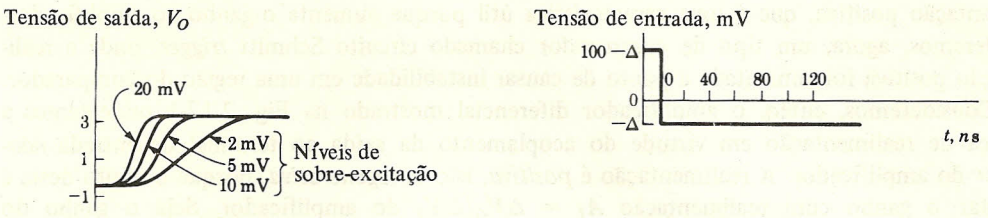


FIGURA 2.16-1
Resposta de um comparador a um sinal de entrada de 100 mV para diversas sobre-excitações.

comparador é inicialmente ajustada para 100 mV. Este elevado sinal de entrada é muito maior do que os ± 1 mV necessários para colocar o comparador em um ou outro nível, e portanto podemos estar certos que alguns transistores do comparador estarão saturados. Consideremos, inicialmente, um sinal de entrada que excursione 100 mV, de 100 mV a 0 V, o que traz o comparador para a metade de sua faixa de saída. Uma excursão do sinal de entrada desta natureza é caracterizada como colocando a entrada em um nível de superexcitação zero. A seguir, a forma de onda da entrada é diminuída de $\Delta = 2$ mV de tal maneira que, em seu nível mais baixo, a entrada se localize em -2 mV. A saída do comparador, agora, passa de um nível a outro e se comporta como a forma de onda mostrada na Fig. 2.16-1 onde está marcado "nível de super-excitação de 2 mV". Gráficos também são mostrados para níveis de superexcitação mais altos. Estas formas de onda nos dão informação sobre o retardo que ocorre entre, a excitação na entrada e a resposta inicial na saída do comparador (devido principalmente ao retardo que ocorre para trazermos os transistores para fora da região de saturação), e o tempo necessário ao comparador para atravessar sua região de transição.

2.17 O CIRCUITO SCHMITT *TRIGGER* (DISPARADOR DE SCHMITT)

Vimos que o comparador é um amplificador com alto ganho de um sinal diferencial, em que os limites para os quais a saída é limitada devido à superexcitação são ajustados para possibilitar que o dispositivo seja excitado. Observamos no comparador da Fig. 2.14-1 a presença da

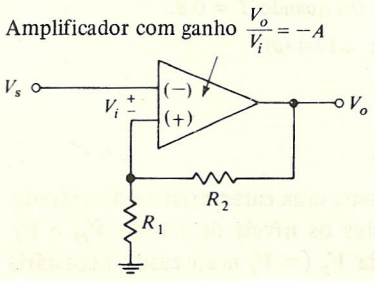


FIGURA 2.17-1
Um Schmitt *trigger* básico.

realimentação positiva, que é uma característica útil porque aumenta o ganho do amplificador. Consideremos, agora, um tipo de comparador chamado circuito Schmitt *trigger*, onde a realimentação positiva foi aumentada a ponto de causar instabilidade em uma região do comparador.

Consideremos, então, o amplificador diferencial mostrado na Fig. 2.17-1 onde temos a presença de realimentação em virtude do acoplamento da saída ao terminal de entrada *não-inversor* do amplificador. A realimentação é *positiva*, isto é, *regenerativa*, porque o efeito desta é aumentar o ganho com realimentação $A_f = \Delta V_o/\Delta V_s$ do amplificador. Seja o ganho do amplificador não-realimentado, para um sinal diferencial V_i, dado por $-A \equiv \Delta V_o/\Delta V_i$ e seja o ganho com realimentação dado por $\beta \equiv R_1/(R_1 + R_2)$. Temos então

$$\Delta V_o = -A\Delta V_i = -A[\Delta V_s - \beta\,\Delta V_o] \tag{2.17-1}$$

de tal maneira que o ganho realimentado é dado por

$$A_f \equiv \frac{\Delta V_o}{\Delta V_s} = \frac{-A}{1 - \beta A} \tag{2.17-2}$$

O produto $\beta A \equiv T$ é chamado de ganho de malha. Quando $T = 0$, $A_f = -A$ e, à medida que T aumenta, o módulo de A_f aumenta, tornando-se infinito em $T = 1$. Um aumento ainda maior de T muda o sinal de A_f.

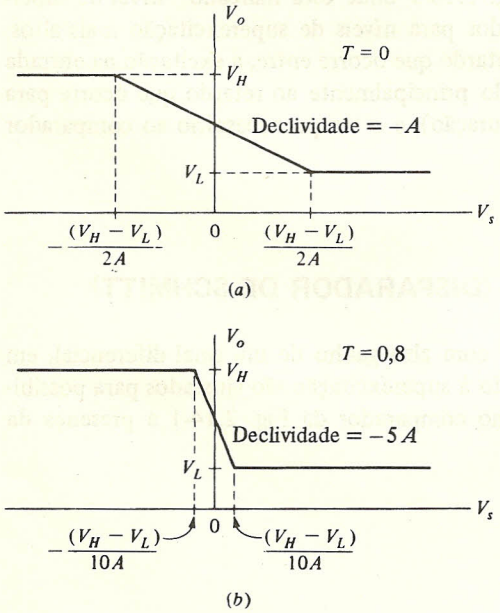


FIGURA 2.17-2
Característica de transferência do amplificador mostrado na Fig. 2.17-1 (*a*) quando $T = 0$ e (*b*) quando $T = 0{,}8$.

Vamos supor agora que, quando $T = 0$, o amplificador possua uma característica de entrada-saída como a da Fig. 2.17-2*a*. O amplificador tem como limites os níveis de tensão V_H e V_L para alta e baixa tensão, respectivamente. A excursão da entrada V_s (= V_i neste caso), necessária

para que o amplificador excursione de um limite a outro, é simétrica em relação a $V_s = 0$, estendendo-se na faixa $\pm(V_H - V_L)/2A$. Se T é aumentado para $T = 0{,}8$, a Eq. (2.17-2) fica $A_f = -5A$ e o gráfico correspondente à relação entrada-saída aparece como na Fig. 2.17-2*b*.

Quando T é maior do que $T = 1$, o ganho A_f se torna positivo e a característica de transferência aparece como no gráfico da Fig. 2.17-3. Quando um comparador é operado desta maneira, isto é, com $T > 1$, o comparador é chamado de *Schmitt trigger*. Quando, agora, V_s for V_{s1} ou V_{s2}, o ponto de operação do Schmitt *trigger* estará em *a* ou *b*, respectivamente. Quando $V = V_{s3}$, três pontos de equilíbrio (*c, d* ou *e*) são possíveis. O ponto *d* é um ponto de equilíbrio *instável*. O Schmitt *trigger*, em princípio, pode permanecer em *d* indefinidamente. Se, entretanto, uma leve perturbação ocorrer, o ponto de operação sairá de *d* e eventualmente se localizará em *c* ou em *e*, dependendo do sentido da perturbação. (O assunto a respeito da instabilidade de *d* é explorado no Prob. 2.17-1.) Para o presente momento, será suficiente considerarmos que a equação do ganho (2.17-2) representa uma relação em estado permanente entre V_O e V_s. (Ela não leva em consideração a resposta no tempo, do amplificador à entrada, devido a capacitâncias, etc.) Com $V_s = V_{s3}$, dois pontos de operação são possíveis, *c* e *e*. A escolha de um destes dois pontos em que o Schmitt *trigger* estará operando dependerá do que ocorreu previamente ao circuito.

Vamos supor, então, que, iniciando em *b* com $V_s = V_{s2}$, aumentaremos V_s. O ponto de operação se situará no nível $V_O = V_H$. Quando V_s passar pelo ponto $V_s = V_{s4}$, correspondendo ao ponto de operação *f*, não haverá mais o ponto de operação em $V_O = V_H$ e ele (o ponto de operação) deverá ir a *g* onde $V_O = V_L$. Da mesma forma, quando V_s inicialmente estiver em $V_s = V_{s1}$, se V_s diminuir, haverá um salto de V_L a V_H, quando V_s passar por V_{s5}. Veremos agora dois aspectos importantes nos quais a característica do Schmitt *trigger* (Fig. 2.17-3) difere da característica do comparador (Fig. 2.17-2).

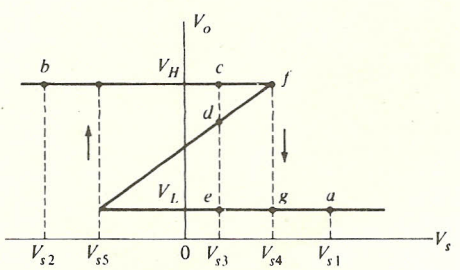


FIGURA 2.17-3
Característica de transferência do amplificador mostrado na Fig. 2.17-1 quando $T > 1$. Aqui $A_f = A/(\beta A - 1) > 0$.

Primeiro, observamos que, na Fig. 2.17-3, as transições de V_H a V_L e de V_L a V_H são feitas em dois níveis de tensão de entrada diferentes, isto é, em V_{s4} e V_{s5}. O Schmitt *trigger* apresenta então uma *histerese*. O intervalo de histerese $H = V_{s4} - V_{s5}$, conforme pode ser verificado (Prob. 2.17-2), é dado por

$$H = \frac{T-1}{A}(V_H - V_L) \tag{2.17-3}$$

Na aplicação de um comparador onde a histerese não for aceitável, o Schmitt *trigger* simplesmente não será utilizável. A histerese, em princípio, pode ser eliminada fazendo-se T unitário, precisamente. Na prática, não é possível obter-se um ganho de malha T unitário durante um período

prolongado. Como conseqüência, os comparadores são utilizados com T ajustado a um valor bem abaixo da unidade, enquanto o Schmitt *trigger* opera com T acima da unidade.

A seguir, devemos observar que, quando há uma transição na forma de onda de saída V_O de um Schmitt *trigger*, a velocidade da transição é determinada pela velocidade de resposta do amplificador comparador. O tempo necessário para alcançar a transição da saída não é determinado, como nos comparadores, onde $T < 1$, pelo tempo levado pelo sinal de entrada para efetuar uma excursão na faixa de entrada do amplificador. Por esta razão, o Schmitt *trigger* é empregado como um comparador onde os tempos de subida e descida do sinal de entrada são vagarosos, sendo que há necessidade de rápidos tempos de subida e descida do sinal na saída. Por exemplo, há dispositivos que queremos que respondam a formas de onda de entrada crescentes e que devem ser transmitidas através de capacitores pequenos. Neste caso, o sinal de entrada ficará bastante atenuado se a velocidade de subida e descida do sinal for pequena. Neste caso, o circuito Schmitt pode ser usado eficientemente para substituir uma forma de onda que varie vagarosamente por uma outra mais rápida.

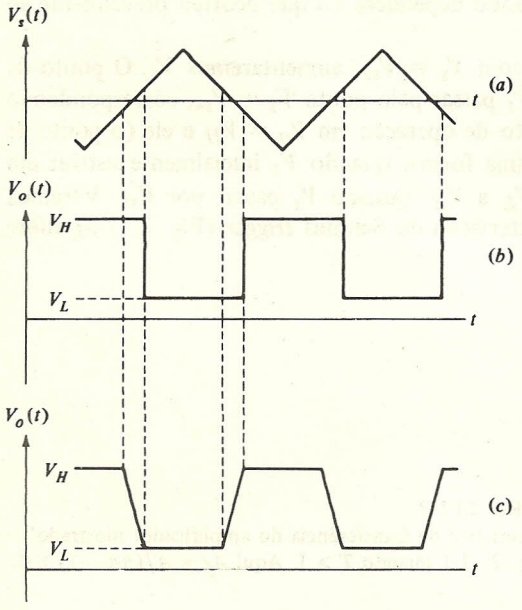


FIGURA 2.17-4
(*a*) Sinal de entrada $V_S(t)$. (*b*) Sinal de saída de um Schmitt *trigger* ideal quando $T = 1{,}2$. (*c*) Sinal de saída de um comparador quando $T = 0{,}8$.

A Fig. 2.17-4 mostra a resposta de um Schmitt *trigger* e a de um comparador para um sinal de entrada vagaroso. Em cada um dos casos, o ganho de malha foi ajustado de tal maneira que $|A_f| = 5$ A. Observe que um salto na saída do Schmitt *trigger* sempre ocorre quando o sinal de entrada V_S passa pela origem. No que tange ao tempo de transição, observamos que, para o comparador, ele é um quinto do tempo de transição da entrada V_S, porque $A_f = 5$. O tempo de transição do Schmitt *trigger*, entretanto, é independente dos tempos de subida e descida de V_S.

Naturalmente, há ainda os tempos de retardo, subida e descida associados ao comparador e que não foram mostrados na Fig. 2.17-4.

2.18 UM EXEMPLO DE UM SCHMITT *TRIGGER*

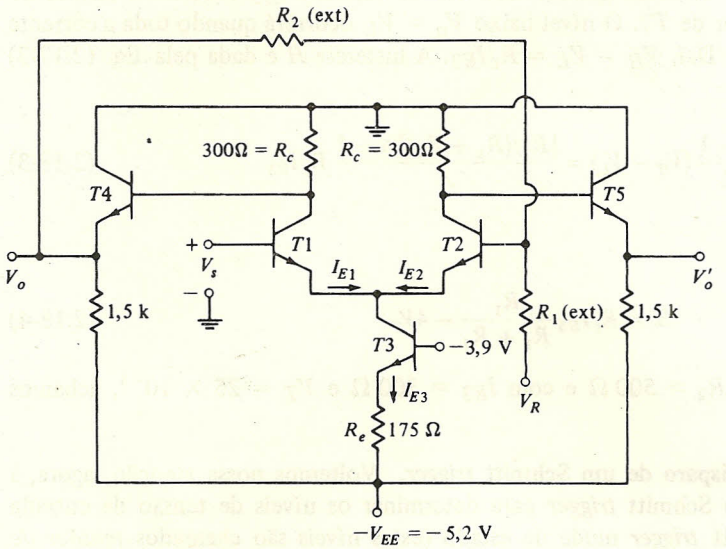


FIGURA 2.18-1
Um circuito integrado do tipo Schmitt *trigger* disponível comercialmente. (Motorola 1035.)

Um Schmitt *trigger*, disponível comercialmente, é mostrado na Fig. 2.18-1. Seus níveis de saída são apropriados para portas utilizando lógica acoplada a emissor (ECL), discutida no Cap. 7. Os transistores $T1$ e $T2$ formam um amplificador diferencial, enquanto $T3$ e R_e constituem uma fonte de corrente constante. Dois estágios de seguidor de emissor ($T4$ e $T5$) servem como estágios intermediários (*buffers*). Faz parte também do circuito integrado uma fonte de tensão de alimentação (não mostrada na figura), que fornece os $-3{,}9$ V necessários à base de $T3$. Os resistores R_1 e R_2, através dos quais é fornecida a realimentação positiva, não fazem parte do circuito integrado e são conectados externamente.

Admitiremos, como anteriormente foi feito, que a corrente de base de cada transistor é tão pequena que possa ser desprezada e que as correntes de coletor e emissor sejam iguais. Usando-se $V_{BE3} = 0{,}7$ V, chegamos a

$$I_{E3} = \frac{-3{,}9 - 0{,}7 + 5{,}2}{175} = 3{,}4 \text{ mA} \qquad (2.18\text{-}1)$$

Quando o amplificador diferencial estiver balanceado, as correntes serão dadas por $I_{E1} = I_{E2} = I_{E3}/2 = 1{,}7$ mA. Usando agora a Eq. (2.5-8), temos que o ganho do amplificador diferencial é correspondente a $-A \equiv \Delta V_o/\Delta V_i$, onde $V_i = V_{B1} - V_{B2}$ é dado por

$$-A = \frac{-(I_{E3}/2)R_c}{2V_T} = -\frac{(1{,}7 \times 10^{-3})(300)}{2(25 \times 10^{-3})} = -10{,}2 \qquad (2.18\text{-}2)$$

A saída V_o é retirada do emissor de $T4$. Supomos, entretanto, que o seguidor de emissor que envolve $T4$, possui ganho unitário; por conseguinte, o ganho permanece inalterado. (A saída V_o' é disponível por conveniência. Quando V_o estiver em V_H, V_o' estará em V_L e vice-versa.)

O nível $V_o = V_H$ (alto) ocorrerá quando não houver corrente I_{E3} circulando através do resistor $R_c = 300\ \Omega$, no coletor de $T1$. O nível baixo $V_o = V_L$ ocorrerá quando toda a corrente I_{E3} estiver circulando por R_c. Daí, $V_H - V_L = R_c I_{E3}$. A histerese H é dada pela Eq. (2.17-3) como sendo

$$H = \frac{T-1}{A}(V_H - V_L) = \frac{[R_1/(R_1+R_2)]A - 1}{A} R_c I_{E3} \qquad (2.18\text{-}3)$$

Usando a Eq. (2.18-2), temos

$$H = R_c I_{E3} \frac{R_1}{R_1 + R_2} - 4V_T \qquad (2.18\text{-}4)$$

Tipicamente, se $R_1 = 200\ \Omega$, $R_2 = 500\ \Omega$ e com $I_{E3} = 300\ \Omega$ e $V_T = 25 \times 10^{-3}$, achamos $H = 190$ mV.

Ajustando a tensão de disparo de um Schmitt *trigger*. Voltemos nossa atenção, agora, à função de transferência de um Schmitt *trigger* para determinar os níveis de tensão de entrada necessários para que o Schmitt *trigger* mude de estado (estes níveis são chamados *tensões de disparo*). Veremos agora que serão uma função da tensão de referência V_R.

Para determinarmos a função de transferência, V_o *versus* V_s, nos referenciaremos à Fig. 2.18-1, a partir da qual vemos que $V_i = V_{B1} - V_{B2}$ e é dado por

$$V_i = V_s - \left(\frac{R_1}{R_1 + R_2} V_o + \frac{R_2}{R_1 + R_2} V_R\right) \qquad (2.18\text{-}5)$$

Na região linear de operação [onde $A_f = A/(T-1)$], a tensão de entrada $V_i = 0$ quando $V_o = -I_{E3}R_c/2 - 0{,}7 \approx -1{,}2$ V. Usando-se a Eq. (2.18-5) vemos que, quando $V_i = 0$ e $V_o = -1{,}2$ V, então

$$V_s = -\left[\frac{R_1}{R_1 + R_2}(1{,}2) - \frac{R_2}{R_1 + R_2} V_R\right] \qquad (2.18\text{-}6)$$

O uso das Eqs. (2.18-6) e (2.17-2) nos permite determinar a função de transferência mostrada na Fig. 2.18-2. Nesta figura, o ponto Q representa o ponto $V_i = 0$, $V_o = -1{,}2$ V, e $V_s = V_{sQ}$ é dado pela Eq. (2.18-6). A declividade da função de transferência no ponto Q é o ganho $\Delta V_o/\Delta V_s = A_f = A/(T-1)$ [veja Eq. (2.17-2)]. A tensão de saída máxima V_H ocorre quando toda a corrente I_{E3} circula através de $T2$, de tal maneira que $T1$ esteja cortado. Neste ponto, $V_o = -0{,}7$ V. A tensão de saída mínima ocorre quando toda a corrente I_{E3} circula por $T1$, de tal modo que

$$V_o = V_L = -0{,}7 - I_{E3}R_c \approx -0{,}7 - 1{,}02 \approx -1{,}7\ \text{V} \qquad (2.18\text{-}7)$$

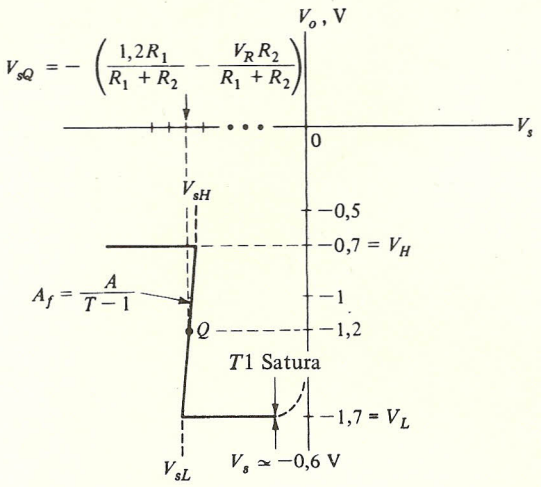


FIGURA 2.18-2
Característica de transferência do Schmitt *trigger* mostrado na Fig. 2.18-1.

É interessante observarmos que, se V_S aumenta para acima de aproximadamente $-0{,}6$ V, $T1$ começa a saturar e a tensão de saída aumenta. Este resultado é prontamente obtido a partir da Fig. 2.18-1, onde vemos que $V_{C1} = -1$ V quando $V_o = -1{,}7$ V. Para termos $T1$ confortavelmente fora da região de saturação, precisamos que $V_{CE1} \geqslant 0{,}3$ V. Como $V_{BE1} \approx 0{,}7$ V, temos que $V_S < -0{,}6$ V.

As tensões de disparo V_{sH} e V_{sL}, mostradas na Fig. 2.18-2, são iguais a $V_{sQ} \pm H/2$ onde H é dado pela Eq. (2.18-4). Por exemplo, se, como antes, $R_1 = 200\ \Omega$, $R_2 = 500\ \Omega$ e se precisarmos de, digamos, $V_{sQ} = -2$ V, V_R é determinado a partir da Eq. (2.18-6) como sendo $V_R = -2{,}32$ V.

REFERÊNCIAS

1. Connelly, J. A. (org.). *Analog Integrated Circuits.* Wiley-Interscience, New York, 1975.
2. Wait, J. V.; L. P. Huelsman, e G. A. Korn. *Introduction to Operational Amplifier Theory and Applications.* McGraw-Hill, New York, 1975.
3. Schilling, D. L. e C. Belove. *Electronic Circuits: Discrete and Integrated.* McGraw-Hill, New York, 1968, Cap. 8.

CAPÍTULO 3
Circuitos Lógicos

3.1 INTRODUÇÃO

Em sistemas digitais encontramos variáveis que são especiais no sentido de que só podem assumir dois valores possíveis. Por exemplo, em sistemas digitais elétricos, uma tensão ou corrente variável típica terá uma forma de onda (ideal) como a indicada na Fig. 3.1-1. Aqui, uma tensão V faz uma transição abrupta entre dois níveis de tensão V_1 e V_2. Idealmente, consideramos que as transições que ocorrem nos instantes $t = t_1$, t_2 etc. são tão abruptas que podemos dizer que, em todos os instantes, $V = V_1$ ou $V = V_2$ e que V não assume nenhum outro valor. Alternativamente, se as transições não são abruptas, podemos considerar que não temos interesse na forma de onda, exceto quando $V = V_1$ ou $V = V_2$. Na Fig. 3.1-1 indicamos que V_1 é positivo, enquanto V_2 é negativo. Esta característica não é essencial. Pode ser que V_1 e V_2 sejam ambos positivos ou negativos; ou pode mesmo ser que ou V_1 ou V_2 tenha o valor zero.

Podemos especificar o valor da função $V(t)$ em qualquer instante dizendo que $V = V_1$ ou $V = V_2$; ou, devido ao caráter muito especial de V, podemos igualmente dizer que V é "alto" (do inglês *high*) ou "baixo" (do inglês *low*), "para cima" (*up*) ou "para baixo" (*down*) etc. Na verdade, tendo selecionado duas palavras quaisquer, podemos arbitrariamente assinalar uma palavra para um nível de tensão e a outra para o segundo nível. Para sugerir que V pode ter um ou outro nível em qualquer instante particular, mas não ambos, a seleção de palavras implicando alternativas opostas, ou mutuamente exclusivas, é a mais apropriada. Por esta razão, e por outras razões que veremos abaixo, usaremos as palavras "verdadeiro" (V) e "falso" (F). É necessário, em qualquer exemplo dado, dizer se verdadeiro representa o nível $V = V_1$ ou $V = V_2$. Evidentemente, então, falso representa o outro nível. Se decidimos arbitrariamente que o nível de tensão mais positivo representa o verdadeiro e o mais negativo representa o falso, adotamos a convenção de lógica *positiva*. Se adotamos a convenção oposta, temos lógica *negativa*.

Em um sistema digital particular poderemos encontrar muitas variáveis binárias (de dois valores) como a variável binária V mostrada na Fig. 3.1-1. Consideraremos que, em um dado sistema, todas estas variáveis binárias operam entre as mesmas alternativas. Por exemplo, se em um sistema elétrico, as variáveis binárias são as tensões V_A, V_B, . . . , então cada tensão irá operar entre os mesmos dois níveis de tensão, por exemplo $+6$ e -2 V.

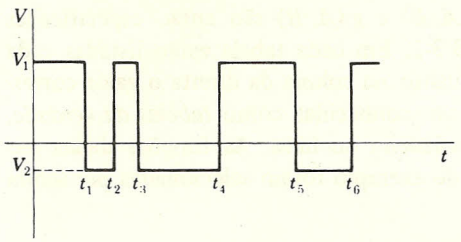


FIGURA 3.1-1
Uma forma de onda idealizada encontrada em sistemas digitais.

3.2 FUNÇÕES DE UMA VARIÁVEL BINÁRIA SIMPLES

Sejam A uma variável binária e Z uma segunda variável binária que é função de A. Então

$$Z = f(A) \tag{3.2-1}$$

Quais são as possíveis relações funcionais entre Z e A? Como A é ou verdadeira ou falsa (V ou F) e Z é ou V ou F, existem apenas duas funções possíveis. Uma possibilidade é que, quando A é verdadeira, Z é verdadeira e que quando A é não-verdadeira, isto é, A é falsa, Z também é não-verdadeira (falsa). Neste caso, escreveremos

$$Z = A \tag{3.2-2}$$

Por outro lado, pode ser que, qualquer que seja a alternativa assumida por A, Z assume a outra alternativa. Neste caso, quando A é verdadeira, Z é falsa e vice-versa. Tal relação funcional é escrita

$$Z = \bar{A} \tag{3.2-3}$$

e é lida "Z é igual a *não* A" ou "Z é igual ao *complemento de* A". A Eq. (3.2-3) diz, por exemplo, que, quando A é verdadeira, Z é não-verdadeira, isto é, Z é falsa. As Eqs. (3.2-2) e (3.2-3) esgotam todas as funções possíveis de uma variável binária simples.

Deve ser notado que o complemento do complemento de uma variável é a própria variável, isto é,

$$\bar{\bar{A}} = A \tag{3.2-4}$$

3.3 FUNÇÕES DE DUAS VARIÁVEIS BINÁRIAS

Consideraremos agora que a variável binária Z é uma função de duas variáveis binárias A e B, isto é, $Z = f(A, B)$. Uma função é *definida* fornecendo a regra ou outra informação através da qual Z, a variável dependente, pode ser determinada quando as variáveis independentes A e B são especificadas. Suponhamos que as variáveis independentes fossem variáveis contínuas e, portanto, podendo assumir uma gama infinita de valores. Neste caso, a função é usualmente definida especificando a operação matemática a ser executada com as variáveis independentes, de modo a determinar as variáveis dependentes. No caso presente, entretanto, como A e B podem cada um assumir apenas dois valores, há apenas quatro possíveis combinações das duas variáveis. É, portanto, possível definir a função $Z = f(A, B)$ fornecendo especificamente os valores de Z para

cada combinação A e B. Duas diferentes funções $f(A, B)$ e $g(A, B)$ são então especificadas desta maneira na forma tabular nas Tabelas 3.3-1 e 3.3-2. Em cada tabela estão listadas cada uma das quatro possíveis combinações de A e B, enquanto na coluna da direita o valor correspondente de Z é dado. Estas tabelas, e outras iguais, são conhecidas como *tabelas da verdade*, pois tabulamos nelas as condições sob as quais Z é verdadeira ou falsa. As funções dadas nas tabelas da verdade das Tabelas 3.3-1 e 3.3-2 em forma de exemplo foram selecionadas por serem de interesse e importância especiais.

TABELA 3.3-1

A	B	$Z = f(A, B)$
F	F	F
F	V	F
V	F	F
V	V	V

TABELA 3.3-2

A	B	$Z = g(A, B)$
F	F	F
F	V	V
V	F	V
V	V	V

A operação AND. A função na Tabela 3.3-1 pode ser caracterizada em palavras pela afirmação "Z é verdadeira se e apenas se A é verdadeira *e* também B é verdadeira". Assim, esta função é referida como a função AND* e a relação funcional é escrita $Z = A$ AND B. A operação AND (por razões a serem observadas mais tarde) é também indicada em uma notação mais conveniente, colocando um ponto entre as variáveis para sugerir uma operação de multiplicação, apesar de realmente não se pretender a operação de multiplicação numérica. Freqüentemente, entretanto, o ponto é omitido de modo que a operação AND é escrita em qualquer das formas

$$Z = A \text{ AND } B = A \cdot B = AB \tag{3.3-1}$$

Como pode ser verificado da tabela da verdade, a operação AND é *comutativa*, isto é,

$$AB = BA \tag{3.3-2}$$

A operação AND é também *associativa*. Assim, supondo que tendo formado a variável $Z = AB$, incluímos então uma terceira variável C e formamos a função $ZC = (AB)C$. Esta função final é a mesma que seria obtida se tivéssemos primeiro formado BC e então a função $A(BC)$. Assim

$$(AB)C = A(BC) \tag{3.3-3}$$

Se, então, muitas variáveis são conectadas pela operação AND, não precisamos indicar a ordem na qual as variáveis foram combinadas e podemos simplesmente escrever $Z = ABCD \ldots$

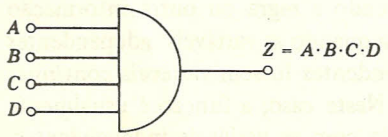


FIGURA 3.3-1
Símbolo para a porta lógica AND.

* Devido ao uso corrente da palavra AND, esta será, às vezes, usada no texto em lugar da tradução em português E. (N. do T.)

O símbolo utilizado para representar a conexão de variáveis através da operação AND está mostrado na Fig. 3.3-1. Um dispositivo que efetua tal conexão entre variáveis lógicas é chamado *porta lógica*. Uma porta lógica AND que interliga quatro variáveis A, B, C e D é indicada. De interesse para nós é a situação na qual as variáveis lógicas são representadas por tensões. Em tal caso, a intenção do símbolo da Fig. 3.3-1 é indicar que, se (em relação a algum ponto de referência, "terra", não indicado explicitamente) cada um dos terminais de entrada A, B, C e D for mantido na tensão selecionada como representando verdade, então o terminal de saída Z também estará neste nível de tensão "Verdadeiro". Por outro lado, se qualquer entrada for mantida na tensão representando falso, a saída estará neste nível de tensão "falso". Note que a porta AND indica a situação de *simultaneidade* ou *coincidência*, isto é, todas as entradas devem ser verdadeiras simultânea ou coincidentemente para a saída ser verdadeira. Conseqüentemente, uma porta AND é às vezes chamada uma porta *coincidência*.

A operação AND com chaves. Notamos que uma tensão que pode possuir apenas dois níveis permitidos, pode ser representada por uma variável lógica. Uma chave pode ser também representada por uma variável lógica. A chave pode se encontrar em apenas duas situações possíveis: aberta ou fechada. Portanto, podemos designar a ela a variável lógica A com a interpretação que A = V (verdadeira) significa que a chave está fechada, enquanto $A = F$ (falsa) significa que a chave está aberta. Ou, se desejarmos, podemos inverter as designações e considerar que A = V e A = F representam que a chave está aberta e fechada, respectivamente.

A operação AND executada por um circuito envolvendo chaves é indicada na Fig. 3.3-2. Seja A = V quando S_1 está fechada e B = V quando S_2 está fechada. Além disto, seja Z = V quando a lâmpada está acesa. Portanto, como a lâmpada acenderá quando e apenas quando as chaves estiverem fechadas simultaneamente, a operação do circuito é descrita pela equação lógica $Z = AB$. Se arbitrariamente tivéssemos designado que A = F quando S_1 está fechada, Z se tornaria $Z = \bar{A}B$.

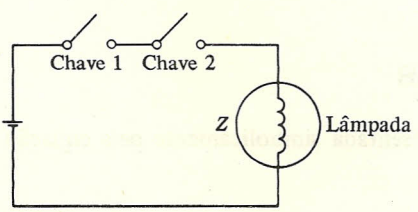


FIGURA 3.3-2
Uma situação física que requer que as chaves S_1 e S_2 estejam fechadas para acender a lâmpada.

3.4 A FUNÇÃO OR (OU)

A tabela da verdade da Tabela 3.3-2 define a operação OR. A palavra OR* é apropriada como nome desta função devido ao fato de que Z é verdadeira se A é verdadeira ou B é verdadeira *ou* se ambas A e B são verdadeiras. A função $Z = A$ OR B é escrita

$$Z = A + B \tag{3.4-1}$$

* Devido ao uso corrente da palavra OR, esta será, às vezes, usada no texto em lugar da tradução portuguesa OU. (N. do T.)

A notação do sinal "mais" para representar a função OR evidentemente não implica qualquer operação de adição numérica. Não há o sentido de que A e B na Eq. (3.4-1) estão sendo somados. Não obstante, como veremos, o uso do sinal mais (assim como o sinal de multiplicação para a operação AND), quando em conexão com outra notação a ser referida em breve, torna-se dispositivo mnemônico útil.

Como pode ser verificado a partir da tabela da verdade mostrada na Tabela 3.3-2, a operação OR, assim como a operação AND, é tanto comutativa quanto associativa. Desse modo,

$$A + B = B + A \tag{3.4-2}$$

e

$$(A + B) + C = A + (B + C) \tag{3.4-3}$$

O símbolo para a porta lógica OR é mostrado na Fig. 3.4-1. A operação OR executada com chaves está mostrada na Fig. 3.4-2. Se A representa a afirmação "S_1 está fechada", B representa "S_2 está fechada" e Z representa "a lâmpada está acesa", então a operação do circuito é descrita por $Z = A + B$. Isto é, a lâmpada está acesa se S_1 está fechada *ou* se S_2 está fechada *ou* se ambas as chaves estão fechadas.

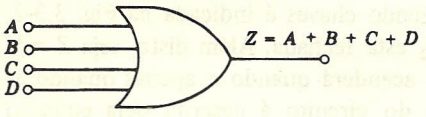


FIGURA 3.4-1
Símbolo para a porta lógica OR.

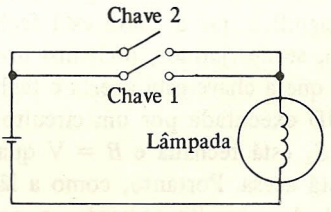


FIGURA 3.4-2
Uma situação física na qual a lâmpada acende se S_1 ou S_2 ou ambas estão fechadas.

3.5 A OPERAÇÃO NAND E A OPERAÇÃO NOR

A operação NAND, isto é, $Z = A$ NAND B é representada simbolicamente pela equação lógica

$$Z = A \uparrow B \tag{3.5-1}$$

e está definida na terceira coluna da Tabela 3.5-1. Na quinta coluna tabulamos $\overline{A \cdot B}$, isto é, o complemento da operação AND aplicada a A e B. Notamos que a terceira e a quinta coluna

TABELA 3.5-1

A	B	$Z = A \uparrow B$	$A \cdot B$	$\overline{A \cdot B}$	$\bar{A}$	$\bar{B}$	$\bar{A} + \bar{B}$
F	F	V	F	V	V	V	V
F	V	V	F	V	V	F	V
V	F	V	F	V	F	V	V
V	V	F	V	F	F	F	F

são idênticas. Assim, podemos expressar a operação NAND como

$$Z = \overline{AB} \tag{3.5-2}$$

Iremos invariavelmente empregar a Eq. (3.5-2) ao invés da Eq. (3.5-1) para representar a operação NAND. O nome designado para a operação é derivado da Eq. (3.5-2), NAND sendo a contração de NÃO AND.

Na última coluna tabulamos $\overline{A} + \overline{B}$; note que

$$Z = \overline{AB} = \overline{A} + \overline{B} \tag{3.5-3}$$

A Eq. (3.5-3) é um exemplo do *teorema de De Morgan* considerado novamente na seção 3.11.

A operação NAND é comutativa, isto é,

$$\overline{AB} = \overline{BA} \tag{3.5-4}$$

Entretanto, a operação NAND não é associativa, isto é, como pode ser verificado (Prob. 3.5-1),

$$(A \uparrow B) \uparrow C \neq A \uparrow (B \uparrow C) \tag{3.5-5a}$$

ou, na notação da Eq. (3.5-2),

$$\overline{(\overline{AB})C} \neq \overline{A(\overline{BC})} \tag{3.5-5b}$$

Quando a operação NAND é aplicada a mais do que duas variáveis, não é aplicada no sentido indicado pela Eq. (3.5-5) mas no sentido

$$Z = \overline{ABCD\cdots} \tag{3.5-6}$$

A Eq. (3.5-6) tem um significado não ambíguo, enquanto $Z = A \uparrow B \uparrow C \uparrow D \ldots$ é indefinido a menos que parênteses sejam adicionados para indicar em que ordem as variáveis estão combinadas.

O símbolo para a porta NAND está mostrado na Fig. 3.5-1*a*. Consiste em uma porta AND com um círculo na saída. O círculo representa a operação NÃO.

A operação NOR. A operação NOR, isto é, A NOR B é representada simbolicamente pela equação

$$Z = A \downarrow B \tag{3.5-7}$$

e está definida na terceira coluna da Tabela 3.5-2. Como é visto na Tabela 3.5-2, $Z = A \downarrow B$ pode ser expressa como

$$Z = \overline{A + B} \tag{3.5-8}$$

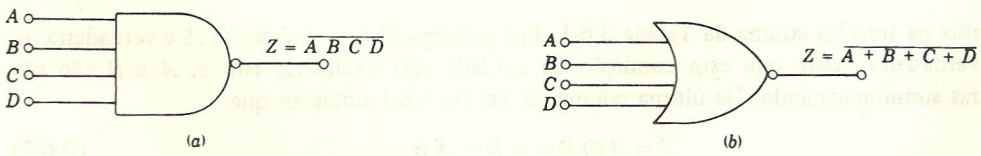


FIGURA 3.5-1
(*a*) Símbolo para uma porta NAND; (*b*) símbolo para uma porta NOR.

e observamos também que

$$Z = \overline{A + B} = \overline{A}\,\overline{B} \tag{3.5-9}$$

que é de novo um exemplo do *teorema de De Morgan*. Iremos geralmente utilizar a notação da Eq. (3.5-8) em vez da (3.5-7). A Eq. (3.5-8) é também a origem do nome designado para a operação, ou seja, NOR é a contração de NÃO OR.

TABELA 3.5-2

A	B	$Z = A \downarrow B$	$A + B$	$\overline{A + B}$	$\overline{A}$	$\overline{B}$	$\overline{AB}$
F	F	V	F	V	V	V	V
F	V	F	V	F	V	F	F
V	F	F	V	F	F	V	F
V	V	F	V	F	F	F	F

Da mesma forma que a operação NAND, a operação NOR é comutativa mas não é associativa, isto é,

$$\overline{\overline{A + B} + C} \neq \overline{A + \overline{B + C}} \tag{3.5-10}$$

Quando aplicada a mais de duas variáveis, a operação NOR é definida para significar

$$Z = \overline{A + B + C + D + \cdots} \tag{3.5-11}$$

O símbolo para a porta NOR é dado na Fig. 3.5-1*b*. Consiste em uma porta OR seguida de um círculo que representa a operação NÃO.

Do ponto de vista prático, a maioria das portas lógicas disponíveis comercialmente são portas NAND e NOR. Entretanto, o fato de estas operações não serem comutativas torna muito inconveniente o projeto de um sistema lógico usando tais portas como blocos básicos. O procedimento, então, geralmente empregado, envolve o projeto usando portas AND e OR e finalmente uma conversão desta estrutura para aquela envolvendo portas NAND e NOR. Esta matéria será mais discutida na seção 3.25.

3.6 A OPERAÇÃO OU-EXCLUSIVO

A operação OU-EXCLUSIVO interligando duas variáveis é representada simbolicamente pela equação.

$$Z = A \oplus B \tag{3.6-1}$$

e é definida na terceira coluna da Tabela 3.6-1. Em palavras, Z é verdadeira se A é verdadeira *ou* se B é verdadeira desde que esta condição de verdade seja exclusiva, isto é, A e B não são verdadeiras simultaneamente. Da última coluna da Tabela 3.6-1 notamos que

$$Z = A \oplus B = A\,\overline{B} + \overline{A}\,B \tag{3.6-2}$$

Esta forma alternativa para Z, expressa em palavras, é "Z é verdadeira se A é verdadeira *e* B é falsa *ou* se A é falsa *e* B é verdadeira". Uma realização de $Z = A \oplus B$ baseada diretamente na

TABELA 3.6-1

A	B	$Z = A \oplus B$	$\bar{A}$	B	$\bar{A}B$	$A\bar{B}$	$A\bar{B} + \bar{A}B$
F	F	F	V	V	F	F	F
F	V	V	V	F	V	F	V
V	F	V	F	V	F	V	V
V	V	F	F	F	F	F	F

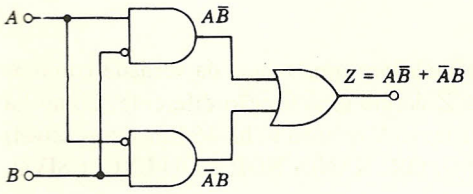


FIGURA 3.6-1
Uma realização de uma porta OU-EXCLUSIVO.

Eq. (3.6-2) está mostrada na Fig. 3.6-1. O circuito utiliza duas portas AND, uma porta OR e duas operações NÃO representadas por círculos em uma das entradas das portas AND. Uma implementação da função OU-EXCLUSIVO com chaves é considerada no Prob. 3.6-1.

Como pode ser verificado, a operação OU-EXCLUSIVO é comutativa e associativa. Portanto, quando variáveis são conectadas pela operação OU-EXCLUSIVO, podemos escrever

$$Z = A \oplus B \oplus C \oplus D \cdots \tag{3.6-3}$$

sem agrupamento de variáveis com parênteses. É deixado ao estudante provar (prob. 3.6-3) que, quando muitas variáveis são envolvidas, como na Eq. (3.6-3), Z é verdadeira se um número *ímpar* de variáveis é verdadeiro e Z é falsa se um número par de variáveis é verdadeiro.

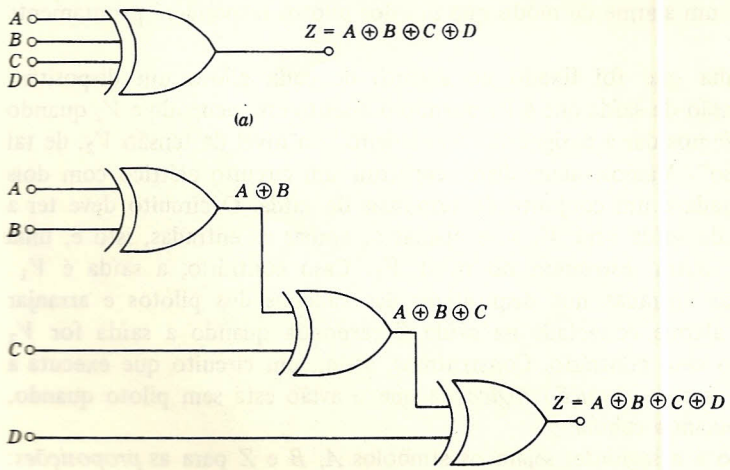


FIGURA 3.6-2
(*a*) Símbolo para uma porta OU-EXCLUSIVO. (*b*) Um arranjo equivalente que acomoda quatro entradas usando portas de duas entradas. Portas OU-EXCLUSIVO disponíveis comercialmente têm apenas duas entradas.

O símbolo para uma porta OU-EXCLUSIVO é mostrado na Fig. 3.6-2*a*. É relativamente simples (como discutiremos com bastante detalhes nos capítulos seguintes) acrescentar entradas adicionais a uma porta AND ou NAND ou a uma porta OR ou NOR. Entretanto, este não é o caso com a porta OU-EXCLUSIVO. Assim, enquanto na Fig. 3.6-2*a* indicamos uma porta de quatro entradas, apenas portas de duas entradas são disponíveis comercialmente. Então, o arranjo da Fig. 3.6-2*b*, que utiliza portas de duas entradas, é utilizado para acomodar entradas adicionais.

3.7 OUTRAS FUNÇÕES

Uma função $Z = f(A, B)$ de duas variáveis é definida por uma tabela da verdade como as Tabelas 3.3-1 e 3.3-2. Cada entrada V e F na coluna Z define uma função diferente. Como há quatro situações em cada coluna e cada entrada pode ser tanto V quanto F, há 16 funções possíveis de 2 variáveis. Consideramos cinco destas funções: AND, OR, NAND, NOR e OU-EXCLUSIVO. As funções restantes são consideradas no Prob. 3.7-1.

3.8 VARIÁVEIS LÓGICAS

As variáveis de dois valores que estamos discutindo são freqüentemente chamadas variáveis *lógicas*, enquanto as operações tais como OR e AND são referidas como operações *lógicas*. Iremos agora discutir brevemente a conveniência de tal terminologia, ressaltando a aptidão especial das designações "verdadeira" e "falsa" para identificar os valores possíveis de uma variável.

Como exemplo, suponha que você e dois pilotos estão voando em um avião. Você permanece no local dos passageiros, enquanto os pilotos A e B estão na cabina de comando. Em dado momento, A se junta a você. Este fato não causa preocupação. Suponha, entretanto, que, enquanto A e você estão no local dos passageiros, você descobre que B também se juntou a vocês. Com base em sua habilidade de raciocinar *logicamente*, você *deduz* que o avião está sem piloto; e, presumivelmente, você soará um alarme de modo que um dos pilotos responderá prontamente à urgência da situação.

Alternativamente, suponha que foi fixado no assento de cada piloto um dispositivo eletrônico que fornece uma tensão de saída que é V_1 quando o assento está ocupado e V_2 quando o assento não está ocupado. Vamos dar a designação "verdadeiro" ao nível de tensão V_2, de tal modo que o nível V_1 é "falso". Vamos, além disto, construir um circuito elétrico com dois conjuntos de terminais de entrada e um conjunto de terminais de saída. O circuito deve ter a propriedade de que a tensão de saída será V_2 se e apenas se ambas as entradas, isto é, uma entrada E simultaneamente a outra, estiverem no nível V_2. Caso contrário, a saída é V_1. Finalmente, vamos conectar as entradas nos dispositivos das cadeiras dos pilotos e arranjar para que uma campainha de alarme conectada na saída Z responda quando a saída for V_2 ("verdadeiro") e não toque em caso contrário. Construímos, assim, um circuito que executa a operação AND e é capaz de fazer a *dedução lógica* de que o avião está sem piloto quando, realmente, ambos os pilotos deixam a cabina.

Recapitulando, a situação é a seguinte: sejam os símbolos A, B e Z para as *proposições*:

A = é verdadeiro (V) que o piloto A saiu de seu assento.

B = é verdadeiro (V) que o piloto B saiu de seu assento.

Z = é verdadeiro (V) que o avião está sem piloto e em perigo.

Evidentemente, $\bar{A}$, $\bar{B}$ e $\bar{Z}$ então representam as proposições opostas, respectivamente. Por exemplo, $\bar{A}$ representa a proposição: é falso (F) que o piloto A saiu de seu assento, etc. A relação entre as proposições pode ser agora escrita como

$$Z = AB \tag{3.8-1}$$

Escolhemos para representar as *variáveis lógicas* A, B e C por tensões elétricas. Mas deve ser notado que realmente a Eq. (3.8-1) é uma *relação entre proposições* e completamente independente da maneira exata na qual escolhemos para representá-las ou mesmo se temos qualquer representação física. A Eq. (3.8-1) indica que a proposição Z é verdadeira se as proposições A e B são ambas verdadeiras e que, caso contrário, Z é falsa.

Esta álgebra de proposições, da qual a Eq. (3.8-1) é um exemplo, é conhecida como *Álgebra booleana*. Exatamente como outras álgebras tratam com variáveis que têm um significado numérico, a álgebra booleana trata com proposições e é uma ferramenta efetiva para analisar as relações entre proposições que permitem apenas duas alternativas mutuamente exclusivas.

EXEMPLO 3.8-1. Um fazendeiro chamado João tem um grande cão, que é meio lobo, uma cabra e várias cabeças de couve. Além disso, o fazendeiro possui dois celeiros, um na região norte e outro na região sul. O fazendeiro, o cão, as couves e a cabra estão todos no celeiro sul. O fazendeiro tem serviço para executar nos dois celeiros. Entretanto, se o cachorro é deixado com a cabra quando o fazendeiro está ausente, ele morderá a cabra; se a cabra é deixada com as couves, ela irá comê-las. Para evitar ambos os desastres, João nos pediu para construir um pequeno computador portátil tendo quatro chaves, representando o fazendeiro, o cachorro, a cabra e as couves. Se a chave é conectada a uma bateria (V_1), o símbolo representado pela chave está no celeiro sul; se a chave está conectada à terra (V_2), o símbolo está no celeiro norte. A saída do computador vai para uma lâmpada que deve acender sempre que houver um desastre iminente. Assim, o fazendeiro pode executar seu trabalho usando o computador para avisá-lo o que ele deve levar consigo de um celeiro para o outro para evitar problemas. Como construiremos este computador?

Solução. Para projetar o computador, devemos expressar precisamente o que desejamos fazer. Queremos que a lâmpada acenda se:

1. O fazendeiro João está no celeiro norte E o cachorro E a cabra estão no celeiro sul, OU se
2. O fazendeiro João está no celeiro norte E a cabra E as couves estão no celeiro sul, OU se
3. O fazendeiro João está no celeiro sul E o cachorro E a cabra estão no celeiro norte, OU se
4. O fazendeiro João está no celeiro sul E a cabra E as couves estão no celeiro norte.

Usaremos agora a variável J para representar a proposição "João está no celeiro sul". Correspondentemente, $\bar{J}$ representa a proposição "João não está no celeiro sul (ele está no celeiro norte)". Com este sentido, similarmente, temos:

D = o cachorro está no celeiro sul
$\bar{D}$ = o cachorro está no celeiro norte
G = a cabra está no celeiro sul
$\bar{G}$ = a cabra está no celeiro norte
C = as couves estão no celeiro sul
$\bar{C}$ = as couves estão no celeiro norte

Podemos agora escrever uma afirmação lógica simbólica que combina todas as possibilidades levando a um desastre:

$$L = \bar{J} \cdot D \cdot G + \bar{J} \cdot G \cdot C + J \cdot \bar{D} \cdot \bar{G} + J \cdot \bar{G} \cdot \bar{C}$$

onde L, a variável lógica representando a lâmpada, é $L = V$ quando a lâmpada está acesa.

Para construir nosso computador de finalidade especial, necessitamos de quatro chaves (uma para cada variável J, D, G e C), uma lâmpada, uma bateria e portas AND, OR e NÃO. O esquema completo do computador está mostrado na Fig. 3.8-1. Observe que, para executar a operação NÃO, utilizamos uma porta NAND de entrada simples. Como pode ser verificado, uma porta NAND com todas as suas entradas interligadas, de modo que a porta apresente apenas um terminal de entrada, serve para executar a operação NÃO. Uma porta NOR de entrada simples também poderia servir. O leitor deve estudar o circuito e verificar que a lâmpada acenderá apenas se qualquer um dos quatro termos da expressão para L for verdadeiro.

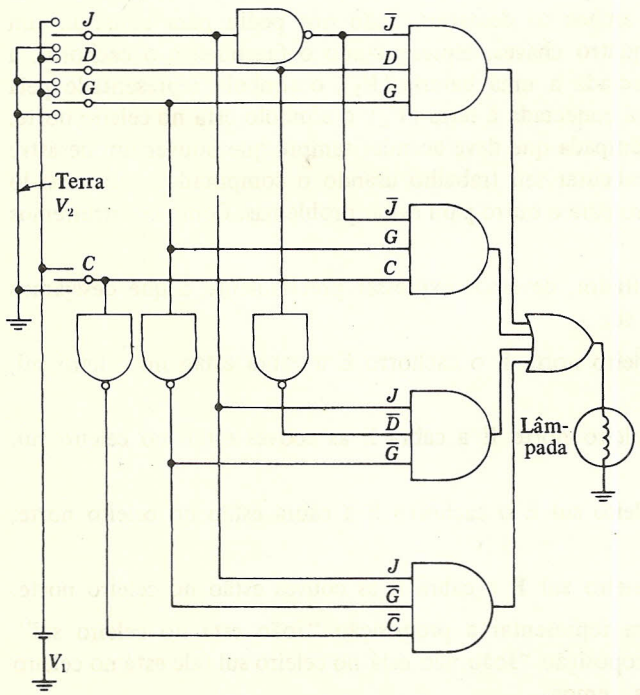


FIGURA 3.8-1
Um computador de finalidade especial para resolver o problema cão-cabra-couve.

3.9 A NOTAÇÃO 0, 1

Nós nos referimos previamente a duas possibilidades mutuamente exclusivas para uma proposição como verdadeiro (V) ou falso (F). Então, dependendo da situação, indicaríamos que uma proposição A é verdadeira ou falsa escrevendo $A = V$ ou $A = F$, respectivamente. Propomos agora, alternativamente, indicar que A é verdadeira escrevendo $A = \mathbf{1}$ e que A é falsa escrevendo $A = \mathbf{0}$. Utilizamos negrito para as lógicas **0** e **1** para enfatizar que **1** e **0** como usados aqui são símbolos substituindo V e F e *não* números. Estes símbolos em negrito não serão utilizados, entretanto, em tabelas de verdade nem em Mapas de Karnaugh (seção 3.18), pois em tais tabelas e Mapas não haverá ambigüidade em relação ao significado do símbolo. Com esta notação, as tabelas da verdade para as operações AND e OR (Tabelas 3.3-1 e 3.3-2) aparecem nas Tabelas 3.9-1 e 3.9-2.

Se, além disso, utilizamos "adição" para representar a operação OR e "multiplicação" para representar a operação AND, as tabelas da verdade para OR e AND são representadas pelos seguintes conjuntos de equações:

OR	AND
$A + B = Z$	$A \cdot B = Z$
$0 + 0 = 0$	$0 \cdot 0 = 0$
$0 + 1 = 1$	$0 \cdot 1 = 0$
$1 + 0 = 1$	$1 \cdot 0 = 0$
$1 + 1 = 1$	$1 \cdot 1 = 1$

(3.9-1)

TABELA 3.9-1
Tabela da Verdade para AND Usando Notação 0, 1

A	B	$Z = A$ AND B
0	0	0
0	1	0
1	0	0
1	1	1

TABELA 3.9-2
Tabela da Verdade para OR Usando Notação 0, 1

A	B	$Z = A$ OR B
0	0	0
0	1	1
1	0	1
1	1	1

Notamos então que nossa notação constitui um dispositivo mnemônico efetivo. Pois, se fingirmos que a adição e a multiplicação são realmente intencionadas e se fingirmos que **0** e **1** são números, então com a única exceção $1 + 1 = 1$, todas as equações acima mostram-se ajustar com a aritmética comum.

3.10 OPERAÇÕES NECESSÁRIAS E SUFICIENTES

Notamos que há 16 funções de duas variáveis possíveis. Discutimos especificamente 5 destas funções e observamos que todas podem ser expressas em termos das operações AND, OR e NÃO. Verifica-se (Prob. 3.7-1) que *todas* as funções possíveis podem ser expressas em termos destas três operações.

Analisando mais a matéria, encontramos que realmente não precisamos utilizar todas as três operações, porque a própria operação AND pode ser expressa em termos das operações OR e NÃO, ou, por outro lado, a operação OR pode ser expressa em termos das operações AND e NÃO. O operador OR obtido através do uso de portas AND e NÃO está mostrado na Fig. 3.10-1*a*. A tabela da verdade para verificar que a saída Y é realmente $Y = A + B$ é dada na Tabela 3.10-1. A coluna indicada $Y = \overline{Z}$ na Tabela 3.10-1 é determinada do circuito da Fig. 3.10-1*a*. A última coluna indicada $A + B$ fornece $A + B$ pela definição da operação OR. A completa equivalência destas duas colunas estabelece que $Y = A + B$.

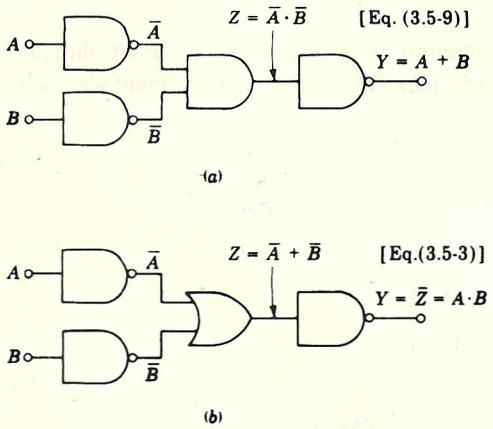


FIGURA 3.10-1
(*a*) Geração da operação OR utilizando portas AND e NÃO. [Um NAND (ou um NOR) com todas as suas entradas interligadas serve como uma porta NÃO.] (*b*) Geração da operação AND utilizando portas OR e NÃO.

TABELA 3.10-1

A	B	$\overline{A}$	$\overline{B}$	$Z = \overline{A} \cdot \overline{B}$	$Y = \overline{Z}$	$A + B$
0	0	1	1	1	0	0
0	1	1	0	0	1	1
1	0	0	1	0	1	1
1	1	0	0	0	1	1

Um circuito que executa a operação AND usando apenas portas NÃO e uma porta OR está mostrado na Fig. 3.10-1*b*. Uma tabela da verdade como a Tabela 3.10-1 estabelece que, neste caso, Y é realmente $Y = AB$.

Apesar de que, em princípio, a operação NÃO junto com a operação AND, ou com a operação OR, é suficiente para a análise e projeto de sistemas lógicos, utilizaremos todas as três operações, pois é mais conveniente fazer assim.

Finalmente, é bastante intuitivo que a operação NAND, ou a operação NOR, também é suficiente para gerar todas as funções possíveis. O uso da porta NAND para executar as operações NÃO, AND e OR é mostrado na Fig. 3.10-2. O uso da porta NOR para obter os mesmos resultados é mostrado na Fig. 3.10-3.

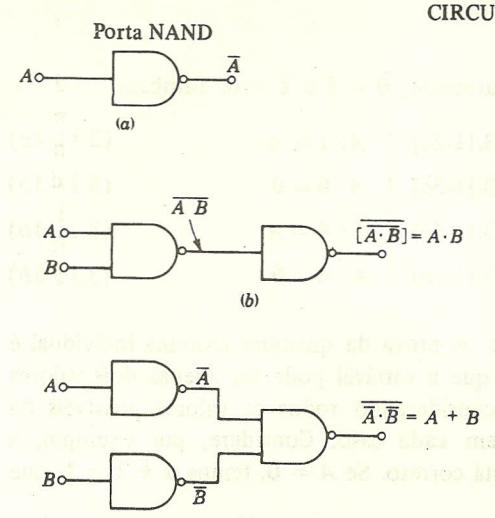


FIGURA 3.10-2
Mostrando que a operação NAND é suficiente. (*a*) A operação NÃO, (*b*) a operação AND, (*c*) a operação OR.

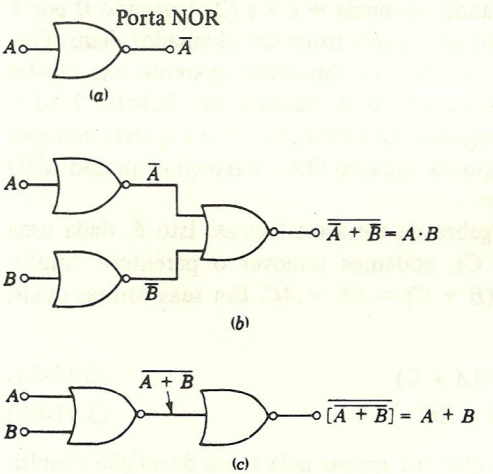


FIGURA 3.10-3
Mostrando que a operação NOR é suficiente. (*a*) A operação NÃO, (*b*) a operação AND, (*c*) a operação OR.

3.11 TEOREMAS DA ÁLGEBRA BOOLEANA

Iremos agora desenvolver vários teoremas que são úteis em simplificar expressões de variáveis lógicas. Restringiremos nossa atenção para teoremas envolvendo os conectivos OR e AND e a operação NÃO. Usaremos os símbolos para adição e multiplicação para representar estes conectivos e empregaremos a notação **0**, **1** para representar que uma proposição lógica é verdadeira ou falsa, respectivamente.

Podemos notar, inicialmente, em conexão com a operação NÃO, que os seguintes resultados seguem auto-evidentes pelo fato de que uma variável A pode ter apenas dois valores $A = \mathbf{1}$ ou $A = \mathbf{0}$. Assim,

$$\overline{\overline{A}} = A \tag{3.11-1}$$

pois se $A = \mathbf{1}$, então $\overline{A} = \mathbf{0}$ e $\overline{\overline{A}} = \mathbf{1}$ de novo. Similarmente, $\overline{\mathbf{0}} = \mathbf{1}$ e $\overline{\mathbf{1}} = \mathbf{0}$. Também

$A + \mathbf{0} = A$	(3.11-2a)	$A \cdot \mathbf{1} = A$	(3.11-2b)
$A + \mathbf{1} = \mathbf{1}$	(3.11-3a)	$A \cdot \mathbf{0} = \mathbf{0}$	(3.11-3b)
$A + A = A$	(3.11-4a)	$A \cdot A = A$	(3.11-4b)
$A + \overline{A} = \mathbf{1}$	(3.11-5a)	$A \cdot \overline{A} = \mathbf{0}$	(3.11-5b)

Estes oito teoremas envolvem uma variável simples. A prova de qualquer teorema individual é facilmente obtida, tirando-se vantagem do fato de que a variável pode ter apenas dois valores possíveis. Assim, é possível provar um teorema considerando todos os valores possíveis da variável e mostrando que o teorema é válido em cada caso. Considere, por exemplo, a Eq. (3.11-5a). Se $A = \mathbf{1}$, temos $\mathbf{1} + \mathbf{0} = \mathbf{1}$, que está correto. Se $A = \mathbf{0}$, temos $\mathbf{0} + \mathbf{1} = \mathbf{1}$, que também está correto.

Podemos notar uma relação interessante entre os teoremas tabelados, acima, na coluna da esquerda e aqueles na coluna da direita. Dada uma equação em uma coluna, a equação correspondente na outra coluna pode ser escrita (1) trocando os sinais + e · e (2) trocando **0** por **1** e vice-versa. Os teoremas relacionados com outro por esta dupla troca são chamados *duais*. Que esta dualidade deveria existir não é surpreendente em vista da dualidade aparente nas tabelas da verdade das operações OR e AND. Examinando as tabelas da verdade das Tabelas 3.9-1 e 3.9-2 e a Eq. (3.9-1), encontramos que a primeira equação na tabela de OR e a quarta equação na tabela de AND são duais. Equivalentemente, a segunda equação OR e a terceira equação AND são duais, e assim por diante para as demais equações.

As *leis distributivas* se aplicam para nossa álgebra de variáveis lógicas. Isto é, dada uma expressão envolvendo um parêntese como $A(B + C)$, podemos remover o parêntese "multiplicando" como em álgebra ordinária e obtemos $A(B + C) = AB + AC$. Em suas formas duais, a lei distributiva aparece como

$$A + BC = (A + B)(A + C) \qquad (3.11\text{-}6a)$$

e

$$A(B + C) = AB + AC \qquad (3.11\text{-}6b)$$

Note que, não havendo **1** e **0** nas Eqs. (3.11-6), elas diferem apenas pela troca de adição e multiplicação. A Eq. (3.11-6b) é bastante aceitável intuitivamente, devido a sua correspondência com a álgebra ordinária. A Eq. (3.11-6a) parece um pouco estranha e é necessário acostumar-se a ela. Em qualquer caso, o estudante pode verificar as Eqs. (3.11-6) substituindo todas as combinações possíveis das variáveis na equação, havendo oito combinações.

Tabulemos agora outros teoremas úteis, cada caso com sua forma dual.

$A + AB = A$	(3.11-7a)	$A(A + B) = A$	(3.11-7b)
$A + \overline{A}B = A + B$	(3.11-8a)	$A(\overline{A} + B) = AB$	(3.11-8b)
$AB + A\overline{B} = A$	(3.11-9a)	$(A + B)(A + \overline{B}) = A$	(3.11-9b)
$AB + \overline{A}C = (A + C)(\overline{A} + B)$	(3.11-10a)	$(A + B)(\overline{A} + C) = AC + \overline{A}B$	(3.11-10b)
$AB + \overline{A}C + BC = AB + \overline{A}C$	(3.11-11a)	$(A + B)(\overline{A} + C)(B + C) = (A + B)(\overline{A} + C)$	(3.11-11b)

EXEMPLO 3.11-1. Provar que a Eq. (3.11-8*a*) é correta.

Solução. A verificação da Eq. (3.11-8*a*) segue diretamente da comparação das tabelas da verdade para $A + \bar{A}B$ e para $A + B$ mostrado a seguir.

A	B	$Z_1 = A + \bar{A} \cdot B$	$Z_2 = A + B$
0	0	$0 + 0 = 0$	$0 + 0 = 0$
0	1	$0 + 1 = 1$	$0 + 1 = 1$
1	0	$1 + 0 = 1$	$1 + 0 = 1$
1	1	$1 + 0 = 1$	$1 + 1 = 1$

Assim, $Z_1 = Z_2$, e a Eq. (3.11-8*a*) é correta.

EXEMPLO 3.11-2. Provar que a Eq. (3.11-11*b*) é correta.

Solução. A verificação de (3.11-11*b*) segue diretamente da comparação das tabelas da verdade para $(A + B)(\bar{A} + C)(B + C)$ e para $(A + B)(\bar{A} + C)$ mostradas abaixo. Note que há 8 diferentes entradas na tabela da verdade. Isto é devido ao fato de A, B e C poderem, cada uma independentemente, ter um de dois valores possíveis. Assim A, B e C podem ter $2 \times 2 \times 2 = 2^3$ valores diferentes. O sistema de ordenar, empregado na tabela da verdade, é explicado na seção 3.13.

A	B	C	$Z_1 = (A + B)(\bar{A} + C)(B + C)$	$Z_2 = (A + B)(\bar{A} + C)$
0	0	0	$0 \cdot 1 \cdot 0 = 0$	$0 \cdot 0 = 0$
0	0	1	$0 \cdot 1 \cdot 1 = 0$	$0 \cdot 1 = 0$
0	1	0	$1 \cdot 1 \cdot 1 = 1$	$1 \cdot 1 = 1$
0	1	1	$1 \cdot 1 \cdot 1 = 1$	$1 \cdot 1 = 1$
1	0	0	$1 \cdot 0 \cdot 0 = 0$	$1 \cdot 0 = 0$
1	0	1	$1 \cdot 1 \cdot 1 = 1$	$1 \cdot 1 = 1$
1	1	0	$1 \cdot 0 \cdot 1 = 0$	$1 \cdot 0 = 0$
1	1	1	$1 \cdot 1 \cdot 1 = 1$	$1 \cdot 1 = 1$

Desde que $Z_1 = Z_2$ para todas as combinações possíveis de A, B e C, o teorema é verificado.

Finalmente, anotamos um último teorema adicional de importância suficiente para merecer ser destacado. Conhecido como *teorema de De Morgan*, aplica-se a um número arbitrário de variáveis e, em suas formas duais, é dado por

$$\overline{A \cdot B \cdot C \cdots} = \bar{A} + \bar{B} + \bar{C} + \cdots \qquad (3.11\text{-}12a)$$

$$\overline{A + B + C + \cdots} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdots \qquad (3.11\text{-}12b)$$

Em palavras, estas equações indicam que (1) o complemento de um produto de variáveis é igual à soma dos complementos das variáveis individuais e (2) o complemento de uma soma de variáveis é igual ao produto dos complementos das variáveis individuais.

A prova do teorema de De Morgan para duas variáveis foi apresentada na seção 3.5 na discussão das operações NAND e NOR [veja Eqs. (3.5-3) e (3.5-9)]. A extensão do teorema para um número arbitrário de variáveis é deixada como um problema (Prob. 3.11-5).

3.12 UM EXEMPLO

Como uma ilustração de aplicação dos teoremas da seção precedente, consideremos o seguinte exemplo.

Suponha que um estudante em uma universidade consulta o boletim da escola para determinar se ele é ou não elegível para matricular-se em um dado curso de eletrônica. Ele descobre que um estudante pode se matricular no curso se e apenas se ele satisfaz as seguintes condições:

1. Ele completou pelo menos 60 créditos e é um estudante de engenharia em boa situação (não sob teste), ou
2. Ele completou pelo menos 60 créditos e é um estudante de engenharia e tem a aprovação do departamento, ou
3. Ele completou menos que 60 créditos e é um estudante de engenharia sob teste, ou
4. Ele está em boa situação e tem a aprovação do departamento, ou
5. Ele é um estudante de engenharia e não tem a aprovação do departamento.

Vamos ver como estas especificações bastante complexas podem ser simplificadas. Para este propósito, introduzimos variáveis lógicas A, B, C, D e Z e fazemos as designações que seguem:

A = o estudante completou pelo menos 60 créditos
B = o estudante é um estudante de engenharia
C = o estudante está em boa situação
D = o estudante tem a aprovação do departamento
Z = o estudante pode matricular-se no curso de eletrônica

Então, pelo exemplo, $C = \mathbf{1}$ representa a proposição: é verdadeiro que o estudante está em boa situação. Correspondentemente, $C = \mathbf{0}$, ou equivalente a $\overline{C} = \mathbf{1}$, representa a proposição que o estudante está em teste, etc. Então podemos escrever a especificação total na equação algébrica lógica

$$Z = ABC + ABD + \overline{A}B\overline{C} + CD + B\overline{D} \tag{3.12-1}$$

com a interpretação de que qualquer combinação de valores das variáveis que fornecem $Z = \mathbf{1}$ resulta em satisfazer as condições exigidas.

Combinando o segundo e quinto termos da Eq. (3.12-1) e fatorando B destes termos, como é permitido pela Eq. (3.11-6*b*), temos

$$Z = ABC + \overline{A}B\overline{C} + CD + B(\overline{D} + DA) \tag{3.12-2}$$

Da Eq. (3.11-8*a*), $\overline{D} + DA = \overline{D} + A$; fazendo esta simplificação e então removendo o parêntese da Eq. (3.12-2), temos

$$Z = ABC + AB + \overline{A}B\overline{C} + CD + B\overline{D} \tag{3.12-3}$$

Fatorando o produto AB dos dois primeiros termos da Eq. (3.12-3) e notando, como na Eq. (3.11-3*a*), que $C + \mathbf{1} = \mathbf{1}$, temos

$$Z = AB + \overline{A}B\overline{C} + CD + B\overline{D} \tag{3.12-4}$$

Fatorando B dos dois primeiros termos da Eq. (3.12-4) e reconhecendo, como na Eq. (3.11-8a), que $A + \bar{A}\bar{C} = A + \bar{C}$, vemos que a Eq. (3.12-4) se torna

$$Z = AB + B\bar{C} + CD + B\bar{D} \tag{3.12-5}$$

Da Eq. (3.11-11a) notamos que, dada uma expressão $CD + B\bar{D}$, que aparece como os dois últimos termos na Eq. (3.12-5), podemos adicionar o termo BC sem alterar o valor da expressão. Adicionando tal termo e combinando-o com o segundo termo na Eq. (3.12-5), temos

$$Z = AB + B(\bar{C} + C) + CD + B\bar{D} \tag{3.12-6}$$

Como, pela Eq. (3.11-5a), $\bar{C} + C = 1$ e pela Eq. (3.11-2b) $B \cdot 1 = B$, encontramos que

$$Z = AB + B + CD + B\bar{D} \tag{3.12-7}$$

Agora combinamos o primeiro, o segundo e o quarto termos da Eq. (3.12-7), de modo que Z resulta

$$Z = B(1 + A + \bar{D}) + CD \tag{3.12-8}$$

Usando a Eq. (3.11-3a), que afirma que $1 + X = 1$, e fazendo $X = A + \bar{D}$ na Eq. (3.12-8), obtemos

$$Z = B + CD \tag{3.12-9}$$

Portanto, evidencia-se que a afirmação bastante complexa acima pode ser simplificada para ler: "o estudante pode se matricular no curso se ele é um estudante de engenharia, OU se ele é um estudante em boa situação E tem a aprovação do departamento".

O método empregado nesta seção para simplificar a expressão da Eq. (3.12-1) deixa a desejar. Necessita alguma perspicácia e previsão para saber como melhor combinar os termos, quando adicionar os termos tendo em vista eventual simplificação e quais teoremas utilizar. Iniciando na seção 3.16, discutiremos um método de simplificação alternativo que emprega um procedimento muito mais rotineiro e sistemático.

3.13 O SISTEMA NUMÉRICO BINÁRIO

No sistema numérico da vida diária, o sistema *decimal*, dez dígitos são empregados, 0, 1, . . . , 9. Um número maior que 9 é representado através de uma convenção que atribui um significado ao *lugar* ou *posição* ocupado pelo dígito. Por exemplo, devido à posição ocupada pelos dígitos individuais no número 6.903, este número tem um significado numérico calculado como

$$6.903 = 6 \times 10^3 + 9 \times 10^2 + 0 \times 10^1 + 3 \times 10^0 \tag{3.13-1}$$

Notamos, como na Eq. (3.13-1), que um número é expresso como a soma de *potências de dez* multiplicadas pelos coeficientes apropriados. No sistema decimal, dez é chamado de *raiz* ou *base* do sistema.

É, claro, inteiramente possível, e freqüentemente muito útil, trabalhar com um sistema cuja base é diferente de dez. Em sistemas digitais, um sistema numérico com a base *dois* é especialmente útil. Tal sistema é chamado sistema *binário* e utiliza apenas dois dígitos, 0 e 1. A vantagem de usar o sistema binário em conexão com sistemas digitais está no fato de que podemos arranjar

uma correspondência única entre os dois dígitos (números) 0 e 1 e os dois valores possíveis (F e V) de uma variável lógica representados pelos símbolos (não números) **0** e **1**. Na verdade, a associação torna-se, em certas ocasiões, tão íntima e tão conveniente que é útil perder de vista a distinção.

No sistema binário, os dígitos individuais representam os coeficientes de potências de *dois* em vez de *dez*, como no sistema decimal. Por exemplo, o número decimal 19 é escrito na representação binária como 10011 pois

$$10011 = 1 \times 2^4 + 0 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 \qquad (3.13\text{-}2a)$$

$$16 + 0 + 0 + 2 + 1 = 19 \qquad (3.13\text{-}2b)$$

Uma pequena lista de números equivalentes nas notações decimal e binária é dada na Tabela 3.13-1.

TABELA 3.13-1
Números Equivalentes nas Notações Decimal e Binária

Notação decimal	*Notação binária*	*Notação decimal*	*Notação binária*	*Notação decimal*	*Notação binária*	*Notação decimal*	*Notação binária*
0	00000	6	00110	12	01100	18	10010
1	00001	7	00111	13	01101	19	10011
2	00010	8	01000	14	01110	20	10100
3	00011	9	01001	15	01111	21	10101
4	00100	10	01010	16	10000	22	10110
5	00101	11	01011	17	10001	23	10111

A conversão de um número na representação binária para decimal é ilustrada nas Eqs. (3.13-2). A conversão da representação decimal para binária é obtida pelo procedimento indicado na Tabela 3.13-2. O procedimento é o seguinte: o número decimal (neste caso, 19) é colocado na extrema direita. Dividimos por 2 e colocamos o *quociente* à esquerda e o *resto* embaixo do quociente. Este processo é repetido (para a próxima coluna temos 9/2 que fornece um quociente de 4 e um resto de 1), até que um quociente nulo seja obtido. O conjunto de 1 e 0 na segunda linha é a representação binária do número originalmente expresso na forma decimal. Neste exemplo, encontramos que o decimal 19 = 10011 binário.

TABELA 3.13-2
Conversão Decimal para Binário

Dividir por 2	*0*	*1*	*2*	*4*	*9*	*19 decimal*
Resto	1	0	0	1	1	Binário

Conversão de números menores que a unidade. Um número que não é inteiro pode ser representado utilizando a notação *vírgula decimal*; por exemplo, o número 1,8125 tem o significado numérico

$$1{,}8125 = 1 \times 10^0 + 8 \times 10^{-1} + 1 \times 10^{-2} + 2 \times 10^{-3} + 5 \times 10^{-4} \qquad (3.13\text{-}3)$$

De forma similar, podemos expressar um número não-inteiro usando a notação *vírgula binária*. Assim, o número binário

$$1{,}1101 = 1 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} \qquad (3.13\text{-}4)$$

Então, *bits* à direita da vírgula binária multiplicam-se por 2^{-n}, onde n é a distância do bit à direita da vírgula binária.

A conversão de um número decimal para binário quando o número é menor do que a unidade é feita como mostra a Tabela 3.13-3. Aqui vemos a conversão do número decimal 0,8125 para o número binário 0,1101. O procedimento é como segue. O número decimal (neste caso, 0,8125) é colocado na extrema *esquerda. Multiplicamos* por 2. Se o produto resultante é maior ou igual a 1, subtraímos 1 do produto e colocamos a diferença à direita. Colocamos também um 1 embaixo. Se o produto resultante é menor que a unidade, colocamos um 0 embaixo. Este procedimento é repetido até que a diferença seja zero. Neste exemplo, encontramos que 0,8125 = 0,1101. Geralmente, diferente da situação deste exemplo, mesmo quando o número decimal tem um número finito de dígitos significativos, o equivalente binário pode não terminar.

TABELA 3.13-3
Conversão de Número Decimal em Binário para Números Menores do que 1

Decimal 0,8125	0,8125 × 2 = 1,625 1,625 − 1 = 0,625	0,625 × 2 = 1,25 1,25 − 1 = 0,25	0,25 × 2 = 0,5 0,5	0,5 × 2 = 1,0 1 − 1 = 0
Binário	1	1	0	1

3.14 O CÓDIGO BINÁRIO REFLETIDO DE GREY

O sistema numérico binário discutido na seção 3.13 representa números por uma seqüência de 0 e 1. A seqüência é "natural" e geralmente entendida, pois segue o padrão de significado atribuído às posições dos dígitos na representação decimal mais familiar. Se quisermos, entretanto, poderemos representar um número por uma seqüência de 0 e 1 inteiramente idealizada de modo arbitrário. Para evitar ambigüidade, é, evidentemente, necessário que a cada valor numérico seja atribuída uma seqüência individual e distinta.

Sistemas de representação numérica diferentes da representação natural são chamados de *códigos* numéricos, pois precisamos ter o "código" (as regras de atribuições de seqüências para números), de modo a determinar o valor numérico representado pela seqüência. Muitos códigos binários, úteis em uma variedade de aplicações diferentes em sistemas digitais, têm sido inventados. Consideraremos aqui o *código binário refletido de Grey*, freqüentemente usado em sistemas digitais.

No código de Grey, os dois primeiros números, zero e um, são representados como na representação binária natural pelos dígitos 0 e 1. Os dois números seguintes, dois e três, são expressos em uma representação como mostrada na Fig. 3.14-1*a*. Um "espelho" representado pela linha tracejada é colocado debaixo dos primeiros dois números, dando origem à reflexão indicada. Depois, o dígito 0 é acrescentado acima do espelho e o dígito 1 é acrescentado abaixo do espelho. Assim, os números decimais 0, 1, 2 e 3 são representados respectivamente no código de Grey por 00, 01, 11, 10. Repetições sucessíveis do processo de reflexão permitem-nos estender

a representação do código de Grey. As primeiras oito representações do código de Grey são dadas na Fig. 3.14-1*b*. As duas colunas de dígitos à direita acima e abaixo do espelho são reflexões uma da outra. A coluna mais à esquerda é 0 acima e 1 abaixo do espelho. A Fig. 3.14-1*c* é uma lista das 16 primeiras representações do código de Grey.

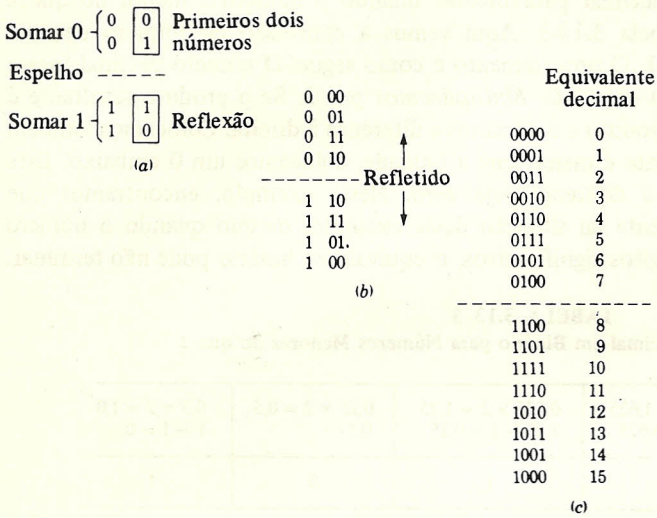


FIGURA 3.14-1
O desenvolvimento do código binário refletido de Grey.

Uma característica especialmente útil do código de Grey é que as representações de números sucessivos diferem uma da outra em apenas um único dígito. Por exemplo, note que o número 7 (decimal) = 0100 (Grey), enquanto o número 8 (decimal) = 1100 (Grey, acarretando uma mudança apenas no primeiro dígito. Por contraste, note que 7 = 0111 (binário natural), enquanto 8 = 1000 (binário natural). Neste caso, todos os quatro dígitos mudaram. Esta característica do código de Grey é vantajosa em várias situações.

3.15 FORMAS-PADRÃO PARA FUNÇÕES LÓGICAS: A SOMA-PADRÃO DE PRODUTOS

Com vista a desenvolver um método para simplificar funções lógicas, introduzimos neste ponto duas *formas-padrão* nas quais funções lógicas podem ser expressas. A primeira destas, a forma *soma-padrão de produtos*, é ilustrada nos seguintes exemplos.

EXEMPLO 3.15-1. Dada a função lógica de quatro variáveis

$$f(A, B, C, D) = (\bar{A} + BC)(B + CD) \tag{3.15-1}$$

expressar a função como uma *soma de produtos.*

Solução. Usando a lei distributiva [Eq. (3.11-6*b*)], encontramos

De forma similar, podemos expressar um número não-inteiro usando a notação *vírgula binária*. Assim, o número binário

$$1{,}1101 = 1 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} \qquad (3.13\text{-}4)$$

Então, *bits* à direita da vírgula binária multiplicam-se por 2^{-n}, onde n é a distância do bit à direita da vírgula binária.

A conversão de um número decimal para binário quando o número é menor do que a unidade é feita como mostra a Tabela 3.13-3. Aqui vemos a conversão do número decimal 0,8125 para o número binário 0,1101. O procedimento é como segue. O número decimal (neste caso, 0,8125) é colocado na extrema *esquerda. Multiplicamos* por 2. Se o produto resultante é maior ou igual a 1, subtraímos 1 do produto e colocamos a diferença à direita. Colocamos também um 1 embaixo. Se o produto resultante é menor que a unidade, colocamos um 0 embaixo. Este procedimento é repetido até que a diferença seja zero. Neste exemplo, encontramos que 0,8125 = 0,1101. Geralmente, diferente da situação deste exemplo, mesmo quando o número decimal tem um número finito de dígitos significativos, o equivalente binário pode não terminar.

TABELA 3.13-3
Conversão de Número Decimal em Binário para Números Menores do que 1

Decimal 0,8125	0,8125 × 2 = 1,625 1,625 − 1 = 0,625	0,625 × 2 = 1,25 1,25 − 1 = 0,25	0,25 × 2 = 0,5 0,5	0,5 × 2 = 1,0 1 − 1 = 0
Binário	1	1	0	1

3.14 O CÓDIGO BINÁRIO REFLETIDO DE GREY

O sistema numérico binário discutido na seção 3.13 representa números por uma seqüência de 0 e 1. A seqüência é "natural" e geralmente entendida, pois segue o padrão de significado atribuído às posições dos dígitos na representação decimal mais familiar. Se quisermos, entretanto, poderemos representar um número por uma seqüência de 0 e 1 inteiramente idealizada de modo arbitrário. Para evitar ambigüidade, é, evidentemente, necessário que a cada valor numérico seja atribuída uma seqüência individual e distinta.

Sistemas de representação numérica diferentes da representação natural são chamados de *códigos* numéricos, pois precisamos ter o "código" (as regras de atribuições de seqüências para números), de modo a determinar o valor numérico representado pela seqüência. Muitos códigos binários, úteis em uma variedade de aplicações diferentes em sistemas digitais, têm sido inventados. Consideraremos aqui o *código binário refletido de Grey*, freqüentemente usado em sistemas digitais.

No código de Grey, os dois primeiros números, zero e um, são representados como na representação binária natural pelos dígitos 0 e 1. Os dois números seguintes, dois e três, são expressos em uma representação como mostrada na Fig. 3.14-1*a*. Um "espelho" representado pela linha tracejada é colocado debaixo dos primeiros dois números, dando origem à reflexão indicada. Depois, o dígito 0 é acrescentado acima do espelho e o dígito 1 é acrescentado abaixo do espelho. Assim, os números decimais 0, 1, 2 e 3 são representados respectivamente no código de Grey por 00, 01, 11, 10. Repetições sucessíveis do processo de reflexão permitem-nos estender

a representação do código de Grey. As primeiras oito representações do código de Grey são dadas na Fig. 3.14-1*b*. As duas colunas de dígitos à direita acima e abaixo do espelho são reflexões uma da outra. A coluna mais à esquerda é 0 acima e 1 abaixo do espelho. A Fig. 3.14-1*c* é uma lista das 16 primeiras representações do código de Grey.

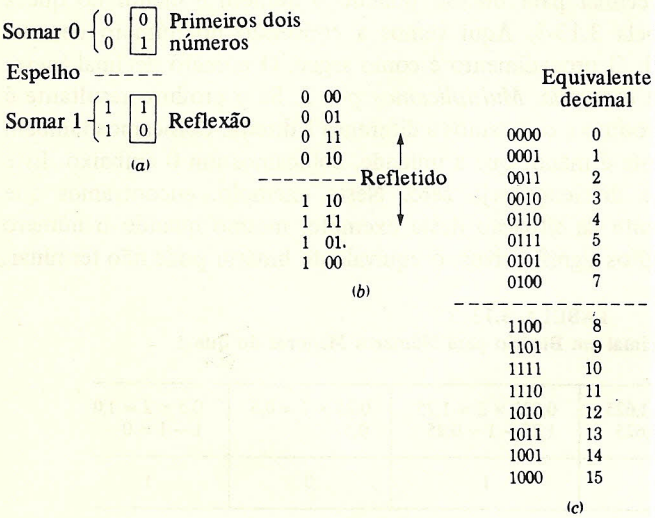


FIGURA 3.14-1
O desenvolvimento do código binário refletido de Grey.

Uma característica especialmente útil do código de Grey é que as representações de números sucessivos diferem uma da outra em apenas um único dígito. Por exemplo, note que o número 7 (decimal) = 0100 (Grey), enquanto o número 8 (decimal) = 1100 (Grey, acarretando uma mudança apenas no primeiro dígito. Por contraste, note que 7 = 0111 (binário natural), enquanto 8 = 1000 (binário natural). Neste caso, todos os quatro dígitos mudaram. Esta característica do código de Grey é vantajosa em várias situações.

3.15 FORMAS-PADRÃO PARA FUNÇÕES LÓGICAS: A SOMA-PADRÃO DE PRODUTOS

Com vista a desenvolver um método para simplificar funções lógicas, introduzimos neste ponto duas *formas-padrão* nas quais funções lógicas podem ser expressas. A primeira destas, a forma *soma-padrão de produtos*, é ilustrada nos seguintes exemplos.

EXEMPLO 3.15-1. Dada a função lógica de quatro variáveis

$$f(A, B, C, D) = (\bar{A} + BC)(B + CD) \tag{3.15-1}$$

expressar a função como uma *soma de produtos.*

Solução. Usando a lei distributiva [Eq. (3.11-6*b*)], encontramos

$$f(A, B, C, D) = (\bar{A} + BC)B + (\bar{A} + BC)CD \tag{3.15-2a}$$
$$= \bar{A}B + BBC + \bar{A}CD + BCCD \tag{3.15-2b}$$
$$= \bar{A}B + BC + \bar{A}CD + BCD \tag{3.15-2c}$$

pois, da Eq. (3.11-4*b*), $BB = B$ etc.

EXEMPLO 3.15-2. Dada a função lógica de cinco variáveis

$$f(A, B, C, D, E) = (A + \overline{BC})(\overline{D + BE}) \tag{3.15-3}$$

expressar a função como uma *soma de produtos*.

Solução. Usando o teorema de De Morgan e a lei distributiva, encontramos

$$f(A, B, C, D, E) = (A + \overline{BC})(\overline{D + BE}) \tag{3.15-4a}$$
$$= (A + \bar{B} + \bar{C})[\bar{D}(\overline{BE})] \tag{3.15-4b}$$
$$= (A + \bar{B} + \bar{C})[\bar{D}(\bar{B} + \bar{E})] \tag{3.15-4c}$$
$$= (A + \bar{B} + \bar{C})(\bar{B}\bar{D} + \bar{D}\bar{E}) \tag{3.15-4d}$$
$$= A\bar{B}\bar{D} + A\bar{D}\bar{E} + \bar{B}\bar{D} + \bar{B}\bar{D}\bar{E} + \bar{B}\bar{C}\bar{D} + \bar{C}\bar{D}\bar{E} \tag{3.15-4e}$$

Estes exemplos indicam como uma expressão lógica arbitrária pode ser escrita como uma *soma de produtos*. Se apenas variáveis individuais aparecem complementadas, como no primeiro exemplo, precisamos apenas da lei distributiva. Se um sinal de complemento aparece sobre uma combinação de variáveis, como no segundo exemplo, precisamos primeiro usar o teorema de De Morgan. Em qualquer caso, é sempre possível escrever uma expressão lógica como uma simples soma de termos, cada termo sendo um produto de alguma combinação de variáveis, algumas complementadas, algumas não. A mesma variável nunca precisa aparecer duas vezes em um produto. Pois, se tal repetição da variável, ou da variável complementada, aparecer na obtenção dos produtos, poderemos eliminar a repetição através do uso do teorema $AA = A$ ou $\bar{A}\bar{A} = \bar{A}$. Se, por outro lado, encontrarmos em um termo um produto $A\bar{A}$, o termo inteiro pode ser anulado, pois $A\bar{A} = \mathbf{0}$.

Notamos que, nas expressões de soma de produtos das Eqs. (3.15-2*c*) e (3.15-4*e*), os termos individuais não têm o mesmo número de variáveis e, como acontece nestes exemplos particulares, nenhum termo contém todas as variáveis. Uma padronização adicional levando a uma expressão na qual *todos* os termos contêm *todas* as variáveis (complementada ou não-complementada) pode ser obtida como indicada nas seguintes ilustrações.

EXEMPLO 3.15-3. Dada a função lógica de três variáveis

$$f(A, B, C) = A + \bar{B}C \tag{3.15-5}$$

na qual os termos individuais não contêm todas as três variáveis, reescrever a Eq. (3.15-5) de tal modo que todas as três variáveis apareçam em cada termo.

Solução. No primeiro termo da Eq. (3.15-5) não aparecem as variáveis B e C. Por isso, multiplicamos este termo por $(B + \bar{B})(C + \bar{C})$. Esta operação não altera o significado da função lógica, pois $B + \bar{B} = C + \bar{C} = 1$, como observado na Eq. (3.11-5*a*). De forma similar, como a variável A não aparece no segundo termo da Eq. (3.15-5), multiplicamos aquele termo por $A + \bar{A}$. A Eq. (3.15-5) torna-se então

$$f(A, B, C) = A(B + \bar{B})(C + \bar{C}) + (A + \bar{A})\bar{B}C \tag{3.15-6}$$

Usando a lei distributiva, temos

$$f(A, B, C) = ABC + AB\bar{C} + A\bar{B}C + A\bar{B}\bar{C} + A\bar{B}C + \bar{A}\bar{B}C \tag{3.15-7}$$

Eliminando a duplicação do termo $A\bar{B}C$, obtemos

$$f(A, B, C) = ABC + AB\bar{C} + A\bar{B}C + A\bar{B}\bar{C} + \bar{A}\bar{B}C \tag{3.15-8}$$

A forma da Eq. (3.15-8), na qual aparece uma soma de produtos, cada produto contendo todas as variáveis, é chamada *soma-padrão de produtos*. Cada termo individual é referido como um *minitermo*. A conveniência desta terminologia aparecerá na seção 3.19.

O mérito da forma soma-padrão de produtos como na Eq. (3.15-8) é que algumas informações acerca da função lógica tornam-se imediatamente disponíveis por inspeção. Como a forma envolve uma soma lógica de termos, a função f tem o valor verdadeiro $f = \mathbf{1}$ sempre que qualquer um (ou mais) dos termos tenha o valor lógico **1**. Consideremos, então, o primeiro termo da Eq. (3.15-8). Este termo, ABC, sendo um produto, terá o valor lógico **1** apenas quando $A = \mathbf{1}$, $B = \mathbf{1}$ e $C = \mathbf{1}$. Assim, este termo nos informa que $f = \mathbf{1}$ quando $A = \mathbf{1}$, $B = \mathbf{1}$ e $C = \mathbf{1}$. De forma similar, a presença do segundo termo ($AB\bar{C}$) nos informa que $f = \mathbf{1}$ quando $A = \mathbf{1}$, $B = \mathbf{1}$ e $\bar{C} = \mathbf{1}$, ou seja, quando $A = \mathbf{1}$, $B = \mathbf{1}$ e $C = \mathbf{0}$. Cada minitermo, então, especifica uma combinação de valores verdadeiros da variável individual para a qual a função tem o valor verdadeiro **1**. E todos os minitermos, coletivamente, especificam todas as combinações de valores verdadeiros das variáveis para as quais a função tem o valor verdadeiro **1**. Com N variáveis, existem 2^N minitermos. Se todos os minitermos estão presentes, $f = \mathbf{1}$ identicamente.

Cada minitermo corresponde a uma linha da tabela da verdade da função na qual a função f tem o valor $f = \mathbf{1}$. Assim, por exemplo, suponha que estamos examinando uma tabela da verdade de três variáveis e encontramos, examinando uma linha, que $f = \mathbf{1}$ quando $A = \mathbf{0}$, $B = \mathbf{1}$ e $C = \mathbf{0}$. Então, se f é expressa como uma soma de minitermos, encontramos que um dos minitermos é $\bar{A}B\bar{C}$. O número de minitermos em uma expressão para f é o mesmo número de linhas da tabela da verdade nas quais $f = \mathbf{1}$. Na seção seguinte consideraremos a segunda forma-padrão.

3.16 O PRODUTO-PADRÃO DE SOMAS

Na segunda forma-padrão, o *produto-padrão de somas*, uma função é expressa como um *produto de termos*, cada termo consistindo em uma soma, a soma envolvendo *todas* as variáveis na forma complementada ou não-complementada.

Na seção precedente chegamos a uma soma-padrão de produtos usando a regra [Eq. (3.11-5*a*)] $A + \bar{A} = \mathbf{1}$ e utilizando a lei distributiva na forma da Eq. (3.11-6*b*). Podemos agora estabelecer uma forma-padrão alternativa, a forma *produto-padrão de somas*, utilizando os duais destas duas regras. Assim, usamos a lei distributiva na forma $A + BC = (A + B)(A + C)$ [veja Eq. (3.11-6*a*)] e a regra $A\bar{A} = \mathbf{0}$. Para ilustrar o desenvolvimento do produto-padrão de somas, vamos usar novamente a função de três variáveis da Eq. (3.15-5).

EXEMPLO 3.16-1. Dada a função lógica de três variáveis

$$f(A, B, C) = A + \bar{B}C \tag{3.16-1}$$

expressar f na forma produto-padrão de somas.

Solução. Usando a lei distributiva na forma da Eq. (3.11-6*a*), temos

$$f(A, B, C) = A + \bar{B}C \tag{3.16-2a}$$

$$= (A + \bar{B})(A + C) \tag{3.16-2b}$$

Como no primeiro fator falta a variável C e no segundo falta a variável B, adicionamos $C\bar{C} = \mathbf{0}$ para o primeiro e $B\bar{B} = \mathbf{0}$ para o segundo. Temos então

$$f(A, B, C) = (A + \bar{B} + C\bar{C})(A + B\bar{B} + C) \tag{3.16-3a}$$

$$= (A + \bar{B} + C)(A + \bar{B} + \bar{C})(A + B + C)(A + \bar{B} + C) \tag{3.16-3b}$$

Para obter este resultado foi utilizado, de acordo com a Eq. (3.11-6*a*),

$$(A + \bar{B}) + C \cdot \bar{C} = [(A + \bar{B}) + C][(A + \bar{B}) + \bar{C}] \tag{3.16-4}$$

Como o primeiro e o quarto fatores na Eq. (3.16-3*b*) são uma duplicação, e como $XX = X$, eliminamos a duplicação e temos

$$f(A, B, C) = (A + \bar{B} + C)(A + \bar{B} + \bar{C})(A + B + C) \tag{3.16-5}$$

Cada fator na Eq. (3.16-5) é referido como uma *maxitermo*.

Assim como a forma soma-padrão de produtos torna aparente, por inspeção, a combinação de valores verdadeiros de variáveis para a qual $f = \mathbf{1}$, também a forma produto-padrão de somas, como na Eq. (3.16-5), especifica a combinação de valores verdadeiros das variáveis para a qual $f = \mathbf{0}$. Pois $f = \mathbf{0}$ sempre que um (ou mais) maxitermo tenha o valor verdadeiro **0**, e o maxitermo terá o valor verdadeiro **0** apenas quando *todos* os termos na soma tiverem o valor verdadeiro **0**. Assim, do primeiro fator da Eq. (3.16-5) observamos que $f = \mathbf{0}$ quando $A = \mathbf{0}$, $\bar{B} = \mathbf{0}$ e $C = \mathbf{0}$, ou seja, $A = \mathbf{0}$, $B = \mathbf{1}$ e $C = \mathbf{0}$.

Cada maxitermo corresponde a uma linha da tabela da verdade da função na qual a função f tem o valor $f = \mathbf{0}$. Assim, por exemplo, suponha que estamos examinando uma tabela da verdade de três variáveis e encontramos, verificando uma linha, que $f = \mathbf{0}$ quando $A = \mathbf{0}$, $B = \mathbf{1}$ e $C = \mathbf{0}$. Então, se f é expressa como um produto de maxitermos, encontraremos que um dos maxitermos é $(A + \bar{B} + C)$. O número de maxitermos em uma expressão para f é igual ao número de linhas da tabela da verdade para as quais $f = \mathbf{0}$.

Resumindo, uma função lógica pode ser escrita na forma soma-padrão de produtos ou na forma produto-padrão de somas. No primeiro caso, a função é expressa em termos de minitermos que especificam os **1** da função. No segundo caso, a função é expressa em termos de maxitermos, que especificam os **0** da função.

A mesma função [Eq. (3.15-5)] é expressa em minitermos na Eq. (3.15-8) e em maxitermos na Eq. (3.16-5). Podemos facilmente verificar a consistência entre estas duas formas. Notamos que, como há 3 variáveis envolvidas, há $2^3 = 8$ combinações possíveis de variáveis. Verifica-se que há 5 combinações para as quais $f = \mathbf{1}$, e portanto há 5 minitermos na Eq. (3.15-8). Antecipamos, então, que, quando f é expressa em maxitermos, deve haver $8 - 5 = 3$ maxitermos, como realmente há na Eq. (3.16-5). Em seguida, e através do exemplo, notamos que o maxitermo $A + \bar{B} + C$ significa que $f = \mathbf{0}$ se $A = \mathbf{0}$, $B = \mathbf{1}$ e $C = \mathbf{0}$. Se supuséssemos que esta combinação de variáveis fornecesse $f = \mathbf{1}$, então na Eq. (3.16-1) deveríamos ter um termo $\bar{A}B\bar{C}$.

3.17 ESPECIFICAÇÕES DE FUNÇÕES LÓGICAS POR MINITERMOS E MAXITERMOS

A padronização de formas de funções lógicas introduzida nas seções precedentes nos permite introduzir uma notação abreviada muito conveniente para expressar funções lógicas.

Através de exemplo, consideremos uma função lógica envolvendo três variáveis, A, B e C. Vamos convencionar que, ao escrever um minitermo particular, devemos sempre escrever o minitermo com as variáveis em uma dada ordem. Isto é, um minitermo típico seria escrito, digamos, $A\bar{B}C$ e nunca $\bar{B}AC$ ou $AC\bar{B}$, etc. Em seguida, atribuímos o dígito binário numérico 0 a cada variável complementada e o dígito binário 1 a cada variável não-complementada. Desta forma, o minitermo $A\bar{B}C$ seria representado pelo número 101 (binário), que é igual a 5 (decimal). Referimos, então, o minitermo $A\bar{B}C$ pelo símbolo m_5. Desta mesma maneira, o minitermo $\bar{A}\bar{B}\bar{C}$ torna-se m_0 e o minitermo ABC torna-se m_7.

Quando tratamos com maxitermos, a ordem de atribuição de dígito binário é invertida. A uma variável complementada é atribuído o dígito binário numérico 1 e a uma variável não-complementada, o dígito 0. O maxitermo $A + \bar{B} + C$ é, então, representado pelo número 010 (binário), que é igual a 2 (decimal). Nós, então, nos referimos ao maxitermo $A + \bar{B} + C$ pelo símbolo M_2. Desta mesma maneira, o maxitermo $\bar{A} + \bar{B} + \bar{C}$ torna-se M_7, e o maxitermo $A + B + C$ torna-se M_0. A atribuição de símbolos para minitermos e maxitermos para o caso de três variáveis é dada na Tabela 3.17-1.

TABELA 3.17-1
Designação de Minitermos e Maxitermos

Variável complementada (C) ou não-complementada (N)			*Minitermo e designação*	*Maxitermo e designação*
A	*B*	*C*		
C	C	C	$\bar{A}\bar{B}\bar{C} = m_0$	$\bar{A} + \bar{B} + \bar{C} = M_7$
C	C	N	$\bar{A}\bar{B}C = m_1$	$\bar{A} + \bar{B} + \bar{C} = M_6$
C	N	C	$\bar{A}B\bar{C} = m_2$	$\bar{A} + B + \bar{C} = M_5$
C	N	N	$\bar{A}BC = m_3$	$\bar{A} + B + C = M_4$
N	C	C	$A\bar{B}\bar{C} = m_4$	$A + \bar{B} + \bar{C} = M_3$
N	C	N	$A\bar{B}C = m_5$	$A + \bar{B} + C = M_2$
N	N	C	$AB\bar{C} = m_6$	$A + B + \bar{C} = M_1$
N	N	N	$ABC = m_7$	$A + B + C = M_0$

Uma função lógica pode ser expressa mais convenientemente em termos dessa nova notação. Assim, suponha que em uma função de três variáveis encontramos que, quando expressa em forma de minitermos, apenas os minitermos m_0, m_3, m_6 e m_7 estão presentes. Então, escreveríamos esta função $f(A, B, C)$ como

$$f(A, B, C) = m_0 + m_3 + m_6 + m_7 \qquad (3.17\text{-}1)$$

ou, ainda mais simplesmente,

$$f(A, B, C) = \sum m(0, 3, 6, 7) \tag{3.17-2}$$

Similarmente, se encontrássemos que em alguma função $f(A, B, C)$, expressa em termos de maxitermos, aparecem apenas os maxitermos M_0, M_2, M_3 e M_7, iríamos escrever

$$f(A, B, C) = M_0 \cdot M_2 \cdot M_3 \cdot M_7 \tag{3.17-3}$$

ou, mais simplesmente,

$$f(A, B, C) = \prod M(0, 2, 3, 7) \tag{3.17-4}$$

Como um exemplo adicional envolvendo minitermos, escrevemos abaixo uma função, a designação binária dos minitermos, a designação decimal, e finalmente a expressão abreviada para a função.

$$f(A, B, C, D) = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}BC\bar{D} + A\bar{B}C\bar{D} + ABCD \tag{3.17-5}$$

$$\begin{array}{cccc} 0000 & 0110 & 1010 & 1111 \\ 0 & 6 & 10 & 15 \end{array}$$

$$f(A, B, C, D) = \sum m(0, 6, 10, 15) \tag{3.17-6}$$

Como um exemplo utilizando maxitermos, considere

$$f(A, B, C, D) = (A + B + C + D)(A + \bar{B} + C + \bar{D})(\bar{A} + B + \bar{C} + \bar{D})(\bar{A} + \bar{B} + \bar{C} + \bar{D}) \tag{3.17-7}$$

$$\begin{array}{cccc} 0000 & 0101 & 1011 & 1111 \\ 0 & 5 & 11 & 15 \end{array}$$

$$f(A, B, C, D) = \prod M(0, 5, 11, 15) \tag{3.17-8}$$

Há uma relação do tipo complementar entre uma função expressa em termos de minitermos e a mesma função expressa em termos de maxitermos. Pois, suponha que estamos tratando com funções de três variáveis. Digamos que, quando $A = \mathbf{1}$, $B = \mathbf{0}$ e $C = \mathbf{1}$, a função é $f = \mathbf{0}$. Então, quando f é expressa como uma soma de minitermos, o minitermo $A\bar{B}C$, isto é, o minitermo m_5 (101) não estará presente. Como, entretanto, $f = \mathbf{0}$ para esta combinação de variáveis, o termo $\bar{A} + B + \bar{C}$ irá realmente aparecer como um dos maxitermos. Este maxitermo é M_5. Assim, em geral, se o minitermo m_k *não estiver presente* na lista de minitermos, o maxitermo M_k *estará presente* e vice-versa. Por exemplo, se uma função de 3 variáveis com 8 combinações de variáveis, numeradas de 0 a 7 é $f = \Pi M(0, 3, 6, 7)$, então esta *mesma função* pode ser escrita como $f = \Sigma m(1, 2, 4, 5)$.

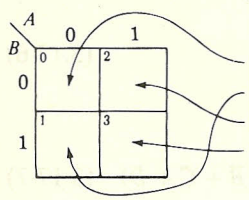
De modo similar, suponha que escrevemos uma função f em termos da combinação de variáveis que tornam $f = \mathbf{1}$, isto é, em termos de minitermos. Então, suponha que escrevemos uma segunda função g relacionada com f de modo que cada minitermo foi substituído por um maxitermo de igual número. Então os $\mathbf{0}$ de g serão os $\mathbf{1}$ de f e vice-versa, de modo que $g = \bar{f}$. Por exemplo, para um caso de três variáveis, se

$$f = \Sigma m(0, 3, 6, 7) \quad \text{então} \quad \bar{f} = \Pi M(0, 3, 6, 7) \tag{3.17-9}$$

Estas relações entre os minitermos e os maxitermos de uma função e da sua função complementar têm uma correspondência exata com a tabela da verdade. O fato de que um maxitermo M_k aparece em uma função se o minitermo m_k não está presente corresponde ao fato de que linhas onde a função f não é $f = \mathbf{1}$ deve ser uma linha onde $f = \mathbf{0}$. De forma similar, uma função f e seu complemento $\bar{f}$ têm tabelas da verdade na qual os **0** e **1** para f são trocados.

3.18 A REPRESENTAÇÃO DE FUNÇÕES LÓGICAS POR MAPA DE KARNAUGH

Um mapa de Karnaugh (mapa K) é um diagrama que fornece uma área para representar todas as linhas de uma tabela da verdade. A utilidade do mapa K está no fato de que a maneira particular de localizar as áreas torna possível simplificar uma expressão lógica por inspeção visual. Nas seções seguintes veremos como o mapa K permite tal simplificação. Nesta seção iremos apenas explicar a relação entre o mapa K e a tabela da verdade. Ilustraremos a relação com o caso de uma função $f(A, B)$ de duas variáveis.



(a)

Linha nº	A	B	f
0	0	0	
1	0	1	
2	1	0	
3	1	1	

(b)

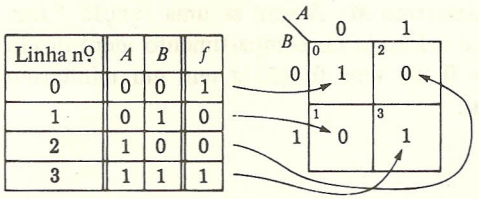
FIGURA 3.18-1
A relação entre o mapa de Karnaugh em (*a*) e a tabela da verdade em (*b*).

Um mapa K para o caso de duas variáveis $f(A, B)$ é mostrado na Fig. 3.18-1*a*. Uma tabela da verdade de duas variáveis é mostrada em (*b*). A coluna para o valor da função $f(A, B)$ é deixada em branco, visto que estamos interessados, no momento, na tabela propriamente dita e não no uso da tabela para definir uma função f específica. As linhas na tabela foram classificadas com números decimais. Estes números de linha foram obtidos atribuindo um significado numérico para os **0** e **1** da tabela da verdade. Assim, a linha $AB = \mathbf{10}$ é lida como linha $10 = 2$ (decimal) etc. O mapa K em (*a*) tem quatro compartimentos correspondentes, como indicados pelas flechas, um a um com as linhas da tabela da verdade. Os compartimentos do mapa K foram numerados de duas maneiras equivalentes. Por um lado, o número decimal da linha foi escrito no canto do compartimento. Por outro lado, as colunas e as linhas foram classificadas de maneira binária. Assim, por exemplo, o compartimento 2 aparece na intersecção da coluna $A = \mathbf{1}$ e linha $B = \mathbf{0}$, ou seja, em $AB = 10$ $(= 2)$ correspondente à linha 2 da tabela da verdade.

O mapa K pode agora ser usado como um substituto da tabela da verdade. Que isto é um fato pode ser visto na Fig. 3.18-2. Aí supomos uma função $f(A, B)$ e as entradas em cada linha foram transferidas para o compartimento apropriado do mapa K. Assim, o mapa K e a tabela da verdade contêm a mesma informação.

A função f, definida na Fig. 3.18-2, pode ser escrita em termos de seus minitermos. Verificamos, pois, que os **1** aparecem nas linhas 0 e 3 e

$$f(A, B) = \bar{A}\bar{B} + AB = m_0 + m_3 \tag{3.18-1}$$



Linha nº	A	B	f
0	0	0	1
1	0	1	0
2	1	0	0
3	1	1	1

(*a*) (*b*)

FIGURA 3.18-2
O mapa K apresenta a mesma informação que uma tabela da verdade.

De forma similar, a função pode ser escrita em termos de seus maxitermos. Encontramos, uma vez que os **0** aparecem nas linhas 1 e 2, que

$$f(A, B) = (A + \bar{B})(\bar{A} + B) = M_1 M_2 \tag{3.18-2}$$

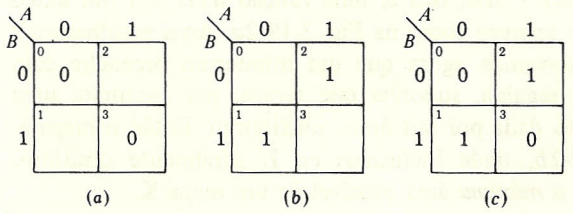
Nas Eqs. (3.18-1) e (3.18-2) expressamos a função como uma soma de minitermos ou como um produto de maxitermos notando a localização de **1** e **0** na tabela da verdade ou, equivalentemente, no mapa K. O procedimento pode ser invertido. Dados os minitermos da função, podemos representar a função no mapa K localizando os **1** nos compartimentos correspondentes. Ou, dados os maxitermos da função, podemos representar a função no mapa K, localizando os **0** nos compartimentos correspondentes. Para representar uma função, podemos também colocar os **1** e os **0** no mapa K. Entretanto, por simplicidade, é suficiente colocar apenas os **1** ou apenas os **0**. Onde não há os **1** entende-se **0** e vice-versa.

Por exemplo, vamos determinar a representação em mapa K de $f(A, B) = (A + B)(\bar{A} + \bar{B})$. Temos

$$f(A, B) = (A + B)(\bar{A} + \bar{B}) = M_0 M_3 \tag{3.18-3}$$

e temos também que

$$f(A, B) = (A + B)(\bar{A} + \bar{B}) = A\bar{B} + \bar{A}B = m_2 + m_1 \tag{3.18-4}$$



(*a*) (*b*) (*c*)

FIGURA 3.18-3
A função $f(A, B) = (A + B)(\bar{A} + \bar{B})$ é representada em (*a*) em termos de seus maxitermos e em (*b*) em termo de seus minitermos. O mapa em (*c*) mostra, redundantemente, os maxitermos e os minitermos.

A Eq. (3.18-3) fornece a representação no mapa K mostrada na Fig. 3.18-3*a*, e a Eq. (3.18-4) fornece o mapa K equivalente em (*b*). A Fig. 3.18-3*c*, na qual estão colocados os **0** e os **1**, é claramente equivalente a (*a*) e a (*b*).

Um ponto que deve ser notado, especialmente com relação à colocação de minitermos e maxitermos no mapa K, é que o compartimento em que o minitermo m_i deverá ser colocado

é o *mesmo* compartimento em que se colocará o maxitermo M_i. Assim, se uma função f tem um maxitermo, digamos, $\bar{A} + \bar{B} = M_2$, então um **0** é colocado no compartimento identificado por 2 (decimal) com linha e coluna $A = 1$ e $B = 0$. Se uma função g tem um minitermo $A\bar{B} = m_2$, um **1** é colocado no mesmo compartimento.

3.19 REPRESENTAÇÕES PARA DUAS, TRÊS E QUATRO VARIÁVEIS POR MAPA DE KARNAUGH

Um mapa K alternativo para duas variáveis é dado na Fig. 3.19-1. Note especialmente a ordem dos números de identificação para os compartimentos. Observe que a ordem é aquela do código binário refletido de Grey discutida na seção 3.14. A razão para esta ordem será discutida rapidamente. Mas, devido a esta ordem, as designações dos minitermos e dos maxitermos seguem a seqüência 0, 1, 3, 2 em vez de 0, 1, 2, 3.

$AB =$	00	01	11	10
	0	1	3	2

FIGURA 3.19-1
Uma mapa K para duas variáveis.

B \ A	0	1
0	0	1
1	0	0

(a)

B \ A	0	1
0	1	1
1	0	1

(b)

FIGURA 3.19-2
(*a*) O mapa K para $f(A, B) = A\bar{B}$; (*b*) o mapa K para $g(A, B) = A + \bar{B}$.

Podemos notar neste ponto o significado das expressões minitermo e maxitermo. Suponha que temos, por exemplo, uma função $f(A, B) = A\bar{B}$, isto é, uma função dada por um único minitermo. Então, o mapa K correspondente aparece como na Fig. 3.19-2*a*. Aqui escolhemos a inclusão dos **0** normalmente omitidos. Observamos agora que um minitermo preenche com **1** a *mínima* área possível do mapa K. Em seguida, suponha que temos, por exemplo, uma função $g(A, B) = A + \bar{B}$, isto é, uma função dada por um único maxitermo. Então o mapa K correspondente aparece como na Fig. 3.19-2*b*, onde incluímos os **1**, geralmente omitidos. Notamos que um maxitermo preenche com **1** a *máxima* área possível de um mapa K.

C \ AB	00	01	11	10
0	0	2	6	4
1	1	3	7	5

FIGURA 3.19-3
O mapa K para três variáveis.

Um mapa K para três variáveis A, B e C é mostrado na Fig. 3.19-3. Os compartimentos foram novamente numerados de acordo com o minitermo (ou maxitermo) que eles representam. A numeração foi arranjada de tal maneira que o dígito representando o valor verdadeiro da variável A é o dígito mais significativo, enquanto C é representado pelo dígito menos significativo.

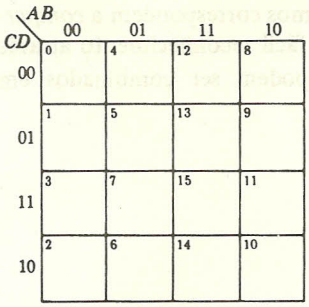


FIGURA 3.19-4
Mapa K para quatro variáveis.

Um mapa K para quatro variáveis está mostrado na Fig. 3.19-4. A numeração dos compartimentos de novo segue a convenção de que a variável A é representada pelo dígito mais significativo e D pelo menos significativo. Note que na numeração vertical a terceira coluna é a última numerada e na numeração horizontal a terceira linha é a última numerada.

Mapas K para números maiores de variáveis podem também ser desenhados. Um mapa de 5 variáveis tem $2^5 = 32$ compartimentos e um mapa de 6 variáveis tem $2^6 = 64$ compartimentos. Vamos adiar o desenho de tais mapas para a seção 3.22 e observarmos como os mapas K podem ser utilizados a fim de simplificar expressões lógicas.

3.20 SIMPLIFICAÇÃO DE FUNÇÕES LÓGICAS COM MAPAS DE KARNAUGH

A característica essencial do mapa K é que compartimentos adjacentes horizontal e verticalmente (mas não na diagonal) correspondem a minitermos, ou maxitermos, que diferem em apenas uma única variável, esta variável aparecendo complementada em um termo e não-complementada no outro. É precisamente com esta finalidade que o código refletido de Grey é usado para numerar as colunas na Fig. 3.19-3 e tanto as linhas como as colunas da Fig. 3.19-4. Para ver o benefício desta característica, considere, por exemplo, os minitermos m_8 e m_{12}, adjacentes horizontalmente no mapa K da Fig. 3.19-4. Temos

$$m_8(8 = 1000) = A\bar{B}\bar{C}\bar{D} \tag{3.20-1}$$

$$m_{12}(12 = 1100) = AB\bar{C}\bar{D} \tag{3.20-2}$$

Estes dois minitermos diferem apenas na variável B que aparece complementada em um e não-complementada no outro. Eles podem ser combinados para fornecer

$$A\bar{B}\bar{C}\bar{D} + AB\bar{C}\bar{D} = A\bar{C}\bar{D}(\bar{B} + B) = \bar{A}\bar{C}\bar{D} \tag{3.20-3}$$

Assim, dois termos, cada um envolvendo quatro variáveis, foram substituídos por um único termo envolvendo três variáveis. A variável que apareceu complementada em um termo e não-complementada no outro foi eliminada. Agora, se os termos da Eq. (3.20-3) tivessem aparecido com outros termos em uma função lógica, poderíamos eventualmente, por meio de comparação de cada termo com todos os outros, ter notado que eles podem ser combinados. Por outro lado, suponha que notamos a presença destes dois minitermos colocando **1** nos compartimentos apropriados de um mapa K como na Fig. 3.20-1. Então teríamos notado, imediatamente, que

estes minitermos podem ser combinados, pelo fato de que os minitermos correspondem a *compartimentos adjacentes*. O grande mérito do mapa K é que ele permite fácil reconhecimento através de visualização geométrica de combinações de minitermos que podem ser combinados em expressões mais simples.

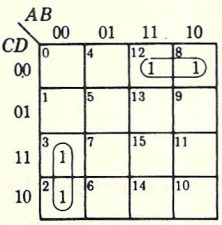


FIGURA 3.20-1
Minitermos em compartimentos adjacentes de um mapa K podem ser combinados.

O princípio geral, então, que se aplica a um mapa K é que *qualquer par de minitermos adjacentes pode ser combinado em um único termo tendo uma variável a menos que os próprios minitermos*. Este termo combinado é deduzido, começando com um dos minitermos e cancelando a variável que é complementada em um e não-complementada no outro. Aplicando esta regra a m_8 e m_{12} na Fig. 3.20-1, notamos que, para ambos os minitermos, $C = \mathbf{0}$, $D = \mathbf{0}$, $A = \mathbf{1}$, enquanto m_8 tem $B = \mathbf{0}$ e m_{12} tem $B = \mathbf{1}$. Então, estes dois minitermos se combinam em

$$m_8 + m_{12} = A\bar{C}\bar{D} \tag{3.20-4}$$

A combinação destes minitermos está ilustrada no mapa K circundando os **1** nos dois compartimentos adjacentes. Do mesmo modo, deduzimos a partir do mapa K da Fig. 3.20-1 que

$$m_2 + m_3 = \bar{A}\bar{B}C \tag{3.20-5}$$

Continuando, deve-se agora salientar que compartimentos adjacentes não se referem apenas a compartimentos geometricamente em contato mas, também, aos compartimentos que não estão em contato mas, apesar disto, que representam minitermos ou maxitermos que diferem em uma única variável. Por isto, cada compartimento na coluna mais à esquerda confina com o compartimento da coluna mais à direita na mesma linha. Assim, m_0 confina com m_8, m_1 com m_9, etc. Similarmente, a linha superior confina com a linha inferior, de modo que m_0 confina com m_2, m_4 com m_6, etc.

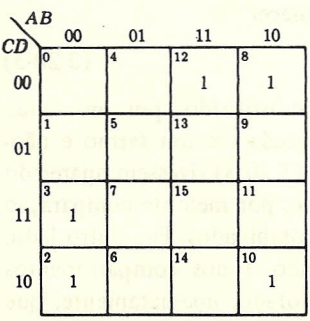


FIGURA 3.20-2
Adjacência de linhas e colunas periféricas de um mapa K.

Considere agora um mapa K com minitermos indicados na Fig. 3.20-2. São os mesmos da Fig. 3.20-1, exceto que adicionado m_{10}. Este minitermo pode ser combinado tanto com m_2 quanto com m_8. No primeiro caso, encontramos

$$m_2 + m_{10} = B\bar{C}\bar{D} \tag{3.20-6}$$

No segundo caso encontramos

$$m_8 + m_{10} = A\bar{B}\bar{D} \tag{3.20-7}$$

Se utilizarmos a combinação da Eq. (3.20-6), a função representada no mapa K da Fig. 3.20-2 é, a partir das Eqs. (3.20-4) e (3.20-5),

$$f(A, B, C, D) = \sum m(2, 3, 8, 10, 12) = A\bar{C}\bar{D} + \bar{A}B\bar{C} + B\bar{C}\bar{D} \tag{3.20-8}$$

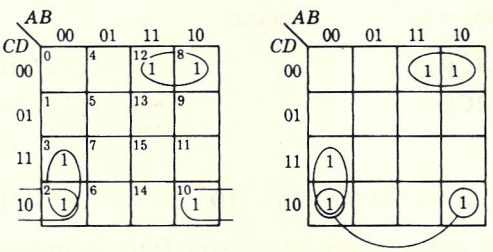


FIGURA 3.20-3
Notação alternativa para indicação de combinações de compartimentos de mapa K que não são geometricamente adjacentes.

As combinações levando a este resultado estão indicadas em duas notações alternativas na Fig. 3.20-3.

Se utilizarmos a combinação da Eq. (3.20-7), encontraremos

$$f(A, B, C, D) = \sum m(2, 3, 8, 10, 12) = A\bar{C}\bar{D} + \bar{A}B\bar{C} + A\bar{B}\bar{D} \tag{3.20-9}$$

Qualquer destes resultados, Eqs. (3.20-8) ou (3.20-9), é igualmente aceitável e igualmente econômico. Ambos requerem uma única porta OR e três portas AND. Em ambos os casos, cada uma das portas AND necessárias requer três terminais de entrada. A implementação da Eq. (3.20-8) usando portas AND e OR está mostrada na Fig. 3.20-4.

Um ponto que possivelmente precisa de um breve comentário é o seguinte. Ao chegar à Eq. (3.20-8), pelas combinações indicadas na Fig. 3.20-3, utilizamos o minitermo m_2 duas vezes,

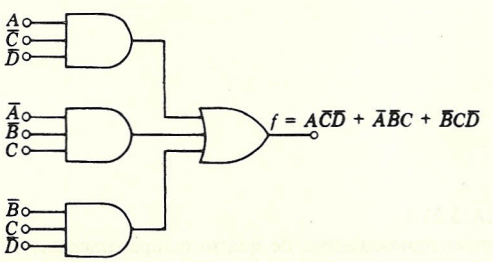


FIGURA 3.20-4
Implementação da função da Eq. (3.20-8).

uma na combinação com m_3 e a segunda na combinação com m_{10}. Alternativamente, ao chegar à Eq. (3.20-9), teríamos usado o minitermo m_8 duas vezes. Este uso repetitivo de um minitermo é permitido pois, ao usar, digamos, m_2 duas vezes, simplesmente tiramos vantagem do teorema da Eq. (3.11-4*a*), que no caso presente fornece

$$m_2 = \bar{A}\bar{B}C\bar{D} = \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}C\bar{D} + \cdots$$

3.21 MAIORES AGRUPAMENTOS EM UM MAPA K

Vimos que dois compartimentos adjacentes de um mapa K podem ser combinados, fornecendo um termo no qual uma variável foi eliminada. De uma forma similar, sempre que 2^n compartimentos são adjacentes, eles podem ser combinados e fornecem um único termo no qual n variáveis foram eliminadas. Grupos típicos de quatro compartimentos estão indicados na Fig. 3.21-1. Na Fig. 3.21-1*a*, as combinações $m_1 + m_5$ e $m_3 + m_7$ fornecem

$$m_1 + m_5 = \bar{A}\bar{C}D \tag{3.21-1}$$

$$m_3 + m_7 = \bar{A}CD \tag{3.21-2}$$

de modo que

$$(m_1 + m_5) + (m_3 + m_7) = \bar{A}\bar{C}D + \bar{A}CD = \bar{A}D(\bar{C} + C) = \bar{A}D \tag{3.21-3}$$

Este resultado seria evidentemente o mesmo, se o agrupamento tivesse sido feito na ordem $(m_1 + m_3) + (m_5 + m_7)$.

Similarmente vemos que, para a Fig. 3.21-1*b*, temos

$$f(A, B, C, D) = \Sigma m(1, 5, 9, 13) = \bar{C}D \tag{3.21-4}$$

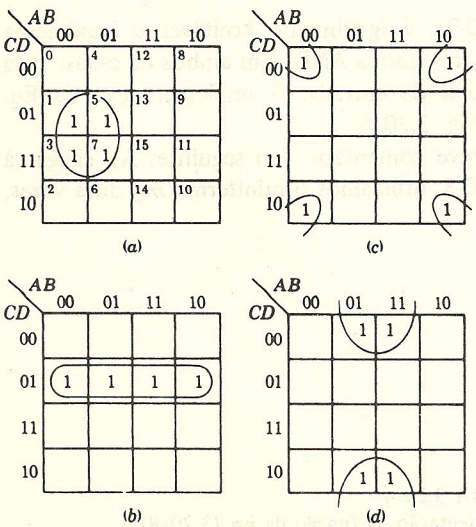


FIGURA 3.21-1
Adjacências representativas de quatro compartimentos.

Também, na Fig. 3.21-1*c*, os termos de canto são considerados adjacentes e, portanto,

$$f(A, B, C, D) = (m_0 + m_2) + (m_8 + m_{10}) = \bar{A}\bar{B}\bar{D} + A\bar{B}\bar{D} = \bar{B}\bar{D} \qquad (3.21\text{-}5)$$

um resultado obtido por inspeção, notando que os quatro termos *não* diferem em $\bar{B}$ AND $\bar{D}$. Como uma ilustração final deste tipo de combinação, consideremos a Fig. 3.21-1*d*, onde é facilmente mostrado que

$$f(A, B, C, D) = \Sigma m(4, 6, 12, 14) = B\bar{D} \qquad (3.21\text{-}6)$$

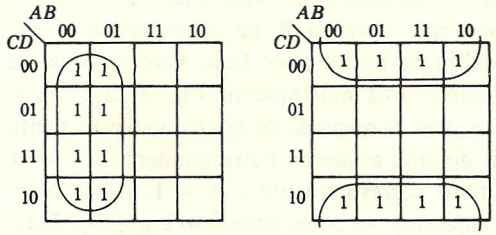


FIGURA 3.21-2
Adjacências representativas de oito compartimentos.

Grupos típicos de oito compartimentos estão mostrados na Fig. 3.21-2. Nestas figuras, os 8 termos diferem em apenas uma variável; na Fig. 3.21-2*a*, $f = \bar{A}$, enquanto, na Fig. 3.21-2*b*, $f = \bar{D}$. O agrupamento seguinte seria de dezesseis compartimentos. No caso de quatro variáveis, dezesseis **1** em um mapa K significam que a função é $f = \mathbf{1}$ independentemente de qualquer variável. Entretanto, tais agrupamentos de dezesseis são significantes em um mapa K para cinco variáveis (seção 3.22), que tem trinta e dois compartimentos, etc.

3.22 MAPAS DE KARNAUGH PARA CINCO E SEIS VARIÁVEIS

Suponha que, ao estabelecer um mapa K para cinco variáveis, seguimos o modelo que nos levou do mapa de uma variável para o mapa de quatro variáveis. Teríamos, então, um mapa de cinco variáveis como na Fig. 3.22-1. Aqui, adicionamos uma variável e desenhamos dois

DE \ ABC	000	001	011	010	110	111	101	100
00	0	4	12	8	24	28	20	16
01	1	5	13	9	25	29	21	17
11	3	7	15	11	27	31	23	19
10	2	6	14	10	26	30	22	18

FIGURA 3.22-1
Um possível mapa K de cinco variáveis.

mapas de quatro variáveis lado a lado. Ao ordenar as linhas, seguimos o código binário refletido. Este mapa mantém as características dos mapas anteriores. Compartimentos geometricamente vizinhos continuam a ser adjacentes, e, como antes, as colunas mais à esquerda e mais à direita continuam a ser adjacentes, assim como as linhas superiores e inferiores. Mas agora, como pode ser verificado, compartimentos simetricamente localizados em relação à linha central vertical (a linha tracejada na Fig. 3.22-1) também são adjacentes. Por exemplo m_7 confina com m_{23}, m_{13} com m_{29}, etc. Similarmente, as adjacências anteriores do mapa K de quatro variáveis persistem. Assim, m_1 confina com m_9, assim como m_2 e m_{10}, etc.

Agora precisamos, evidentemente, tirar a máxima vantagem possível dos minitermos adjacentes, e a vantagem do mapa K é tornar tais minitermos adjacentes imediatamente aparentes por inspeção visual. Mantendo estes novos compartimentos adjacentes no mapa da Fig. 3.22-1, é inteiramente possível usar este mapa como o mapa K de cinco variáveis. Há, entretanto, um arranjo alternativo que torna a visualização muito mais fácil. Este mapa K de cinco variáveis alternativo, que é mais usado geralmente, está mostrado na Fig. 3.22-2. Aqui, todos os termos adjacentes previamente estabelecidos para o mapa K de quatro variáveis continuam a aplicar tanto para a seção de quatro variáveis do lado esquerdo correspondente a $A = \mathbf{0}$, como para a seção de quatro variáveis do lado direito correspondente a $A = \mathbf{1}$. Além disso, entretanto, cada compartimento na seção $A = \mathbf{0}$ é adjacente ao compartimento correspondente na seção $A = \mathbf{1}$. Por exemplo, m_5 é adjacente a m_{21}, m_{15} a m_{31}, etc. Estes termos adjacentes entre as duas seções sugerem que, em nossa imaginação, colocamos uma seção em cima da outra. É então fácil de guardar na memória que compartimentos acima e abaixo um do outro são adjacentes.

$A = 0$

DE \ BC	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

$A = 1$

00	01	11	10
16	20	28	24
17	21	29	25
19	23	31	27
18	22	30	26

FIGURA 3.22-2
O mapa K de cinco variáveis.

Seguindo as mesmas considerações que levaram ao mapa de cinco variáveis, um mapa K de seis variáveis está desenhado na Fig. 3.22-3. Os termos adjacentes usuais aplicam dentro de cada subseção de quatro variáveis do mapa. Além disso, há termos adjacentes horizontal e verticalmente entre compartimentos na subseção. Por exemplo, m_5 é adjacente a m_{21} e também a m_{37}; m_{63} é adjacente a m_{31} e m_{47}; etc.

O mapa de Karnaugh tem o mérito de permitir visualização de termos adjacentes. Quando o número de variáveis é grande, entretanto, digamos sete ou mais, o mapa K torna-se tão dilatado que seu valor como uma ajuda para reconhecer termos adjacentes é questionável. Portanto, para o caso de muitas variáveis, as tabelas são preferidas.

Nas seções seguintes ilustramos vários usos do mapa K. Para simplificar os cálculos necessários, restringiremos nosso estudo a quatro ou menos variáveis.

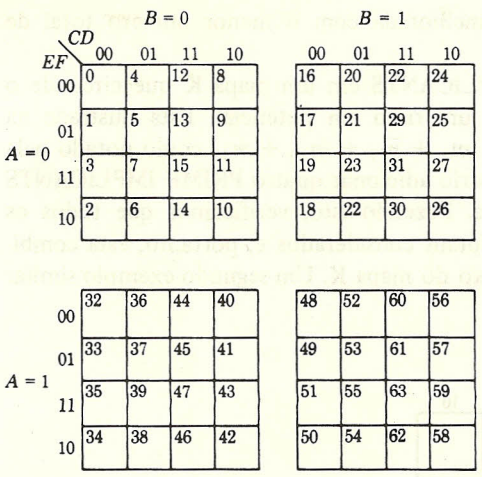


FIGURA 3.22-3
O mapa K de seis variáveis.

3.23 USOS DOS MAPAS DE KARNAUGH

Quando uma função lógica for expressa na forma-padrão em função de seus minitermos, o mapa K poderá ser usado para simplificar a função, aplicando os seguintes princípios:

1. A combinação de compartimentos (minitermos) que são selecionados deve ser tal que cada compartimento é incluído pelo menos uma vez. Como notado, entretanto, um compartimento particular pode ser envolvido em várias combinações diferentes.
2. As combinações individuais devem ser selecionadas para incluir o maior número possível de compartimentos, de modo que todos os compartimentos sejam incluídos no menor número de combinações possível.

As combinações são às vezes referidas como *produtos* e às vezes como *prime implicants*. Verifica-se que não é necessário usar todos os PRIME IMPLICANTS possíveis para incluir todos os compartimentos pelo menos uma vez. No exemplo da Fig. 3.20-3, vimos exatamente tal caso. Aqui os PRIME IMPLICANTS eram $p_1 = m_2 + m_3$, $p_2 = m_8 + m_{12}$, $p_3 = m_2 + m_{10}$ e $p_4 = m_8 + m_{10}$. A função em questão poderia ser expressa, entretanto, ou como $f = p_1 + p_2 + p_3$, ou como $f = p_1 + p_2 + p_4$. Em ambos os casos não tivemos outra alternativa a não ser usar p_1 pois, de outro modo, m_3 não seria levado em consideração. Por esta razão, p_1 é chamado *prime implicant essencial*. Similarmente, p_2 é essencial pois, sem p_2, m_{12} não seria levado em consideração. Por outro lado, como temos liberdade de selecionar ou não p_3, este PRIME IMPLICANT não é essencial. Um comentário similar se aplica a p_4.

Quando expressamos uma função como uma soma de PRIME IMPLICANTS, para cada IMPLICANT necessitamos de uma porta AND, como na estrutura da Fig. 3.20-4. Além disto, o número de entradas de cada porta diminui à medida que aumenta o número de compartimentos circundado no PRIME IMPLICANT. A economia de uma estrutura de porta é considerada, primeiramente, pelo menor número de portas envolvidas. Em estruturas diferentes com mesmo

número de portas, a economia é considerada ser melhorada com o menor número total de entradas de porta.

Nossa preocupação em encontrar PRIME IMPLICANTS em um mapa K que circunde o maior número possível de compartimentos contém um risco em potencial. Está ilustrado na Fig. 3.23-1, onde podemos ser tentados a combinar $m_5 + m_7 + m_{13} + m_{15}$ como notado pela curva tracejada. Se fizéssemos isto, ainda seria necessário adicionar quatro PRIME IMPLICANTS extras para levar em conta os quatros **1** restantes. Fazendo isto, verificamos que todos os compartimentos da combinação original de quatro foram considerados e, portanto, esta combinação original é supérflua. A função está escrita abaixo do mapa K. Um segundo exemplo similar está ilustrado na Fig. 3.23-1 *b*.

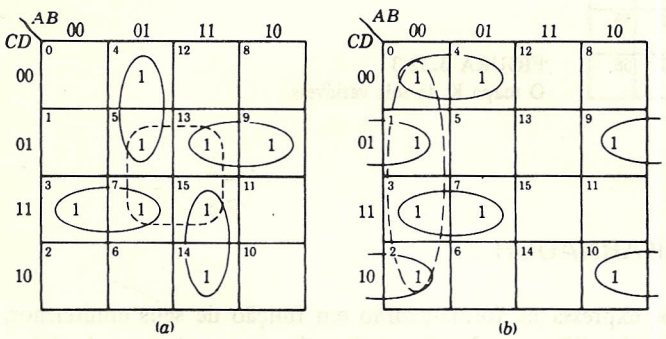


FIGURA 3.23-1
Duas ilustrações de riscos associados com a formação de combinações em um mapa K.

(*a*) $f = (m_4 + m_5) + (m_3 + m_7) + (m_{14} + m_{15}) + (m_9 + m_{13})$
$= \bar{A}B\bar{C} + \bar{A}CD + ABC + A\bar{C}D$
(*b*) $f = (m_0 + m_4) + (m_1 + m_9) + (m_3 + m_7) + (m_2 + m_{10})$
$= \bar{A}\bar{C}\bar{D} + \bar{B}\bar{C}D + \bar{A}CD + \bar{B}C\bar{D}$

O seguinte algoritmo aplicado a um mapa K leva a uma expressão mínima para uma função lógica e evita o risco referido acima:

1. Circundar e aceitar como PRIME IMPLICANTS essenciais qualquer compartimento ou compartimentos que não podem ser combinados com qualquer outro.
2. Identificar os compartimentos que podem ser combinados com um único outro compartimento de *apenas uma maneira*. Circundar tal combinação de dois compartimentos. Um compartimento que pode ser combinado em agrupamento de dois, mas pode ser assim combinado em *mais de uma maneira*, deve ser temporariamente desprezado.
3. Identificar os compartimentos que podem ser combinados com três outros compartimentos de *apenas uma maneira*. Se pelo menos um dos quatro compartimentos considerados já não foi coberto pelo agrupamento de dois, circundar estes quatro compartimentos. De novo, um compartimento que pode circundar um grupo de quatro em *mais de uma maneira* deve ser desprezado temporariamente.
4. Repetir o procedimento para grupos de oito, etc.

5. Depois do procedimento acima, se ainda restar alguns compartimentos não cobertos, eles podem ser combinados um com o outro ou com outros compartimentos já combinados, em uma maneira bastante arbitrária. Evidentemente, entretanto, queremos incluir estes compartimentos restantes no menor número de agrupamentos possível.

Este algoritmo está ilustrado nos dois exemplos seguintes. No primeiro exemplo, a solução é determinada completamente pelo algoritmo. No segundo, um exercício de julgamento fácil nos permite satisfazer os requerimentos do item 5.

EXEMPLO 3.23-1. Uma função de quatro variáveis é dada como

$$f(A, B, C, D) = \Sigma m(0, 1, 3, 5, 6, 9, 11, 12, 13, 15) \qquad (3.23\text{-}1)$$

Usar um mapa K para minimizar a função.

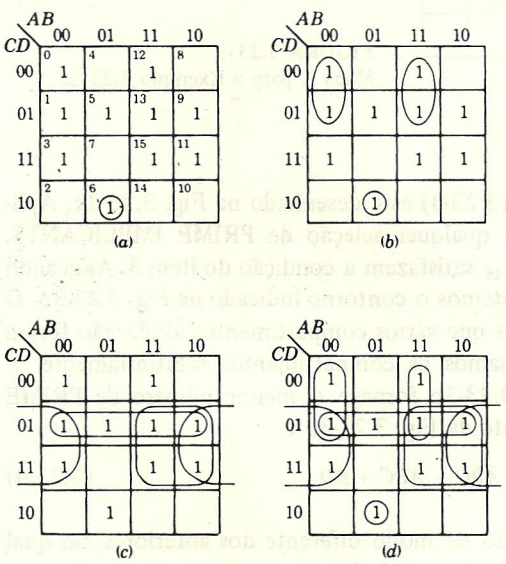


FIGURA 3.23-2
Mapa K para o Exemplo 3.23-1.

Solução. O mapa K para a função da Eq. (3.23-1) está desenhado na Fig. 3.23-2*a*. Notamos que m_6 não pode ser combinado com nenhum outro compartimento. Portanto, o circundamos e o aceitamos como um PRIME IMPLICANT essencial. Em seguida, notamos que m_0 e m_{12} podem ser combinados em grupos de dois de apenas uma maneira. Portanto, circundamos cada um destes grupos de dois, como na Fig. 3.23-2*b*. Outros compartimentos que podem combinar em grupo de dois em mais de uma maneira são omitidos. Observamos então que m_3, m_5 e m_{15} podem ser, cada um, incorporados em grupos de quatro de apenas uma maneira, e notamos também que os grupos de quatro assim formados envolvem outros compartimentos que não foram todos incorporados em grupos de dois. Portanto, circundamos estes três grupos de quatro como está indicado na Fig. 3.23-2*c*. Finalmente, na Fig. 3.23-2*d*, todos os contornos foram combinados e observamos que todos os compartimentos foram considerados. Lendo deste mapa, encontramos

$$f(A, B, C, D) = \bar{A}BC\bar{D} + \bar{A}\bar{B}\bar{C} + AB\bar{C} + \bar{C}D + \bar{B}D + AD \tag{3.23-2}$$

EXEMPLO 3.23-2. Uma função de quatro variáveis é dada como

$$f(A, B, C, D) = \Sigma m(0, 2, 3, 4, 5, 7, 8, 9, 13, 15) \tag{3.23-3}$$

Use um mapa K para minimizar a função.

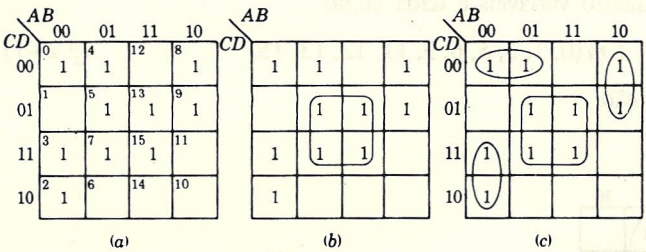


FIGURA 3.23-3
Mapa K para o Exemplo 3.23-2.

Solução. O mapa K para a função da Eq. (3.23-3) está desenhado na Fig. 3.23-3*a*. Aplicando os itens 1 e 2 do algoritmo, não resulta qualquer seleção de PRIME IMPLICANTS. Todos os quatro compartimentos m_5, m_7, m_{13} e m_{15} satisfazem a condição do item 3. Aplicando o procedimento do item 3 a qualquer um deles, obtemos o contorno indicado na Fig. 3.23-3*b*. O item 4 não se aplica no caso presente. Encontramos que vários compartimentos ainda não foram considerados. Como exigido pelo item 5, combinamos os compartimentos arbitrariamente. É bastante óbvio que a maneira indicada na Fig. 3.23-3*c* fornece o menor número de PRIME IMPLICANTS adicionais. A solução, lida diretamente da Fig. 3.23-3*c* é

$$f(A, B, C, D) = \bar{A}\bar{C}\bar{D} + \bar{A}\bar{B}C + A\bar{B}\bar{C} + BD \tag{3.23-4}$$

Consideremos agora um problema especificado de modo diferente dos anteriores, no qual uma função é fornecida em termos de seus **0** em vez de seus **1**, isto é, em termos de *maxitermos* em vez de *minitermos*. Neste caso, entram no mapa K **0** em vez de **1**, e a solução aparece na forma de um produto de somas em vez de uma soma de produtos. O algoritmo para combinar minitermos se aplica igualmente para maxitermos; entretanto, podemos notar uma mudança na terminologia. Correspondendo ao termo *PRIME IMPLICANT*, definido como um termo produto em uma soma representando uma função, temos no seu lugar *PRIME IMPLICANTS*, definido como um termo soma em um produto.

EXEMPLO 3.23-3. Uma função de quatro variáveis é dada como

$$f(A, B, C, D) = \Pi M(0, 3, 4, 5, 6, 7, 11, 13, 14, 15) \tag{3.23-5}$$

Use um mapa K para minimizar a função.

Solução. O mapa K está mostrado na Fig. 3.23-4. O algoritmo nos leva unicamente aos agrupamentos indicados. Encontramos, então, diretamente do mapa que

$$f(A, B, C, D) = (A + C + D)(\bar{C} + \bar{D})(\bar{B} + \bar{D})(\bar{B} + \bar{C}) \quad (3.23\text{-}6)$$

A implementação da Eq. (3.23-6) usando portas AND e OR está mostrada na Fig. 3.23-5. Observe que cada termo na Eq. (3.23-6) necessita de uma porta OR e que as saídas de todas as portas OR são combinadas em uma única porta AND. A Fig. 3.23-5 deve ser comparada com a Fig. 3.20-4, onde, para implementar uma função soma de produtos, a ordem das portas OR e AND é invertida.

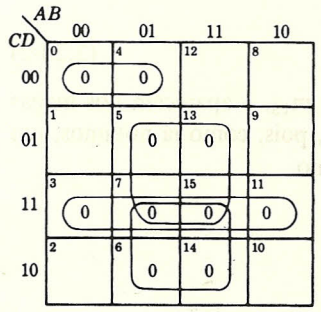


FIGURA 3.23-4
Mapa K para o Exemplo 3.23-3.

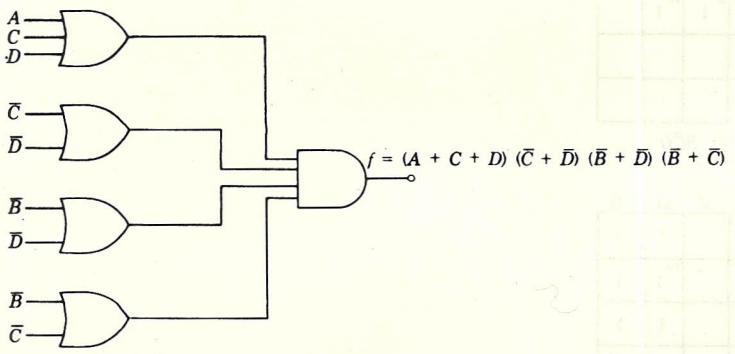


FIGURA 3.23-5
Implementação da Eq. (3.23-6) com portas.

3.24 MAPEAMENTO QUANDO A FUNÇÃO NÃO ESTÁ EXPRESSA EM MINITERMOS

Nossa discussão de mapeamento sugere que, para uma função ser colocada em um mapa K, ela deve ser primeiro expressa como uma soma de minitermos. Em princípio, realmente é isto. Na prática, entretanto, se uma função não está expressa desta maneira, não é necessário expandi-la algebricamente em seus minitermos. Em vez disto, a expansão em minitermos pode ser feita no processo de colocar os termos da função no mapa K. Para ilustrar, considere que propomos colocar em um mapa K a função

$$f(A, B, C, D) = \bar{A}\bar{B}\bar{C}\bar{D} + B\bar{C}D + \bar{A}\bar{C} + A \quad (3.24\text{-}1)$$

na qual apenas o primeiro termo está na forma de um minitermo. Como na Fig. 3.24-1*a*, este primeiro minitermo pode ser colocado diretamente no mapa K. O segundo termo $B\bar{C}D$ corresponde no mapa K à localização quando $B = 1$, $C = 0$ e $D = 1$ e é *independente de A*. Portanto, este termo é colocado onde $B = 1$, $C = 0$ e $D = 1$ para *ambos os valores* de A, como na Fig. 3.24-1*b*. Similarmente, o terceiro termo, como na Fig. 3.24-1*c*, é colocado onde $A = 0$ e $C = 0$ e para ambos os valores de B e de D. Finalmente, o termo A é colocado como na Fig. 3.24-1*d* onde $A = 1$ e para ambos os valores de cada uma das outras três variáveis. O mapa K completo, mostrado na Fig. 3.24-1*e*, resulta da combinação dos mapas para os termos individuais. Verificamos que

$$f(A, B, C, D) = A + \bar{C} \tag{3.24-2}$$

Notamos que em várias vezes, nos casos dos minitermos m_0, m_5 e m_{13}, **1** aparecem nos mapas de mais de um termo simples. Esta situação não causa dificuldade, pois, como já notamos, um minitermo adicionado a ele mesmo ainda fornece um único minitermo.

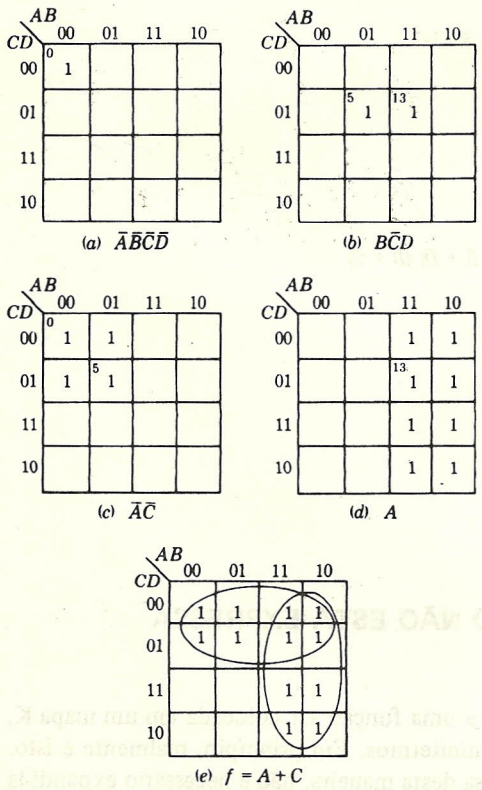


FIGURA 3.24-1
A representação de um mapa K de uma função não explicitamente dada em minitermos.

EXEMPLO 3.24-1. Referir-se ao Exemplo 3.8-1. Escrever uma tabela da verdade para todas as possibilidades. Indicar um desastre pelo símbolo $L = 1$. Colocar as $2^4 = 16$ posições em

um mapa K e simplificar. Mostrar que a solução dada para o Exemplo 3.8-1 está realmente correta e na forma mais simples.

TABELA 3.24-1
Tabela da Verdade para o Exemplo 3.8-1
1 = celeiro sul, 0 = celeiro norte, L = lâmpada

J	D	G	C	L	J	D	G	C	L
0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	1	0	0	1	1
0	0	1	0	0	1	0	1	0	0
0	0	1	1	1	1	0	1	1	0
0	1	0	0	0	1	1	0	0	1
0	1	0	1	0	1	1	0	1	0
0	1	1	0	1	1	1	1	0	0
0	1	1	1	1	1	1	1	1	0

Solução. Primeiro obtemos a tabela da verdade mostrada na Tabela 3.24-1. Note que na linha 1, $L = \mathbf{0}$ pois não acontece desastre quando o fazendeiro, o cachorro, a cabra e as couves estão no celeiro norte. Entretanto, observamos da linha 4 que um desastre ocorre, $L = \mathbf{1}$, se o fazendeiro está no celeiro norte, enquanto a cabra E as couves estão no celeiro sul. De maneira similar, determinamos L para cada linha.

Em seguida, colocamos cada linha onde $L = \mathbf{1}$ *diretamente* no mapa K, como mostrado na Fig. 3.24-2. Para ver como isto é feito, referir-se à linha 4 da tabela da verdade. Aqui, $J = \mathbf{0}$, $D = \mathbf{0}$, $G = \mathbf{1}$, $C = \mathbf{1}$. Assim, escolhemos a coluna JD que é **00** e sua intersecção com a linha GC onde $GC = \mathbf{11}$. As outras posições são obtidas de maneira similar.

O resultado para L é

$$L = \bar{J}GC + \bar{J}DG + J\bar{G}\bar{C} + JD\bar{G} \tag{3.24-3}$$

que é o mesmo obtido anteriormente para o Exemplo 3.8-1.

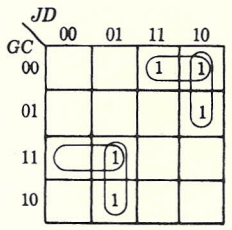


FIGURA 3.24-2
Mapa K para o Exemplo 3.24-1.

3.25 SÍNTESE USANDO PORTAS NAND OU NOR

Se sintetizamos uma função lógica na forma soma de produtos, sua realização física consiste em algumas portas AND seguidas por uma única porta OR, como na Fig. 3.20-4. Qualquer variável de entrada é transmitida primeiro através de uma porta AND que é então descrita como

sendo no primeiro nível, e depois através da porta OR que está no segundo nível. A estrutura da Fig. 3.20-4 é, por isso, freqüentemente referida como um sistema de portas AND-OR de dois níveis. Se sintetizarmos uma função lógica como um produto de somas, chegaremos a uma estrutura OR-AND de dois níveis, como na Fig. 3.23-5, onde as portas de entrada são portas OR e a porta do segundo nível é uma porta AND. Podemos notar que portas com mais de dois níveis podem às vezes ser mais simples do que portas de dois níveis. Entretanto, não há um procedimento fácil para projetar sistemas de portas de vários níveis como existe para sistemas de portas de dois níveis. Além disso, quanto menores os níveis, menor será o tempo de propagação através da estrutura.

Já notamos que toda operação lógica pode ser obtida apenas com portas NAND ou apenas com portas NOR. Além disso, notamos também que há boas razões práticas para usar portas NOR ou NAND. Veremos agora como obter uma realização física de uma função lógica inteiramente com portas NAND ou inteiramente com portas NOR. Vamos ilustrar o procedimento com um exemplo.

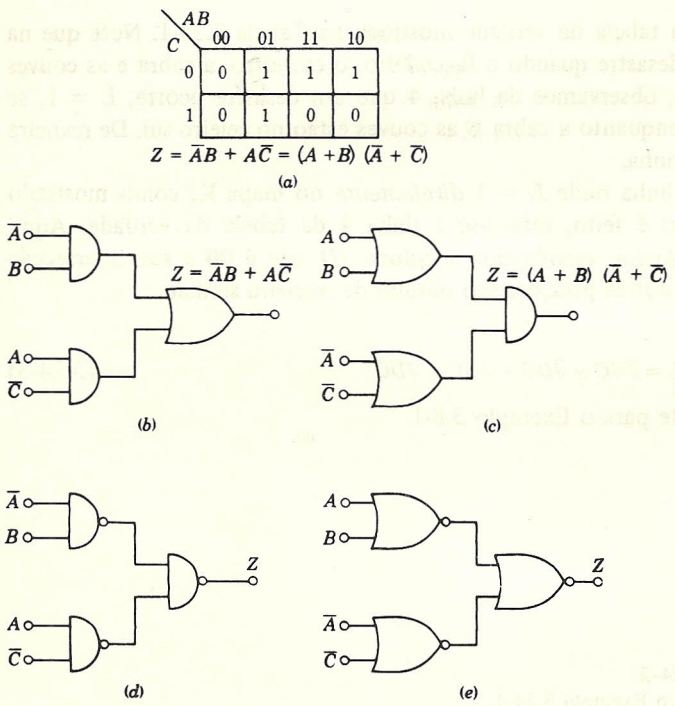


FIGURA 3.25-1
(*a*) Mapa K para Z; (*b*) circuito AND-OR para Z; (*c*) circuito OR-AND;
(*d*) circuito usando apenas portas NAND; (*e*) circuito usando apenas portas NOR.

Considere uma função lógica Z cujo mapa K aparece como na Fig. 3.25-1*a*. Como uma soma de produtos, temos

$$Z = \bar{A}B + A\bar{C} \qquad (3.25\text{-}1)$$

Como um produto de somas, temos

$$Z = (A + B)(\bar{A} + \bar{C}) \tag{3.25-2}$$

A porta AND-OR de dois níveis para Z está mostrada na Fig. 3.25-1*b*, e a porta OR-AND de dois níveis está dada na Fig. 3.25-1*c*. Aplicando o teorema de De Morgan duas vezes para a soma de produtos da Eq. (3.25-1) temos

$$\bar{Z} = \overline{\bar{A}B + A\bar{C}} = (\overline{\bar{A}B})(\overline{A\bar{C}}) \tag{3.25-3a}$$

$$Z = \bar{\bar{Z}} = \overline{(\overline{\bar{A}B})(\overline{A\bar{C}})} \tag{3.25-3b}$$

que é realizada como na Fig. 3.25-1*d* utilizando apenas portas NAND. Observe que o circuito na Fig. 3.25-1*d* é *exatamente* como na Fig. 3.25-1*b*, exceto que toda porta é substituída por uma porta NAND. Aplicando o teorema de De Morgan duas vezes para o produto de somas na Eq. (3.25-2), temos

$$\bar{Z} = \overline{(A + B)(\bar{A} + \bar{C})} = \overline{(A + B)} + \overline{(\bar{A} + \bar{C})} \tag{3.25-4a}$$

$$Z = \bar{\bar{Z}} = \overline{\overline{(A + B)} + \overline{(\bar{A} + \bar{C})}} \tag{3.25-4b}$$

que é realizado como na Fig. 3.25-1*e* usando apenas portas NOR. Observe que o circuito na Fig. 3.25-1*e* é exatamente como na Fig. 3.25-1*c*, exceto que toda porta é substituída por uma porta NOR.

Em resumo, para chegar a um circuito com portas NAND, começar por expressar Z como uma soma de produtos. Desenhar a configuração AND-OR de dois níveis correspondente, e então mudar *todas* as portas para portas NAND. Para chegar a um circuito com portas NOR, começar por expressar Z como um produto de somas. Desenhar a configuração OR-AND de dois níveis correspondente e então mudar *todas* as portas para portas NOR.

3.26 FUNÇÕES ESPECIFICADAS INCOMPLETAMENTE

Uma função lógica f é definida especificando para cada combinação possível de variáveis se a função tem o valor $f = \mathbf{1}$ ou $f = \mathbf{0}$. Tal especificação nos permite colocar imediatamente os minitermos ou maxitermos em um mapa K e subseqüentemente expressar a função em sua forma mais simples.

Suponha agora que temos de escrever em sua forma mais simples uma função f que é especificada para algumas (mas não todas) combinações possíveis das variáveis. Em tal caso, várias funções diferentes são possíveis, todas satisfazendo as especificações. Elas irão diferir entre si nos valores assumidos pela função para as combinações de variáveis que não são especificadas. Surge então a questão de como, das várias funções permitidas, chegar diretamente à função mais simples.

Tal especificação incompleta surge, na prática, de duas maneiras. Às vezes, realmente acontece que simplesmente *não nos interessa* qual o valor assumido pela função para certas combinações das variáveis. Em outras ocasiões, pode acontecer que sabemos que certas combinações de variáveis simplesmente nunca ocorrerão. Neste caso, podemos simular que não nos interessa, pois o efeito final é o mesmo.

Para ilustrar o procedimento, usando mapas K, para simplificar uma função especificada incompletamente, considere que uma função é definida por

$$f(A, B, C, D) = \Sigma m(1, 2, 5, 6, 9) + d(10, 11, 12, 13, 14, 15) \qquad (3.26\text{-}1)$$

Nesta equação, d significa "não interessa", de modo que nossa equação tem o valor $f = 1$ correspondente aos minitermos 1, 2, ..., e é não-especificada para combinações das variáveis correspondentes aos minitermos 10, 11 ... No mapa K, como na Fig. 3.26-1, localizamos **1** onde especificados, e onde um "não interessa" é indicado, o localizamos com um X. O procedimento seguinte é interpretar um X como um **1**, se, em assim fazendo, efetuamos uma simplificação, e ignorá-lo, caso contrário. Se os X fossem todos ignorados, o mapa da Fig. 3.26-1 forneceria

$$f = (m_1 + m_5) + (m_1 + m_9) + (m_2 + m_6) \qquad (3.26\text{-}2a)$$

$$= \bar{A}\bar{C}D + \bar{B}\bar{C}D + \bar{A}C\bar{D} \qquad (3.26\text{-}2b)$$

Vamos, entretanto, interpretar como **1** os X em m_{10}, m_{13} e m_{14}. Encontramos, então, que a função simplifica para

$$f = (m_1 + m_5 + m_9 + m_{13}) + (m_2 + m_6 + m_{10} + m_{14}) \qquad (3.26\text{-}3a)$$

$$= \bar{C}D + C\bar{D} \qquad (3.26\text{-}3b)$$

Os X restantes em m_{11}, m_{12} e m_{15} não podem servir nem para reduzir o número de termos na função nem para reduzir o número de variáveis em um termo. Portanto, estes X são simplesmente ignorados, isto é, considerados como sendo **0**.

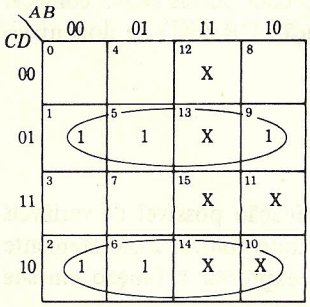


FIGURA 3.26-1
Uma função especificada incompletamente.

CAPÍTULO 4

Lógica Transistor-Resistor (RTL) e Lógica de Injeção Integrada (IIL)

Começaremos nossa discussão de portas lógicas (Caps. 4 a 8) considerando a porta com *lógica transistor-resistor* (RTL) (RTL são as iniciais do nome em inglês *resistor-transistor-logic*). Este tipo de porta não é mais utilizado em novos projetos, mas por várias razões a porta RTL é um ponto de partida útil. Por outro lado, esta porta é elegantemente simples e portanto pode ser usada convenientemente para desenvolver conceitos úteis com relação a todos os tipos de portas. Além disto, a porta RTL foi, historicamente, a primeira usada extensivamente, e muitas instalações empregando este tipo de porta estão ainda em operação. Enfim, topologicamente pelo menos, a RTL é uma precursora da *lógica de injeção integrada* (IIL) (IIL são as iniciais do nome em inglês *integrated-injection-logic*), uma das mais novas famílias lógicas LSI disponível comercialmente (LSI são as iniciais do nome em inglês *large scale integration* que significa integração em larga escala).

4.1 A PORTA COM LÓGICA TRANSISTOR-RESISTOR (RTL)

Uma porta RTL de N entradas (Fig. 4.1-1) consiste em N transistores com todos os emissores conectados a um terra comum e todos os coletores interligados através de um resistor de coletor comum R_c para uma tensão de alimentação V_{CC}. As tensões de entradas V_i ($i = 1, 2, \ldots, N$) representando níveis lógicos são aplicadas nas bases através de resistores R_b. Se adotarmos a convenção de lógica *positiva*, então, como podemos agora verificar, a porta executa a lógica NOR.

Sejam V_L e V_H as tensões representando os dois valores possíveis de uma variável lógica. Os subscritos L e H representam os nomes em inglês *low* (baixo) e *high* (alto). Isto é, $V_L < V_H$. Em lógica positiva, V_L corresponde ao caso em que a variável lógica é "falsa", ou seja, ao nível lógico **0**. A tensão é V_H quando a variável é "verdadeira", ou seja, no nível lógico **1**. Na porta RTL V_L necessita ser baixa o suficiente para que o transistor esteja cortado quando V_L é aplicada à entrada correspondente da porta. A tensão V_H é uma tensão que, aplicada a uma entrada, levará o transistor correspondente à saturação. Note que V_L e V_H não são tensões únicas mas são caracterizadas pelo fato de que V_L deve ser *menor que* uma dada tensão e V_H deve ser *maior que* uma outra dada tensão. No presente caso, é necessário

que $V_L < V_\gamma$, a tensão de limiar, e que V_H seja igual ou maior que a tensão que, quando aplicada através de R_b, levará o transistor à saturação.

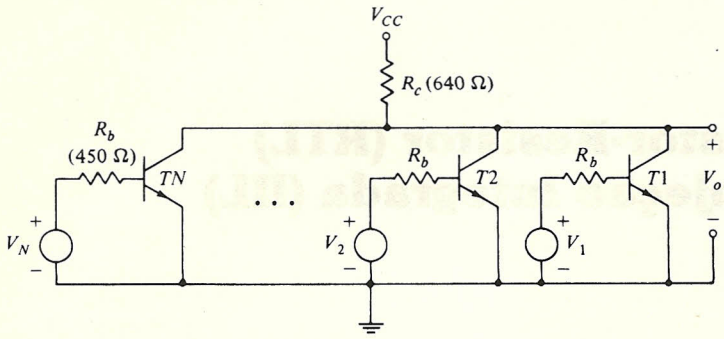


FIGURA 4.1-1
Uma porta RTL de N entradas. Uma porta comercial de potência média tem os valores dos componentes indicados em parênteses.

A tabela da verdade para uma porta de duas entradas é dada na Tabela 4.1-1. Em uma tabela da verdade usamos os valores lógicos L (de *low* – baixo) e H (de *high* – alto) e na outra **0** e **1**. Ambos os tipos de tabelas são comuns.

TABELA 4.1-1

V_1	V_2	V_o
L	L	H
L	H	L
H	L	L
H	H	L

V_1	V_2	V_0
0	0	1
0	1	0
1	0	0
1	1	0

4.2 A PORTA COM LÓGICA TRANSISTOR-RESISTOR COM ACOPLAMENTO DIRETO (DCTL)

As portas mais antigas do tipo mostrado na Fig. 4.1 eram construídas mais economicamente omitindo os resistores de base R_b. Como as conexões das entradas são feitas diretamente na base, tais portas são chamadas portas com *lógica transistor-resistor com acoplamento direto* (DCTL) (DCTL são as iniciais do nome em inglês *direct-coupled transistor-logic*). As portas DCTL, assim como as portas RTL, executam a lógica NOR. Discutiremos estas portas sumariamente, chamando a atenção para uma deficiência fundamental responsável pelo fato de elas nunca terem sido usadas amplamente.

Como notado na seção 3.10, a operação NOR é funcionalmente completa. Isto é, toda operação lógica pode ser executada usando apenas a operação NOR. Em um sistema de chaveamento com qualquer sofisticação, é muito provável que cada entrada da porta NOR seja derivada de saídas de outras NOR similares, e, por outro lado, pode ser necessário que cada NOR forneça

níveis lógicos de entrada para outras portas NOR. Portanto, a situação da porta DCTL $G11$, mostrada no compartimento tracejado da Fig. 4.2-1 é representativa do meio no qual uma porta típica pode ter que funcionar.

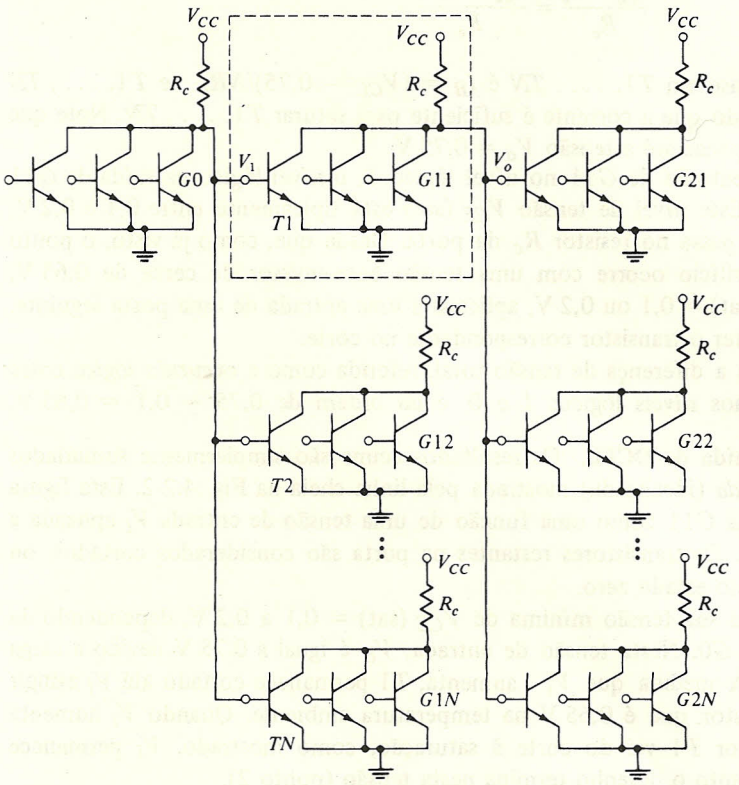


FIGURA 4.2-1
Porta NOR DCTL com FAN OUT de N.

Vamos focalizar nossa atenção na porta $G11$. Ela recebe a entrada V_i da porta $G0$ que também fornece um sinal para uma entrada das $N - 1$ outras portas desde $G12$ até $G1N$. De forma similar, a porta $G11$ deve fornecer sinais para uma entrada de N outras portas, de $G21$ até $G2N$. Os outros terminais de entrada da porta sem conexão na Fig. 4.2-1 irão obter suas entradas de fontes não especificadas aqui. Se qualquer destas portas tem mais entradas do que o necessário para sua função, os terminais de entrada não utilizados devem ser *aterrados*. O transistor correspondente estará, então, cortado e não terá efeito na operação daquela porta.

Vamos determinar agora os níveis de tensão presentes na entrada e saída das portas DCTL mostradas na Fig. 4.2-1. Suponha que todas as entradas de $G0$ são baixas o suficiente para manter todos os transistores em $G0$ no corte. Então o coletor comum de $G0$ subirá, levando os transistores $T1$, $T2$, ..., TN à saturação. Como notado antes (seção 1.1), na temperatura ambiente a tensão base-emissor V_σ de um transistor saturado é 0,75 V. Assim, o nível de tensão da porta correspondente ao estado **1** na saída da porta $G0$ é $V_\sigma = 0{,}75$ V. A corrente fornecida

às bases de cada um dos transistores $T1, T2, \ldots, TN$ é fornecida pela fonte V_{CC} através do resistor R_c. Nesta discussão, estamos supondo R_c suficientemente pequeno para que corrente adequada seja disponível para levar todos os transistores $T1, T2, \ldots, TN$ à saturação. Isto é, a corrente em R_c é igual a

$$\frac{V_{CC} - V_o}{R_c} = \frac{V_{CC} - 0{,}75}{R_c}$$

Portanto, cada corrente de base em $T1, \ldots, TN$ é $I_B = (V_{CC} - 0{,}75)/NR_c$, se $T1, \ldots, TN$ são idênticos. Estamos supondo que a corrente é suficiente para saturar $T1, \ldots, TN$. Note que o coletor da porta $G0$ sobe apenas até a tensão $V_o = 0{,}75$ V.

Com pelo menos uma entrada de $G11$ no nível lógico **1**, o nível lógico na saída de $G11$ é **0**, pois $V_{CE} = V_{CE}$ (sat). Este nível de tensão V_{CE} (sat) está tipicamente entre 0,1 e 0,2 V, dependendo da corrente que passa no resistor R_c da porta. Desde que, como já visto, o ponto limiar de um transistor de silício ocorre com uma tensão base-emissor de cerca de 0,65 V, a tensão de saturação V_{CE} (sat) = 0,1 ou 0,2 V, aplicada a uma entrada de uma porta seguinte, é baixa o suficiente para manter o transistor correspondente no corte.

Deve ser observado que a diferença de tensão total, referida como a *excursão lógica* entre as tensões correspondentes aos níveis lógicos **1** e **0**, é da ordem de 0,75 − 0,1 = 0,65 V.

Característica entrada-saída de DCTL. Os resultados acima são simplesmente sumariados pela *característica entrada-saída* (idealizada) mostrada pela linha cheia na Fig. 4.2-2. Esta figura apresenta a saída V_o da porta $G11$ como uma função de uma tensão de entrada V_i aplicada a um dos transistores da porta. Os transistores restantes na porta são considerados cortados, ou seja, as outras entradas estão no estado zero.

No ponto 1, V_i está em sua tensão mínima de V_{CE} (sat) = 0,1 a 0,2 V, dependendo da tensão de saturação da porta $G0$. Nesta tensão de entrada, V_o é igual a 0,75 V devido à carga das portas $G21$, $G22$, etc. À medida que V_i aumenta, $T1$ permanece cortado até V_i atingir a tensão de limiar do transistor que é 0,65 V na temperatura ambiente. Quando V_i aumenta de 0,65 a 0,75 V, o transistor $T1$ vai do corte à saturação, como mostrado. V_i permanece grampeado em 0,75 V, e portanto o desenho termina nesta tensão (ponto 2).

Uma característica entrada-saída mais realista está mostrada pela curva tracejada da Fig. 4.2-2. Como já notamos (veja seção 1.7), a corrente de coletor I_C na região ativa de um transistor

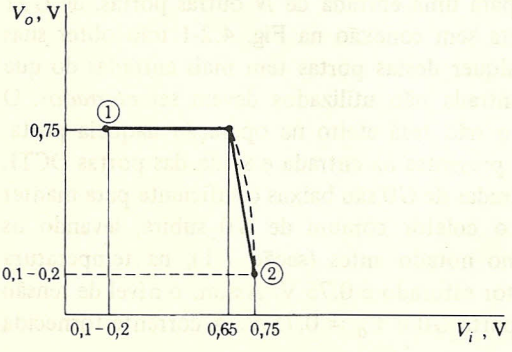


FIGURA 4.2-2
Característica entrada-saída de uma porta NOR DCTL.

é aproximadamente igual à corrente de emissor I_E, que é relacionada com a tensão emissor-base pela equação do diodo [Eq. (1.7-3)]. Portanto, como $V_{BE} = V_i$, temos

$$I_C \approx I_E \approx I_{E0} \epsilon^{V_i/V_T} \tag{4.2-1}$$

Para valores de V_O menores que 0,65, as correntes de base dos transistores sendo acionados por $G11$ caem a zero e podemos escrever

$$V_o = V_{CC} - R_c I_C = V_{CC} - R_c I_{E0} \epsilon^{V_i/V_T} \tag{4.2-2}$$

Portanto, a característica entrada-saída é uma exponencial decrescente com o módulo da inclinação sempre crescente.

Na gama de valores $0{,}65 \leqslant V_O \leqslant 0{,}75$ V, a Eq. (4.2-2) é menos exata pois não leva em conta a característica volt-ampère dos circuitos base-coletor dos transistores acionados.

4.3 ABSORÇÃO DE CORRENTE DE ENTRADA EM PORTAS DCTL

As portas DCTL sofrem de uma dificuldade chamada *absorção de corrente*. Para apreciar este problema, temos apenas de reconhecer que, apesar de os transistores de fabricantes similares serem geralmente bastante similares em desempenho, eles não são precisamente idênticos.

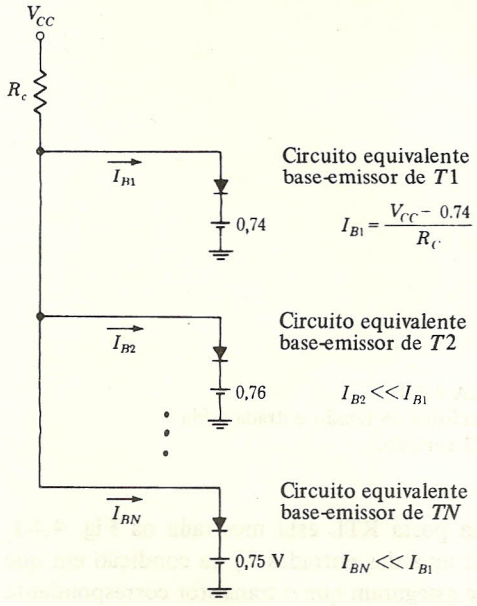


FIGURA 4.3-1
Circuito equivalente para ilustrar absorção de corrente de entrada em DCTL.

Assim, referindo-se à Fig. 4.2-1, suponha que a saída da porta $G0$ está em um nível lógico 1, de tal modo que $T1$, $T2$, etc. devem estar todos saturados. Suponha, por exemplo, que quando $T1$ atinge a saturação, sua tensão base-emissor é 0,74 V. Mas suponha que $T2$ necessite de uma tensão base-emissor de 0,76 V para saturação, enquanto 0,74 V o deixa na região ativa.

Esta diferença pode ser devida não apenas ao fato de que os transistores são diferentes, mas também ao fato de que $T1$ e $T2$ podem estar em diferentes invólucros de circuito integrado e, portanto, operando em temperaturas diferentes. A diferença de temperatura, por sua vez, pode ser devida à localização física diferente das duas unidades e, possivelmente, a uma diferença de dissipação de potência nos dois invólucros do circuito integrado.

Em qualquer caso, como visto na Fig. 4.3-1, que mostra o circuito de saída de $G0$ e os circuitos equivalentes de base-emissor de $T1$, $T2$, ..., TN, $T1$ absorverá a maior parte da corrente disponível fornecida por V_{CC} através de R_c, e outros transistores tendo tensões base-emissor maiores que 0,74 V, como $T2$, receberão pouca corrente de base e não serão capazes de atingir a saturação como necessário. Este fenômeno de absorção de corrente, característico de DCTL, explica por que este tipo de lógica não está presentemente em amplo uso, e não iremos mais considerá-lo.

4.4 LÓGICA TRANSISTOR-RESISTOR (RTL)

A dificuldade devida à absorção de corrente da porta DCTL pode ser quase eliminada introduzindo um resistor em série com a base de cada transistor como foi feito na porta RTL da Fig. 4.1-1 (veja Prob. 4.4-1). Em uma porta de média potência verificamos que $R_c = 640\ \Omega$ e $R_b = 450\ \Omega$ como colocado entre parênteses na Fig. 4.1-1. A tensão de alimentação é tipicamente $V_{CC} = 3$ V.

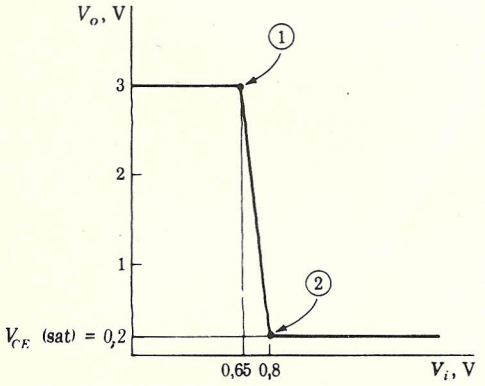


FIGURA 4.4-1
Característica de tensão entrada-saída com $T2$ cortado.

A característica de tensão entrada-saída de uma porta RTL está mostrada na Fig. 4.4-1. Aqui, desenhamos a tensão de saída V_o em função de uma das entradas V_i na condição em que todos os outros sinais de entrada estão em tensões que asseguram que o transistor correspondente está cortado. Referindo-nos à Fig. 4.4-1 notamos que, se V_i é menor que a tensão de limiar, que é 0,65 V na temperatura ambiente, $T1$ está cortado e $V_o = V_{CC} = 3$ V.

Quando V_i excede 0,65 V, $T1$ entra na região ativa e V_o diminui até que $T1$ satura. É útil calcular o valor mínimo de V_i necessário para levar $T1$ à saturação. Para ilustrar, vamos supor que V_{CE} (sat) = 0,2 V, $h_{FE} = 50$, e $h_{FC} = 0{,}1$. Então, a partir da Fig. 1.10-1 encontramos que $\sigma \equiv I_C/50I_B = 0{,}85$. Usando $R_C = 640\ \Omega$, a corrente de coletor de $T1$ é obtida a partir da

Fig. 4.1-1, sendo

$$I_C = \frac{3 - 0{,}2}{640} = 4{,}4 \text{ mA} \tag{4.4-1}$$

e portanto

$$I_B = \frac{4{,}4 \times 10^{-3}}{50(0{,}85)} \approx 0{,}1 \text{ mA} \tag{4.4-2}$$

Conhecendo I_B e considerando que $V_{BE}(T1) = V_\sigma = 0{,}75$ V, pois $T1$ está saturado, podemos calcular V_i. Referindo-nos à Fig. 4.1-1, temos

$$V_i = 450 I_B + V_{BE} = 450(0{,}1 \times 10^{-3}) + 0{,}75 \approx 0{,}8 \text{ V} \tag{4.4-3}$$

Um aumento posterior em V_i produzirá apenas uma pequena mudança em $V_o = V_{CE}$ pois, em saturação, V_{CE} está tipicamente entre 0,1 e 0,2 V. Assim, como visto na Fig. 4.4-1, V_o caiu para 0,2 V em $V_i = 0{,}8$ V e idealizamos o desenho ignorando qualquer pequena mudança em V_o para $V_i > 0{,}8$ V. Além disto, o desenho é idealizado pois a curva do ponto 1 até o ponto 2 deveria ser exponencial e está desenhada como uma reta.

Tipos de portas NOR RTL. Como observado anteriormente, portas NOR RTL em circuitos integrados disponíveis comercialmente têm, tipicamente, o resistor de coletor $R_c = 640\ \Omega$, enquanto o resistor de base $R_b = 450\ \Omega$. Uma porta NOR RTL de baixa potência é também disponível tendo $R_c = 3{,}6\ \text{k}\Omega$, enquanto $R_b = 1{,}5\ \text{k}\Omega$. A desvantagem desta porta de baixa potência é que os resistores maiores resultam em operação mais lenta: ou seja, o tempo de retardo de propagação é maior. A razão para este maior retardo é que todos os capacitores parasitas e os capacitores inerentes dos dispositivos ativos devem carregar e descarregar através destes resistores maiores.

Resistores PULL-UP. O resistor de coletor R_c na porta RTL é geralmente chamado de *resistor PULL-UP passivo*. A razão desta terminologia pode ser vista em conexão com a Fig. 4.4-2, onde uma porta RTL aciona uma carga capacitiva C. Esta capacitância é devida, em parte, a capacitâncias parasitas e, em parte, a capacitâncias associadas com as junções base-emissor de portas acionadas pela porta desenhada.

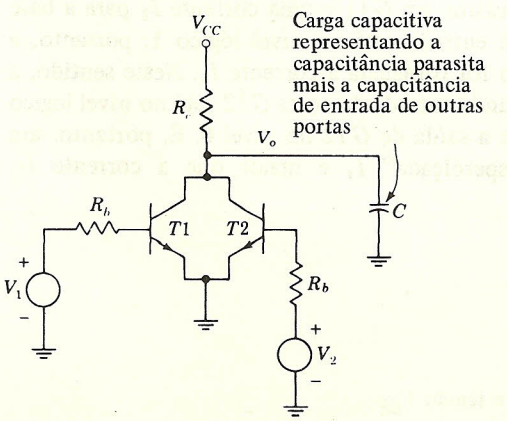


FIGURA 4.4-2
Uma porta RTL de duas entradas com uma carga capacitiva.

Considere, inicialmente, que V_1 está em nível alto e V_2 está em nível baixo, de modo que $T1$ está saturado, $T2$ está cortado e V_O está no estado **0**. Agora, façamos V_1 cair para o estado **0**. $T1$ agora vai para o corte e V_O sobe em direção a V_{CC} com uma constante de tempo $\tau = R_C C$. Dizemos que V_O é puxada (do inglês *pulled up*) para V_{CC} pelo resistor *PULL-UP* R_C. Como R_C é passivo, dizemos que esta porta emprega *PULL-UP passivo*. PULL-UP ativo é também disponível para RTL e muitas outras portas que serão discutidas em seguida. A operação do PULL-UP ativo é adiada para a seção 4.7, onde discutiremos o BUFFER RTL.

4.5 FAN-OUT

Geralmente será necessário, em um sistema de chaveamento físico, que uma porta NOR forneça os níveis lógicos de entrada para várias outras portas iguais. O número de portas acionadas por uma única porta é chamado de *FAN-OUT* da porta acionadora.

O FAN-OUT é limitado pelo fato de que, quando a saída da porta acionadora está no nível lógico **1**, os transistores das portas acionadas devem receber correntes de bases suficientes para saturá-los. A corrente necessária é fornecida pela tensão de alimentação V_{CC} através do resistor de coletor R_C da porta acionadora e, portanto, é limitada pela simples obediência à lei de Ohm.

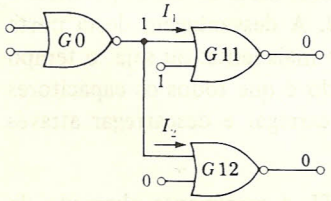


FIGURA 4.5-1
A porta NOR $G0$ acionando as portas NOR $G11$ e $G12$.

É de algum interesse notar que, quando uma porta acionadora, com sua corrente de acionamento disponível limitada, é ligada a várias outras portas, as portas acionadas que mais absorvem a corrente disponível são precisamente as que não fazem uso efetivo da corrente. Este ponto é tornado mais claro considerando a situação indicada na Fig. 4.5-1. Aqui, uma porta acionadora $G0$ tem sua saída no nível lógico **1** e está acionando duas portas $G11$ e $G12$. A porta $G0$ fornecerá uma corrente I_1 para a base de um transistor em $G11$ e uma corrente I_2 para a base de um transistor em $G12$. Na porta $G11$, a outra entrada está no nível lógico **1**; portanto, a saída de $G11$ será o nível lógico **0**, mesmo se não for fornecida a corrente I_1. Neste sentido, a corrente I_1 é "desperdiçada". Por outro lado, a segunda entrada da porta $G12$ está no nível lógico **0**, e portanto a corrente I_2 é essencial para manter a saída de $G12$ no nível **0**. É, portanto, um tanto desconcertante notar que a corrente "desperdiçada" I_1 é maior que a corrente I_2.

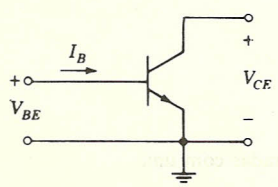


FIGURA 4.5-2
Definições de corrente I_B e tensão V_{BE}.

Para explorar este ponto, precisamos considerar a característica volt-ampère vista através da base de um transistor operando na configuração emissor comum. Esta característica volt-ampère é um desenho de I_B, a corrente de base, em função da tensão base-emissor V_{BE}. Estas corrente e tensão estão indicadas na Fig. 4.5-2. Das equações de Ebers-Moll (1.7-3) e (1.7-4). obtemos que, se o transistor está na região ativa, a corrente de base $I_B = I_E - I_C$ é relacionada com V_{BE} aproximadamente por.

$$I_B = \frac{I_{E0}(1 - \alpha_N)}{1 - \alpha_N \alpha_I} \epsilon^{V_{BE}/V_T} \tag{4.5-1}$$

Para chegar a essa equação, levamos em conta o fato de que $\epsilon^{V_{BE}/V_T} >> 1$ e $\epsilon^{V_{BE}/V_T} << 1$. Como α_I é pequeno ($\alpha_I \approx 0{,}1$ ou ainda menor), podemos levar a aproximação um pouco além e escrever

$$I_B = I_{E0}(1 - \alpha_N)\epsilon^{V_{BE}/V_T} \tag{4.5-2}$$

Finalmente, como $1 - \alpha_N = 1/(h_{FE} + 1) \approx 1/h_{FE}$, temos na região *ativa*

$$I_B = \frac{I_{E0}}{h_{FE}} \epsilon^{V_{BE}/V_T} \tag{4.5-3}$$

Em seguida, vamos considerar que o transistor foi levado o máximo possível à *saturação* com $\sigma \equiv I_C/h_{FE}I_B = 0$. Verificamos então, usando as Eqs. (1.7-3) e (1.7-4), que

$$I_B = I_{E0} \epsilon^{V_{BE}/V_T} \tag{4.5-4}$$

As Eqs. (4.5-3) e (4.5-4) mostram-se obviamente razoáveis. Quando o transistor é acionado ao ponto onde $\sigma = 0$, a corrente de coletor pode ser ignorada em comparação com a corrente de base. Se ignorarmos a corrente de coletor poderemos, de forma equivalente, considerar que o terminal de coletor do transistor está flutuante. Neste caso, olhando para o transistor entre base e emissor, vemos um simples diodo, isto é, a junção base-emissor. A característica volt-ampère é então dada diretamente pela equação do diodo (4.5-4). Entretanto, na região ativa, a fração $h_{FE}/(1 + h_{FE})$ da corrente da junção de emissor segue para a junção de coletor, enquanto a fração restante $1/(1 + h_{FE}) \approx 1/h_{FE}$ torna-se corrente de base. A corrente de base I_B é de novo dada pela equação do diodo, mas é menor por um fator h_{FE}, como dado pela Eq. (4.5-3).

Já nos referimos à tensão de limiar V_γ de um diodo como a tensão na qual a corrente do diodo começa a tornar-se suficientemente grande para ser significativa. É claro que o ponto limiar do diodo descrito pela Eq. (4.5-3) é maior do que o ponto limiar do diodo descrito pela Eq. (4.5-4), pois no primeiro caso a corrente de base é sempre menor por um fator h_{FE}. Como

$$\frac{1}{h_{FE}} = \exp\left(\ln \frac{1}{h_{FE}}\right) = \exp(-\ln h_{FE}) \tag{4.5-5}$$

podemos escrever a Eq. (4.5-3) na forma

$$I_B = I_{E0} \exp\left[\frac{V_{BE} - V_T \ln h_{FE}}{V_T}\right] \tag{4.5-6}$$

Um desenho da Eq. (4.5-6) seria idêntico ao desenho da Eq. (4.5-4), exceto que a curva da Eq. (4.5-6) seria deslocada na direção positiva de V_{BE} pela quantidade $V_T \ln h_{FE} = 0{,}1$ V,

para $V_T = 25$ mV e $h_{FE} = 55$. Assim, em um caso típico, o ponto limiar do circuito de entrada da base de um transistor na região ativa será cerca de 0,1 V maior que para um transistor levado ao limite da saturação.

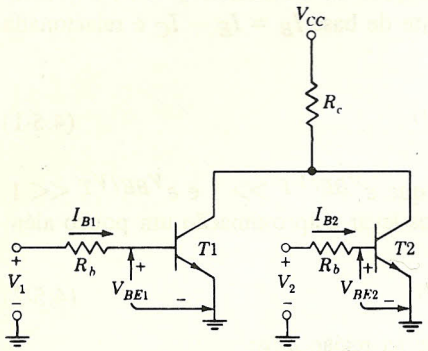


FIGURA 4.5-3
A característica volt-ampère de entrada de $T1$ depende da condição de operação de $T2$.

Consideremos agora a situação representada na Fig. 4.5-3, onde dois transistores estão em paralelo, como na porta NOR de duas entradas. Suponha que $T2$ está cortado. Então, a característica volt-ampère de entrada na base de $T1$ é dada pela Eq. (4.5-3), a presença de $T2$ não tendo efeito algum. Mas suponha, por outro lado, que $T2$ está na saturação com V_{CE}, como é usual, variando entre 0,2 e 0,1 V. Neste caso, quando V_1 sobe para levar $T1$ fora do corte ($V_{BE1} =$ $= 0{,}65$ V), a junção coletora está também polarizada diretamente. Isto é, com $V_{BE1} = 0{,}65$ e,

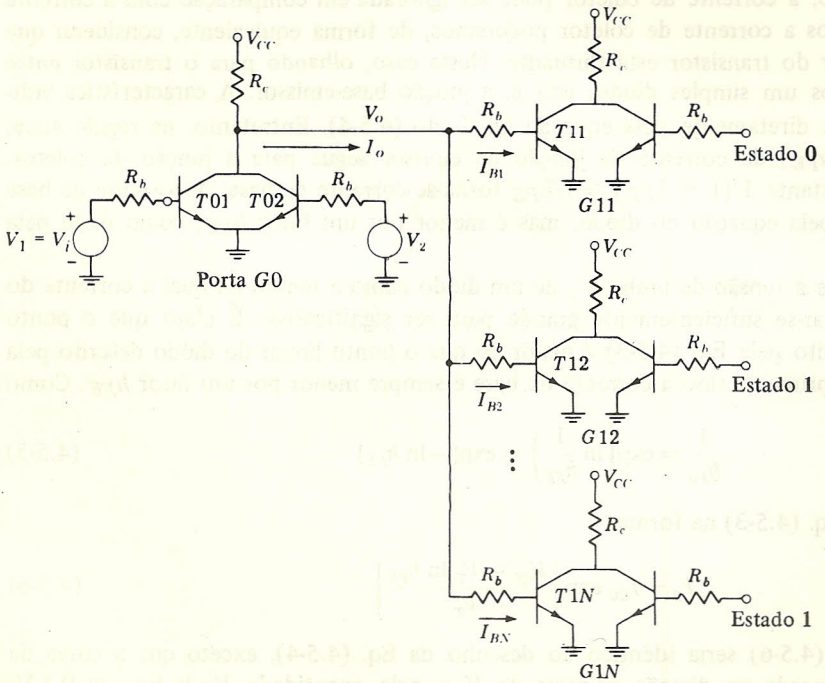


FIGURA 4.5-4
A porta $G0$ aciona N portas de duas entradas. Em todos os casos exceto um, o transistor em paralelo com a porta acionada está na saturação.

digamos, $V_{CE} = 0{,}2$ V, $V_{BC} = 0{,}65 - 0{,}2 = +0{,}45$ V. Portanto, $T1$ está ou cortado ou na saturação e *nunca estará na região ativa*. Assim, quando $T1$ está conduzindo, a característica volt-ampère de entrada na base de $T1$ é dada pela Eq. (4.5-4).

Em seguida, vamos considerar a situação de pior caso representada na Fig. 4.5-4. Agora, uma porta $G0$ aciona uma entrada de N portas diferentes. Em todos os casos exceto um, o transistor em paralelo com o transistor acionado está na saturação. Os transistores $T12$, $T13$, ..., $T1N$ estão na saturação se eles não estão no corte. O transistor $T11$ pode operar na região ativa. Analisando esta condição de pior caso, podemos agora estimar o FAN-OUT permitido.

Como vimos, a corrente de base I_{B1} necessária para acionar $T11$ é dada pela Eq. (4.4-2), sendo 100 μA. Podemos fazer uma estimativa aproximada das correntes I_{B2}, ..., I_{BN} considerando que as tensões de base de $T12$, $T13$, ..., $T1N$ são 0,1 V menores do que a tensão de base de $T11$. Como V_o é comum a todos os transistores, cada corrente I_{B2}, ..., I_{BN} é $0{,}1/R_b = 0{,}1/450 = 220\ \mu$A maior do que I_{B1}. Portanto, I_{B2}, ... é

$$I_{B2} = 100 + 220 = 320\ \mu\text{A} \tag{4.5-7}$$

Calculamos também, através da Eq. (4.4-3), que na temperatura ambiente, V_o [referido como V_i na Eq. (4.4-3)] é 0,8 V. A corrente máxima disponível do acionador (excitador) é I_o, dada por

$$I_o = \frac{V_{CC} - V_o}{R_c} = \frac{3 - 0{,}8}{640} = 3{,}4\ \text{mA} \tag{4.5-8}$$

se o FAN-OUT deve ser N, é necessário que

$$I_o = I_{B1} + I_{B2} + \cdots + I_{BN} \tag{4.5-9a}$$

$$3.400 = 100 + (N - 1)320 \tag{4.5-9b}$$

Assim obtemos que, na temperatura ambiente,

$$N = 11 \tag{4.5-10}$$

Em temperaturas mais baixas, o FAN-OUT permitido seria reduzido. Esta situação resulta da sensibilidade à temperatura da tensão base-emissor V_{BE} (-2 mV/°C) e porque h_{FE} diminui com o decréscimo de temperatura. A -55°C iríamos encontrar que h_{FE} caiu a cerca de metade do seu valor à temperatura ambiente. Com h_{FE} reduzido a valor tão baixo, é fácil verificar que a -55°C o FAN-OUT deve ser reduzido a cerca de $N = 7$.

Uma outra possibilidade pode tornar necessário restringir o FAN-OUT ainda um pouco mais do que o indicado pela discussão precedente. Referindo-nos à Fig. 4.5-4, supomos que, quando V_O está em lógica **1**, os transistores $T01$ e $T02$, estando cortados, não absorvem corrente. Na prática, verifica-se que, quando estes transistores estão cortados, cada um pode, no pior caso, absorver 75 μA de corrente de fuga (veja seção 4.9). Suponha então, por exemplo, que a porta $G0$ é uma porta de três entradas. Neste caso, a corrente de fuga seria $3 \times 75 = 225\ \mu$A. A indisponibilidade desta corrente de fuga como corrente acionadora para as portas sucessivas pode muito bem reduzir o FAN-OUT de uma unidade.

Com base na discussão precedente e levando em conta também a variabilidade dos parâmetros dos resistores e transistores a ser antecipada de amostra para amostra de um circuito integrado, não é surpresa que os fabricantes com conservadorismo conveniente especifiquem o FAN-OUT de portas RTL em $N = 5$.

4.6 CARACTERÍSTICA DE TENSÃO ENTRADA-SAÍDA DE PORTAS RTL EM CASCATA

Em relação a portas lógicas, é geralmente útil ter disponível uma curva da tensão de saída V_O em função da tensão de entrada V_i da porta nas condições em que a porta está ligada a várias cargas. Tais características de transferência reúnem em uma única figura várias informações sobre pontos de operação, excursão lógica (a mudança em níveis de tensão correspondentes aos dois níveis lógicos **1** e **0**), e compatibilidade entre as tensões de entrada e saída da porta. Tais características podem também ser usadas para determinar uma medida da sensibilidade da porta a ruído em qualquer de suas entradas e mostrar o efeito da variação de temperatura e tensão de alimentação.

Vamos traçar a característica de transferência para a porta RTL com um FAN-OUT de 5. Isto é, referindo-nos à Fig. 4.5-4, vamos desenhar V_O em função de V_i, supondo que $N = 5$ e que $T02$ está cortado. Admitiremos também que em cada porta acionada todos os transistores, com exceção dos transistores conectados a $G0$, estão cortados. Note que, na situação presente, a base de cada transistor do lado direito de $G11$-$G1N$ deve estar no estado **0** e não, como aparece na figura, no estado **1**.

Quando a tensão $V_i = 0$ V, a saída V_O da porta $G0$ está no estado **1**. Todas as portas acionadas estão na saturação. Como discutimos na seção 1.9, suporemos que, olhando através da base, ou seja, entre base e emissor, um transistor saturado comporta-se como uma fonte de tensão $V_\sigma = 0{,}75$ V (na temperatura ambiente) ou, mais genericamente [veja Eq. (1.2-1)], como uma fonte de tensão

$$V_\sigma = 0{,}75 - (2 \times 10^{-3})(T - 25°\text{C}) \tag{4.6-1}$$

O circuito equivalente necessário para calcular a tensão V_O de coletor da porta $G0$ é o dado na Fig. 4.6-1. Neste circuito, supomos implicitamente que todos os transistores acionados são idênticos. Aplicando as leis de Kirchhoff ao circuito da Fig. 4.6-1 obtemos (desde que $450/5 = 90\ \Omega$)

$$V_o = \frac{3}{640 + 90} 90 + \frac{V_\sigma}{640 + 90} 640 \tag{4.6-2}$$

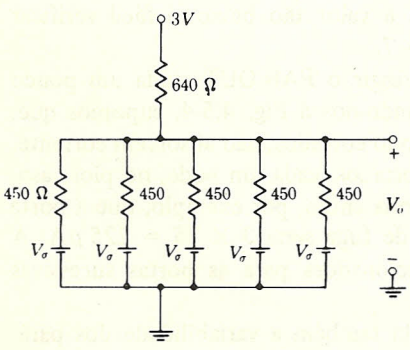


FIGURA 4.6-1
Circuito equivalente para calcular V_O quando $G0$ está cortado.

As especificações dos transistores são usualmente apresentadas em três temperaturas, $-55°$C, temperatura ambiente $T = 25°$C, e $+125°$C. As temperaturas mais baixa e mais alta

representam as temperaturas extremas de operação, enquanto a temperatura ambiente representa condições típicas de operação. As tensões V_o de saída nestas três temperaturas são, usando as Eqs. (4.6-1) e (4.6-2),

$$V_o = \begin{cases} 0{,}85\ \text{V} & T = 125°\text{C} \\ 1{,}03\ \text{V} & T = 25°\text{C} \\ 1{,}17\ \text{V} & T = -55°\text{C} \end{cases} \tag{4.6-3}$$

À medida que V_i aumenta a partir de 0 V, será atingido um ponto onde o transistor $T01$ entra na região ativa. De novo, como discutido na seção 1.2, consideraremos que este ponto limiar ocorre em

$$V_{BE} = V_\gamma = 0{,}65 - (2 \times 10^{-3})(T - 25°) = \begin{cases} 0{,}45 & T = 125°\text{C} \\ 0{,}65 & T = 25°\text{C} \\ 0{,}81 & T = -55°\text{C} \end{cases} \tag{4.6-4}$$

Aumentando mais V_i, obtemos que V_o diminui e eventualmente cairá para V_{CE} (sat), que suporemos novamente estar na gama de valores de 0,2 a 0,1 V. Esta tensão base-emissor dos transistores da porta acionadora será novamente $V_{BE} = V_o$ na saturação.

A tensão de entrada no ponto onde $T01$ da porta $G0$ atinge a saturação já foi calculada na Eq. (4.4-3), sendo $V_i = 0{,}8$ V na temperatura ambiente. Usando a Eq. (4.6-1), podemos, de forma similar, obter V_i em outras temperaturas:

$$V_i = \begin{cases} 0{,}6\ \text{V} & T = 125°\text{C} \\ 0{,}8\ \text{V} & T = 25°\text{C} \\ 0{,}96\ \text{V} & T = -55°\text{C} \end{cases} \tag{4.6-5}$$

Utilizando os resultados dados nas Eqs. (4.6-3) até (4.6-5), podemos construir as curvas mostradas na Fig. 4.6-2. Para ver como estas curvas são obtidas, considere $T = 25°\text{C}$. Então,

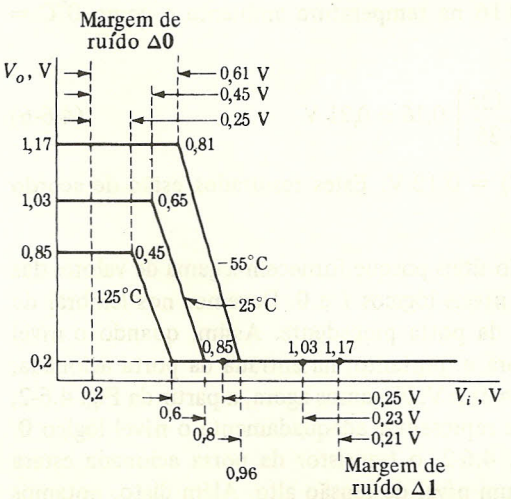


FIGURA 4.6-2
Característica entrada-saída.

para $V_i \leqslant 0{,}65$ V (limiar), $V_o = 1{,}03$ [Eq. (4.6-3)]. O valor do limiar é dado pela Eq. (4.6-4). O valor de V_i necessário para ter $V_o = 0{,}2$ V (saturação) é $V_i = 0{,}8$ V, obtido da Eq. (4.6-5). O valor máximo de V_i é 1,03 V e é obtido admitindo-se que a porta $G0$ é acionada por outra porta (não mostrada) tendo os mesmos valores de V_o que $G0$. Utilizando argumento similar, obtemos que V_i não pode ser menor que 0,2 V, o que ocorre quando a porta que aciona $G0$ satura.

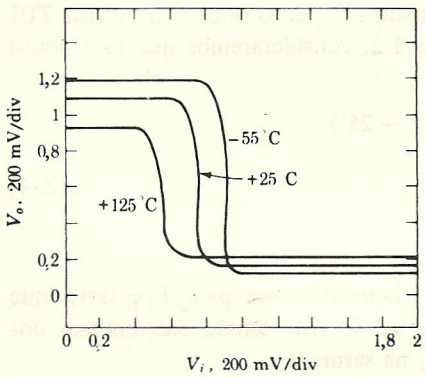


FIGURA 4.6-3
Característica de transferência de uma porta RTL típica para três temperaturas com FAN-OUT = 5.

Estas curvas, evidentemente, são idealizadas e representativas, em vez de reais e exatas. Entretanto, estão próximas o suficiente das curvas que seriam obtidas em uma situação real para serem de grande valor. Vamos comparar as curvas da Fig. 4.6-2 com as da Fig. 4.6-3, determinada experimentalmente para portas típicas. As curvas reais indicam alguma dependência com a temperatura na tensão de saturação coletor-emissor. Isto, evidentemente, deveria ser esperado, pois, referindo-nos à Eq. (1.10-3) vemos que V_{CE} (sat) é proporcional a $V_T = kT/q$ e, portanto, V_{CE} (sat) *aumenta* com o aumento da temperatura. Nossa curva idealizada ignorou esta dependência com a temperatura, pois a variação é pequena. Notamos também que, enquanto supomos V_o (sat) = 0,2 V na temperatura ambiente, a característica mostrada na Fig. 4.6-3 tem o valor de 0,16 V. Começando com V_{CE} (sat) = 0,16 na temperatura ambiente e como 0°C = = 273°K, temos

$$V_{CE}(\text{sat, } 125°\text{C}) = \left[\frac{273 + 125}{273 + 25}\right] 0{,}16 = 0{,}21 \text{ V} \qquad (4.6\text{-}6)$$

e obtemos correspondentemente V_{CE} (sat, $-55°$C) = 0,12 V. Estes resultados estão de acordo com a Fig. 4.6-3.

Margem de ruído. As curvas da Fig. 4.6-2 são úteis porque fornecem a gama de valores das tensões de entrada e de saída correspondente aos níveis lógicos **1** e **0**. Devemos nos lembrar de que geralmente a entrada de uma porta é a saída da porta precedente. Assim, quando o nível lógico **0** aparecer na saída de uma porta acionadora e, portanto, na entrada da porta acionada, este nível lógico corresponderá à tensão V_{CE} (sat) $\approx 0{,}2$ V. Notamos agora, a partir da Fig. 4.6-2, que esta tensão de 0,2 V é baixa o suficiente para representar adequadamente o nível lógico **0**. Em toda a gama de temperatura analisada na Fig. 4.6-2, o transistor da porta acionada estará cortado e a saída desta porta estará, portanto, em um nível de tensão alto. Além disto, notamos

que esta tensão V_{CE} (sat) = 0,2 V fornece uma *margem de segurança* ao assegurar o corte. Mesmo para o caso menos seguro, que ocorre em $T = 125°C$, há uma diferença de tensão 0,45 − 0,2 = = 0,25 V entre $V_i = V_{CE}$ (sat) e as tensões de entrada mínimas que permitiriam ao transistor acionado entrar em sua região ativa, $V_i = 0{,}45$ V. Tendo marcado a tensão V_{CE} (sat) = 0,2 V na abscissa da Fig. 4.6-2, podemos indicar as margens de segurança para as três temperaturas da maneira dada na figura. Esta margem de segurança é também referida como a *margem de ruído para uma entrada correspondendo ao nível lógico* **0** e é representada por $\Delta\mathbf{0}$. Temos que

$$\Delta\mathbf{0} = 0{,}65 - k(T - 25°C) - V_{CE}(\text{sat}) = 0{,}45 - k(T - 25°C) \qquad (4.6\text{-}7)$$

onde k, como já observado, é $k = 2$ mV/°C. Notemos a diminuição de $\Delta\mathbf{0}$ com o aumento da temperatura.

A sensibilidade à temperatura de $\Delta\mathbf{0}$ é realmente um pouco maior que o indicado na Eq. (4.6-7), pois vemos na Fig. 4.6-3 que $V_o = V_{CE}$ (sat) aumenta um pouco com a temperatura. Assim, a linha tracejada única traçada verticalmente da abscissa $V_i = V_{CE}$ (sat) = 0,2 V na Fig. 4.6-2 deve ser substituída por três linhas correspondentes às três temperaturas. A redução em $\Delta\mathbf{0}$ abaixo dos valores dados na Fig. 4.6-2 seria maior para $\Delta\mathbf{0}$ em 125°C, caso onde já há a menor margem de ruído. Podemos observar que este $\Delta\mathbf{0}$ limitado, encontrado com o aumento de temperatura, constitui uma desvantagem em circuitos RTL.

Voltemos nossa atenção ao caso da Fig. 4.5-4, onde V_i aumentou suficientemente, para $T01$ ser levado à saturação. Neste caso, evidentemente, quanto maior a tensão V_i, mais seguro estamos da saturação do transistor $T01$. Notamos da seção 4.5 que o FAN-OUT da porta que aciona $G0$ limita até onde V_i pode subir, assim como o FAN-OUT de $G0$ limita o valor máximo de V_O. Quanto maior o FAN-OUT, menor será a tensão disponível. Portanto, devemos considerar que a tensão de entrada máxima disponível para acionar uma porta não é a tensão de saída sem carga de uma porta acionadora, mas a tensão de saída que é carregada pelo FAN-OUT máximo. Desenhamos a Fig. 4.6-2 para um FAN-OUT de 5, precisamente porque este FAN-OUT é nominalmente o máximo projetado com portas RTL. As tensões de saída (1,17, 1,03 e 0,85 V) para o FAN-OUT de 5 são, evidentemente, as tensões de entrada disponíveis para acionar os transistores seguintes para saturação.

Podemos agora marcar na abscissa da Fig. 4.6-2 estas tensões de saída correspondentes a um FAN-OUT de 5. As margens de ruído $\Delta\mathbf{1}$ para uma entrada correspondendo ao nível lógico **1** podem ser lidas como indicado na figura. Assim, em $T = -55°C$ a saída é 1,17 e a saída mínima que manterá um transistor acionado na saturação é 0,96 V. A margem de ruído é, portanto,

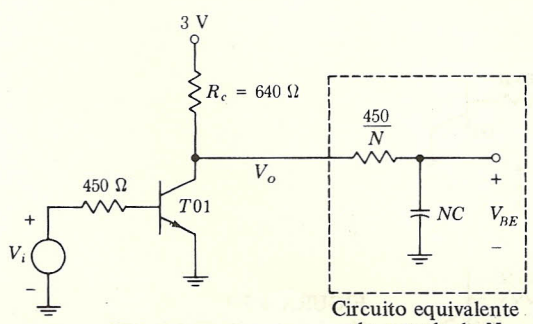


FIGURA 4.6-4
Circuito equivalente para determinar o tempo de subida de V_{BE}.

$\Delta 1 = 1{,}17 - 0{,}96 = 0{,}21$ V. Notamos da Fig. 4.6-2 que as margens de ruído $\Delta 1$ não são sensivelmente dependentes da temperatura.

Tempo de subida. O tempo de subida da porta $G0$ é afetado pelo número de portas que ela aciona. Para ilustrar este fato, considere que, na Fig. 4.5-4, V_i está no estado **1** e V_o está no estado **0**. Então, $T11$ até $T1N$ estão cortados, e a junção base-emissor de cada um destes transistores comporta-se como um capacitor. Vamos aproximar este capacitor por um capacitor real constante C. Então, o circuito equivalente de $G0$ e das portas acionadas na região onde V_i muda de seu estado **1** para seu estado **0** (com V_2 permanecendo no estado **0**) está mostrado na Fig. 4.6-4. Supomos aqui que cada uma das $N = 5$ portas acionadas é idêntica.

Agora, considere que V_i cai instantaneamente de seu estado **1** para seu estado **0**. $T01$ corta, e a tensão base-emissor de $T11$ até $T1N$ sobe com uma constante de tempo

$$\tau = \left(R_c + \frac{450}{N}\right) NC = (640N + 450)C \qquad (4.6\text{-}8)$$

Os fabricantes geralmente especificam que $C \approx 5$ pF; assim, com $N = 5$, $\tau = 18$ ns. Na seção seguinte veremos que uma porta RTL usando um PULL-UP ativo pode ter o mesmo valor para τ, e um FAN-OUT significativamente maior.

Deve-se lembrar que a capacitância de entrada de um transistor não é constante e é uma função da corrente na base. Assim, a constante de tempo indicada aqui é de valor apenas qualitativo em vez de quantitativo.

4.7 UM BUFFER RTL

As portas RTL discutidas nas seções precedentes empregavam *PULL-UP passivo* R_c. Isto limitou a corrente de saída, disponível para acionar outras portas, a um valor menor do que V_{CC}/R_c. O *BUFFER* é uma porta RTL usando um *PULL-UP ativo* para obter uma impedância

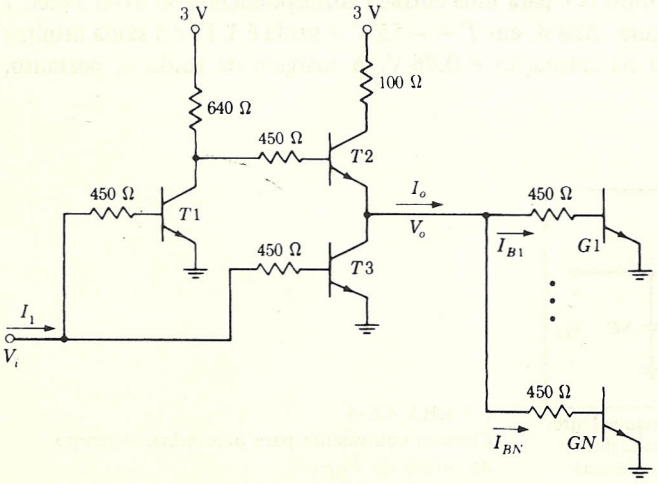


FIGURA 4.7-1
Um inversor BUFFER RTL acionando N portas.

de saída muito baixa. Assim, a capacidade de corrente de saída do BUFFER é significantemente maior do que a da porta comum. Como resultado, enquanto a porta RTL comum tem um FAN-OUT de 5, o BUFFER tem um FAN-OUT de 25. Além disto, como o BUFFER tem uma impedância de saída baixa, o *tempo de subida* quando acionando uma carga capacitiva é significantemente menor do que o obtido quando usando um PULL-UP passivo.

Um BUFFER RTL típico está mostrado na Fig. 4.7-1. O transistor $T2$ é o *PULL-UP* ativo que substitui o resistor PULL-UP passivo R_c na porta NOR comum. O transistor $T1$ funciona como um inversor lógico. Quando V_i está na lógica **0**, a saída de $T1$ está na lógica **1** e vice-versa. Assim, os níveis lógicos nas bases de $T1$ e $T3$ são sempre diferentes, e quando um destes transistores está conduzindo o outro está cortado. Quando $T2$ está cortado, sua corrente de coletor é zero; $T3$ está saturado ao máximo com $\sigma = I_C/h_{FE}I_B = 0$, e (como pode ser visto na Fig. 1.10-1) sua tensão V_{CE} (sat) = 60 mV.

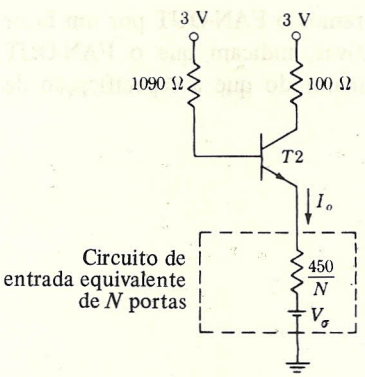


FIGURA 4.7-2
Circuito equivalente do BUFFER quando V_i está no estado **0**.

Quando $T3$ está cortado e $T2$ está conduzindo acionando N portas, sua corrente de saída I_O pode ser calculada do circuito da Fig. 4.7-2. Suponha primeiro que $T2$ está em sua região ativa com $V_{BE} = 0{,}7$ V e que $h_{FE} = 50$. Na temperatura ambiente, como usual, consideramos $V_\sigma = 0{,}75$ V. Aplicando a lei de tensão de Kirchhoff para a malha que inclui a junção base-emissor de $T2$, obtemos

$$I_o = \frac{3 - 0{,}7 - 0{,}75}{1090/50 + 450/N} = \frac{7{,}1 \times 10^{-2}}{1 + 20{,}6/N} \tag{4.7-1}$$

Se, entretanto, admitimos que $T2$ está saturado, temos $V_{BE} = 0{,}75$ V e $V_{CE} = 0{,}2$ V. Neste caso obtemos (Prob. 4.7-4) que

$$I_o(\text{sat}) = \frac{21{,}8 \times 10^{-3}}{1 + 4{,}9/N} \tag{4.7-2}$$

Para saber se $T2$ está ou não saturado, precisamos apenas comparar as duas correntes. Pois, se I_O (sat) $> I_O$, o transistor não está saturado, enquanto se I_O (sat) $< I_O$, o transistor está saturado. Pode-se verificar que o transistor não está saturado para $N = 1$ e está saturado para $N \geqslant 2$.

O BUFFER é normalmente empregado para acionar um número grande de portas. Suporemos, então, que $N \geqslant 2$ e que o transistor $T2$ está saturado. Como I_o (sat) é fornecido para todas as N portas, a corrente fornecida a cada porta é $I_{B1} = I_{B2} = I_{BN} = I_B$, onde

$$I_B = \frac{I_o(\text{sat})}{N} = \frac{21{,}8 \times 10^{-3}}{N + 4{,}9} \tag{4.7-3}$$

Para comparar o FAN-OUT do BUFFER com o FAN-OUT da porta RTL comum, vamos supor que $I_B = 320\ \mu\text{A}$, como na Eq. (4.5-7). Então

$$\frac{21{,}8 \times 10^{-3}}{N + 4{,}9} \geq 0{,}32 \times 10^{-3} \tag{4.7-4a}$$

e

$$N \leq 65 \tag{4.7-4b}$$

Note que na Eq. (4.5-10) encontramos $N = 11$. Assim, melhoramos o FAN-OUT por um fator de 6. As especificações dos fabricantes, tipicamente conservativas, indicam que o FAN-OUT máximo de um BUFFER é $N = 25$, que é um fator 5 vezes maior do que a especificação de FAN-OUT para uma porta RTL.

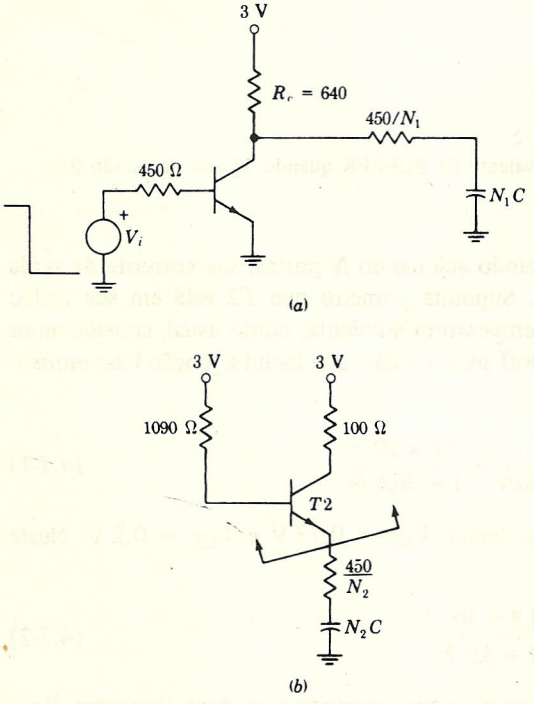


FIGURA 4.7-3
(*a*) Circuito da porta RTL para determinar a constante de tempo τ_i. (*b*) Circuito equivalente do BUFFER logo após $T1$ e $T3$ estarem cortados.

Vamos comparar agora os tempos de subida de um BUFFER e de uma porta NOR com PULL-UP passivo. O tempo de subida de uma porta é proporcional à constante de tempo RC

da porta e carga. Na Fig. 4.7-3*a* temos o circuito equivalente de uma porta RTL acionando N_1 portas RTL idênticas (veja seção 4.6). Representamos a junção base-emissor de cada transistor por um capacitor C. A constante de tempo τ_1 é

$$\tau_1 = \left(640 + \frac{450}{N_1}\right) N_1 C = (640N_1 + 450)C \tag{4.7-5}$$

A Fig. 4.7-3*b* é o circuito equivalente de um BUFFER, acionando N_2 portas RTL, logo após a tensão de entrada cair de seu estado **1** para o estado **0**. $T1$ e $T3$ estão cortados e $T2$ está saturado. Como $T2$ está saturado, através do emissor vê-se apenas a resistência de coletor de 100 Ω. Portanto, a constante de tempo é

$$\tau_2 \approx \left(100 + \frac{450}{N_2}\right) N_2 C = (100N_2 + 450)C \tag{4.7-6}$$

Se os tempos de subida da porta RTL e do BUFFER devem ser os mesmos, suas constantes de tempo são iguais. Para obter uma relação entre N_1 e N_2, igualamos as Eqs. (4.7-5) e (4.7-6), obtendo

$$640N_1 = 100N_2 \tag{4.7-7a}$$

Então

$$N_2 = 6{,}4N_1 \tag{4.7-7b}$$

que é aproximadamente a mesma relação obtida de considerações estáticas.

Limitação de corrente. Referindo-nos à Fig. 4.7-2, notamos que com $T2$ saturado a corrente de coletor é limitada pela resistência de coletor de 100 Ω. Este resistor é projetado para permitir a $T2$ saturar e ainda limitar sua dissipação de potência.

Para ilustrar, suponhamos que $T2$ esteja saturado de modo que $V_{CE} \approx 0{,}2$ V. Então, com $N = 25$, I_o (sat) = 18 mA. Podemos mostrar (veja Prob. 4.7-3) que $I_B = 1$ mA, de modo que $I_C = 17$ mA. Assim, a dissipação de coletor de $T2$ é $P_C = 3{,}4$ mW. Entretanto, se o resistor de 100 Ω fosse colocado em curto-circuito, $T2$ não estaria saturado, pois $V_{CB} > 0$. Então, da Eq. (4.7-1), I_o ($N = 25$) = 39 mA e da Fig. 4.7-2

$$V_{CE} = 3 - (450/25)(39 \times 10^{-3}) - V_\sigma = 1{,}55 \text{ V} \tag{4.7-8}$$

A dissipação é agora 60 mW, um aumento considerável e uma dissipação bastante grande para um transistor de circuito integrado.

4.8 UMA PORTA OU-EXCLUSIVO COM RTL

A porta OU-EXCLUSIVO foi introduzida na seção 3.10, sendo definida como um dispositivo que executa a operação

$$Z = \overline{A} \cdot B + A \cdot \overline{B} \equiv A \oplus B \tag{4.8-1}$$

Um circuito RTL capaz de executar esta operação lógica está mostrado na Fig. 4.8-1. A operação do circuito é a seguinte: considere que B está no estado lógico **0**. Então $T2$ está cortado. Assim, a entrada de $T3$ é A. Se, entretanto, B está no estado **1**, $T2$ está saturado e $T3$ está cortado.

Portanto, a entrada para $T3$ é $A\bar{B}$. De modo similar, pode-se mostrar que a entrada para $T4$ é $\bar{A}B$. Estas duas operações estão representadas por $G2$ e $G1$, respectivamente, na Fig. 4.8-1*b*.

Referindo-nos à Fig. 4.8-1*a*, vemos que os transistores $T3$ e $T4$ representam uma operação NOR. O transistor $T5$ inverte a saída do NOR, produzindo uma porta OR. Isto está mostrado na Fig. 4.8-1*b*. Assim, a saída de $T5$ é $Z = A\bar{B} + \bar{A}B$, como exigido.

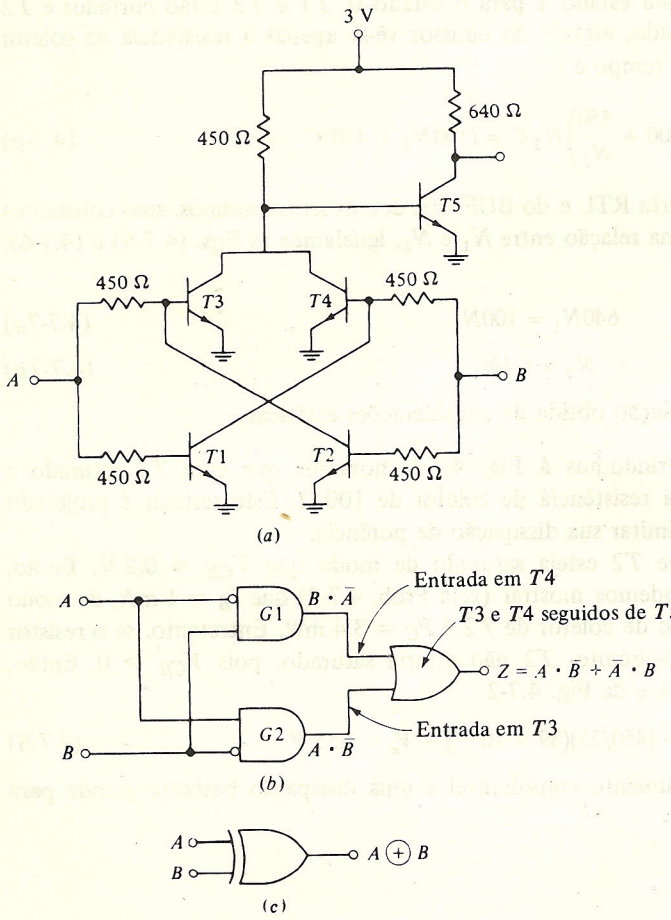


FIGURA 4.8-1
(*a*) Um circuito OU-EXCLUSIVO usando RTL; (*b*) representação com portas lógicas e (*c*) símbolo para o circuito OU-EXCLUSIVO.

4.9 ESPECIFICAÇÕES DOS FABRICANTES

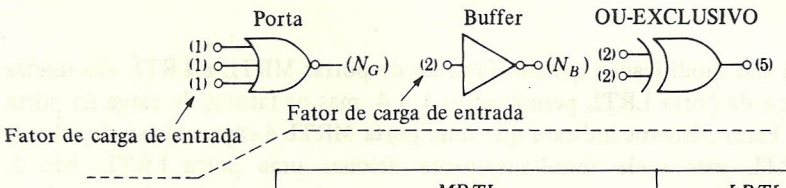
Esta seção é dedicada a uma discussão das especificações dos fabricantes de portas RTL.

Existem quatro tipos básicos de portas RTL: a porta de potência média (MRTL), onde $R_c = 640\ \Omega$ e $R_b = 450\ \Omega$; a porta de baixa potência (LRTL), onde $R_c = 3{,}6\ \text{k}\Omega$ e $R_b = 1{,}5\ \text{k}\Omega$;

o BUFFER disponível nas classes de média e de baixa potências; e a porta OU-EXCLUSIVO. Algumas das mais importantes características de cada uma destas portas estão apresentadas na Fig. 4.9-1 para temperatura ambiente, $T = 25°C$, e para uma porta típica. Especificações correspondentes a $-55°C$ e $+125°C$ são também disponíveis na literatura dos fabricantes.

Corrente de entrada, I_{in}. É a corrente máxima que será absorvida por uma entrada da porta. Tínhamos estimado [Eq. (4.5-7)] que esta corrente era cerca de 320 μA. O fabricante ainda mais conservador admite um pior caso de 435 μA. Esta especificação do fabricante está de acordo com sua especificação que o FAN-OUT permitido é 5.

Corrente de saída, I_{AN}. É a mínima corrente disponível para acionar outras portas na circunstância de um FAN-OUT de N. Notamos da Fig. 4.9-1 que, para uma porta MRTL, $I_{A5} =$ $= 2{,}54$ mA. Como $I_{in} = 435\ \mu A$, deveríamos esperar que $I_{A5} = 5I_{in}$. Obtemos $5I_{in} = 5 \times$ $\times\ 435\ \mu$A $= 2{,}18$ mA. A diferença $2{,}54 - 2{,}18 = 0{,}36$ mA fornece uma margem de segurança extra e permite alguma corrente para fuga.



		MRTL			*LRTL*	
		Porta	*Buffer*	*ou-Exclusivo*	*Porta*	*Buffer*
Fan-out	N_G	5		5	4	
	N_B		25			30
Tempo de retardo de propagação, t_{pd}		12 ns	20 ns	12 ns	27 ns	57 ns
Dissipação de potência, P_d						
Entradas altas		19 mW	16 mW	72 mW	4,8 mW	5,5 mW
Entradas baixas		5 mW	45 mW	72 mW	0,5 mW	16 mW
Corrente de entrada, I_{in}		435 μA	870 μA	870 μA	130 μA	260 μA
Corrente de saída, I_{A5}		2,54 mA	12,7 mA	2,54 mA	815 μA	4 mA
Corrente de fuga de saída, I_L		218 μA	218 μA	218 μA	100 μA	100 μA
Tensão de saturação		210 mV	210 mV	210 mV	220 mV	220 mV

FIGURA 4.9-1
Especificações dos fabricantes.

Corrente de fuga. Quando um transistor tem a entrada em lógica **0**, deveríamos esperar que a corrente de coletor fosse zero. Entretanto, isto nem sempre acontece pois a tensão base-emissor é sempre um pouco positiva. Por exemplo, se o transistor é acionado por uma porta

que está saturada, então a tensão base-emissor do transistor é igual à tensão de saturação da porta excitadora. Na situação de pior caso, esta tensão de saturação pode ser tão alta quanto 0,4 V. Como pode ser visto na Fig. 4.9-1, o fabricante garante que a corrente de fuga I_L é sempre menor que 218 μA para a porta e o BUFFER MRTL, e 100 μA para a porta e o BUFFER LRTL.

Fatores de carga de entrada e de saída. Para fornecer um guia em relação ao FAN-OUT permitido de portas, BUFFERS, etc., os fabricantes geralmente atribuem números para os terminais de entrada e de saída. Estes números, chamados *fatores de carga* de entrada e de saída, são proporcionais (ao inteiro mais próximo do lado conservativo) à corrente necessária por uma entrada ou disponível de uma saída. Assim, como aparece na Fig. 4.9-1, o fator de carga de entrada de uma porta MRTL é 1, e o fator de carga de saída N_G é 5. Estes números são interpretados para significar que a corrente de saída disponível é pelo menos 5 vezes (mas, menor do que 6 vezes) a corrente de entrada necessária. Conseqüentemente, quando uma porta aciona uma porta, o FAN-OUT permitido é 5. Notamos que um BUFFER tem um fator de carga de entrada de 2. Portanto, uma porta pode ser ligada a dois BUFFERS mas não a três. O FAN-OUT permitido para uma porta LRTL é 4, e portanto os fatores de carga de entrada e de saída são 1 e 4, respectivamente.

Os fatores de carga são modificados quando famílias de portas MRTL e LRTL são usadas juntas. Os fatores de carga da porta LRTL permanecem 1 e 4, mas os fatores de carga da porta MRTL tornam-se 3 e 16. Estes números indicam que uma porta MRTL é capaz não só de acionar cinco outras portas MRTL mas pode simultaneamente acionar uma porta LRTL, isto é, $16 = 5 \times 3 + 1$. Em geral, ao interligar portas precisamos apenas observar a regra de que o fator de carga de saída da porta excitadora deve ser igual ou maior do que a soma dos fatores de carga de entrada das portas acionadas.

4.10 PORTAS RTL EM PARALELO

Para aumentar o número de entradas disponível em uma porta RTL, podemos operar estas portas em paralelo. Consideraremos agora como os fatores de carga de entrada e de saída são afetados por esta ligação em paralelo.

Um modo de ligar em paralelo está mostrado na Fig. 4.10-1, onde interligamos os terminais de saída das duas portas A e B e, em cada caso, ligamos o terminal superior do resistor de coletor R_c na tensão de alimentação V_{CC}. Como conseqüência, a porta composta opera com uma resistência de coletor $R_c/2$. Será lembrado que a carga de saída permitida a uma porta RTL é limitada pelo fato de que a corrente de saída necessária para acionar outras portas deve ser fornecida de V_{CC} através do resistor de coletor. Como a ligação em paralelo reduziu o resistor de coletor por um fator de 2, o efeito desta ligação é aumentar o fator de carga de saída por este mesmo fator de 2. Se estamos considerando portas MRTL que individualmente tem um fator de carga de saída de 16, então, como indicado na Fig. 4.10-1, a ligação em paralelo aumentou o fator de carga de saída para 32. Ao todo, então, a ligação em paralelo dobrou o fator de carga de saída e dobrou também o número de terminais de entrada disponível para a porta.

O preço que tem de ser pago para estas vantagens, como notado na Fig. 4.10-1, é que o fator de carga de entrada deve também ser aumentado por um fator de 2, aumentando-o para 6, enquanto para uma porta simples o fator de carga de entrada é 3. Esta carga de entrada maior

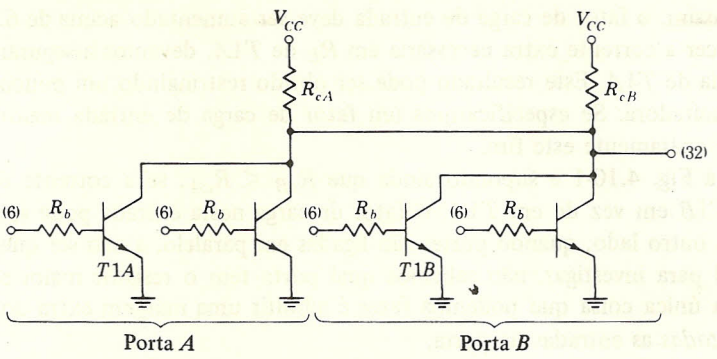


FIGURA 4.10-1
Ligando em paralelo duas portas na mesma pastilha

resulta do fato de que a resistência de coletor é $R_c/2$ em vez de R_c. Pois, com $R_c/2$, a corrente de saturação de coletor aumenta de um fator de 2, e a corrente de base necessária para levar um transistor a saturação deve aumentar correspondentemente de 2 (para o mesmo σ e a mesma tensão de saturação). De forma similar, se N portas são ligadas em paralelo, o fator de carga de saída torna-se $16N$ e o fator de carga de entrada torna-se $3N$.

Estes resultados para ligação em paralelo aplicam-se quando as portas individuais envolvidas são parte do mesmo circuito integrado, isto é, estão na mesma pastilha. Quando as portas individuais estão em pastilhas diferentes, o fator de carga de entrada deve ser aumentado acima de $3N$, devido a uma razão que será discutida agora.

Uma característica de circuitos integrados é que pode haver considerável variabilidade nos valores de resistores em qualquer circuito dado. Portanto, de uma amostra para outra, em uma porta RTL, R_c e R_b podem variar bastante. Por outro lado, há substancialmente menos variabilidade na relação de resistores R_c/R_b. Esta maior uniformidade da relação de resistores serve para fornecer uma medida de compensação na operação de uma porta operando individualmente. Suponha que, em uma porta particular, R_b é consideravelmente maior que a média. Então, em uma situação de operação típica, a corrente de base de um transistor nesta porta será menor do que a média. Por outro lado, se R_b for maior, R_c será também. Portanto, a corrente de saturação do transistor será menor, e a corrente de base disponível menor será adequada para levar o transistor à saturação. De forma similar, se R_c for menor, a corrente da saturação será maior. Mas o R_b correspondentemente menor servirá para aumentar a corrente de base, como necessário. Finalmente, podemos notar que, se os resistores em uma porta se afastam da média, todos os resistores em todas as portas *na mesma pastilha* se afastam da média na mesma direção.

Vamos agora considerar a situação quando as portas em paralelo estão em pastilhas *diferentes*. Neste caso, o resistor pode ser grande em uma porta e pequeno, na outra. Assim, por exemplo, na Fig. 4.10-1, considere que na porta A o resistor de coletor (chame-o R_{CA}) é grande e na porta B, R_{cB} é pequeno. Suponha que as portas em paralelo devem ser excitadas para o nível lógico **0**, levando o transistor $T1A$ à saturação. Como R_{cB} é menor que R_{cA}, a combinação paralela de R_{cA} e R_{cB} é menor que $R_{cA}/2$. Portanto, quando a porta B é ligada em paralelo com a porta A, a corrente necessária para levar $T1A$ à saturação é *mais do que o dobro*. Portanto, o fator de carga de entrada na entrada de $T1A$ é também mais do que o dobro

devido à ligação em paralelo. Assim, o fator de carga de entrada deve ser aumentado acima de 6. Em outras palavras, para fornecer a corrente extra necessária em R_b de $T1A$, devemos assegurar uma tensão mais alta na entrada de $T1A$. Este resultado pode ser obtido restringindo um pouco a carga permitida na porta excitadora. Se especificarmos um fator de carga de entrada maior para a porta A, teremos obtido exatamente este fim.

Referindo-se novamente à Fig. 4.10-1 e supondo ainda que $R_{cB} < R_{cA}$, se a corrente é aplicada à base do transistor $T1B$ em vez de em $T1A$, o fator de carga nesta entrada pode ser considerado *menor* que 6. Por outro lado, quando portas são ligadas em paralelo, a não ser que tenhamos um trabalho especial para investigar, não sabemos qual porta tem o resistor maior e qual tem o menor. Portanto, a única coisa que podemos fazer é admitir uma margem extra do fator de carga de entrada para *todas* as entradas da porta.

Em relação à margem extra do fator de carga de entrada devemos procurar orientação com os fabricantes, que basearão suas recomendações nas tolerâncias de fabricação. Tipicamente, verificamos que em MRTL, quando uma porta de uma primeira pastilha é ligada em paralelo com uma porta de uma segunda pastilha, é recomendado que o fator de carga de entrada seja aumentado de 0,75. Assim, na Fig. 4.10-1, colocaríamos o fator de carga de entrada em 6,75. Finalmente, considere que um total de N portas são ligadas em paralelo, com N_A portas na pastilha A e N_B portas na pastilha B ($N_A + N_B = N$). Então, por uma extensão da presente discussão, evidencia-se que o fator de carga de entrada na pastilha A é $3N + 0{,}75N_B$ e na pastilha B é $3N + 0{,}75N_A$.

4.11 ESPECIFICAÇÃO DAS TENSÕES DE OPERAÇÃO

A Fig. 4.6-2 indicou a variação das tensões de entrada e saída de uma porta RTL tendo um FAN-OUT máximo de 5, uma tensão de alimentação $V_{CC} = 3$ V e temperaturas de operação de -55, $+25$ e $+125$°C. Entretanto, a figura *não* leva em conta a variabilidade dos parâmetros dos transistores e resistores devido a tolerâncias de fabricação. Para levar em conta tal variabilidade, os fabricantes especificam os parâmetros no pior caso V_{oH}, V_{iH}, V_{oL}, V_{iL} mostrados

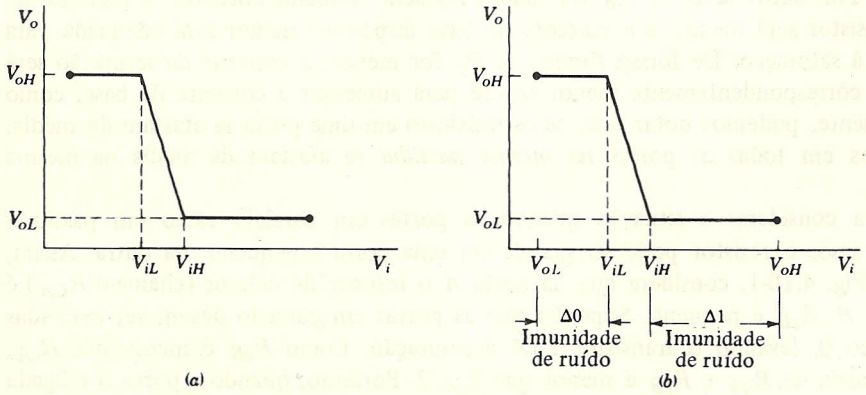


FIGURA 4.11-1
Característica entrada-saída mostrando (*a*) parâmetros no pior caso e (*b*) imunidades de ruído **Δ0** e **Δ1**.

na Fig. 4.11-1*a*. Estes parâmetros são especificados a uma dada temperatura, $V_{CC} = 3V \pm 10$ por cento, FAN-OUT máximo e pior caso de tolerâncias de fabricação. As definições destes parâmetros são:

V_{oH} A *mínima* tensão que será disponível na saída de uma porta, supondo-se que a saída está na lógica **1**

V_{iH} A *mínima* tensão de entrada da porta que será, sem ambigüidade, reconhecida pela porta como correspondente à lógica **1**

V_{oL} A *máxima* tensão que aparecerá na saída de uma porta, supondo-se que a saída está na lógica **0**

V_{iL} A *máxima* tensão de entrada da porta que será, sem ambigüidade, reconhecida pela porta como correspondente à lógica **0**

Assim, se V_i e V_o são, respectivamente, as tensões de entrada e saída de uma porta, é garantido que, se $V_i \leqslant V_{iL}$, então $V_o \geqslant V_{oH}$ e se $V_i \geqslant V_{iH}$, então $V_o \leqslant V_{oL}$.

Na Fig. 4.11-1*b* marcamos as tensões V_{oL} e V_{oH} no eixo da tensão de entrada. Evidencia-se agora que as imunidades a ruído são

$$\Delta\mathbf{0} = V_{iL} - V_{oL} \qquad \text{e} \qquad \Delta\mathbf{1} = V_{oH} - V_{iH}$$

Como estes quatro parâmetros V_{oH}, V_{iH}, V_{iL} e V_{oL} descrevem completamente a característica de tensão entrada-saída no pior caso e determinam as imunidades de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$, dificilmente há necessidade de desenhar a característica da Fig. 4.11-1. Em seu lugar, a mesma informação é geralmente apresentada na maneira mostrada na Fig. 4.11-2.

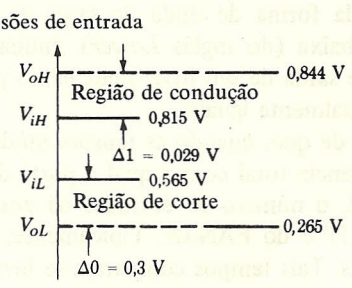


FIGURA 4.11-2
Margens de ruído especificadas pelos fabricantes.

EXEMPLO 4.11-1. Para uma dada porta RTL operando a 25°C, os parâmetros no pior caso, como especificados pelo fabricante, são $V_{oH} = 844$ mV, $V_{iH} = 815$ mV, $V_{iL} = 565$ mV e $V_{oL} = 265$ mV. Obter as imunidades de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$.

Solução. Os valores dos parâmetros no pior caso estão mostrados na Fig. 4.11-2. Assim, a imunidade de ruído $\Delta\mathbf{0}$ no pior caso é 300 mV, enquanto a imunidade de ruído $\Delta\mathbf{1}$ no pior caso é 29 mV. Estes resultados são significantemente mais pobres do que aqueles mostrados na Fig. 4.6-2, onde a margem de ruído $\Delta\mathbf{0}$ é 450 mV e a margem de ruído $\Delta\mathbf{1}$ é 230 mV. Estes resultados parecem piores do que realmente são. Os fabricantes prontamente admitem que os resultados são extremamente conservativos e que margens de ruído maiores realmente existem.

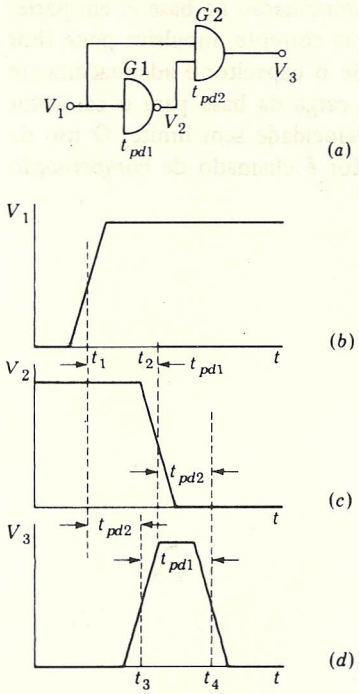


FIGURA 4.12-2
(*a*) Uma estrutura de porta cuja resposta é adversamente afetada pelo tempo de retardo de propagação t_{pd1}. (*b*) Forma de onda de entrada. (*c*) A saída de $G1$. (*d*) O pulso de saída de $G2$.

por simplicidade, como sendo no ponto central da excursão da forma de onda de V_1, tendo esta forma de onda um tempo de subida finito pois é a saída de alguma porta precedente (não mostrada). V_2 então faz uma excursão de **1** para **0** após um tempo t_{pd1} no instante t_2. (Consideramos o tempo de descida de V_2 aproximadamente igual ao tempo de subida de V_2.) Como agora V_1 sobe para **1** antes que V_2 caia de **1**, haverá um intervalo quando a saída da porta AND for **1**. V_3 sobe para **1** em $t = t_3$ atrasada por um intervalo de tempo t_{pd2} de t_1. Em $t = t_2$, após um atraso t_{pd1}, V_2 cai para **0** e finalmente, em $t = t_4$, após um atraso de novo de t_{pd2}, V_3 voltará para **0**. Em resumo, evidencia-se que o degrau em V_1 deu origem a um pulso em V_3. Note que o instante de ocorrência do pulso é determinado por t_{pd2}, mas que a largura do pulso é determinada por t_{pd1}. Além disto, a própria existência do pulso resulta do retardo t_{pd1}. Resultados não-intencionais devido a tais retardos de propagação de porta são referidos como *azares*.

Compensação de carga para reduzir o tempo de propagação. Como notado, os retardos de propagação resultam, em parte, da necessidade de estabelecer ou remover cargas de base quando os transistores são acionados e cortados (veja seção 1.17). Uma forma pela qual este processo pode ser acelerado é fornecer o fluxo de correntes impulsivas (muito grandes, se bem que de curta duração) para dentro e para fora da base. Em RTL, tais correntes impulsivas podem ser fornecidas colocando capacitores em paralelo com os resistores de base R_b, como mostrado na Fig. 4.12-3*a*.

Suponha que T_1 está na saturação, pois sua entrada está no nível lógico **1**. Quando V_1 cai para a lógica **0**, T_1 deve cortar quando a carga armazenada na base é reduzida a zero. Na ausência

do capacitor C, esta carga deve dissipar em parte através de recombinação na base e, em parte, fluindo da base através de R_b. Com o capacitor, entretanto, uma corrente impulsiva pode fluir da base, removendo a carga da base muito mais rapidamente. Se o capacitor é adequadamente grande, é possível, em princípio pelo menos, transferir toda a carga da base para o capacitor instantaneamente e, desta forma, cortando o transistor com velocidade sem limite. O uso de capacitores para retirar carga abruptamente de um semicondutor é chamado de *compensação de carga*.

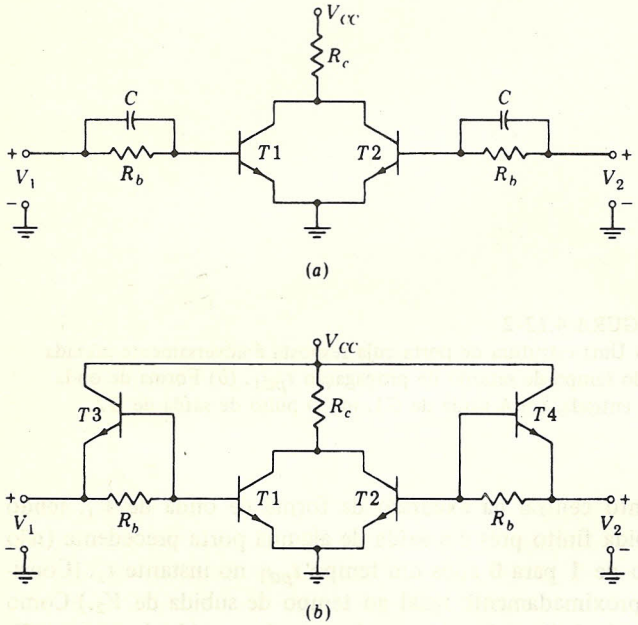


FIGURA 4.12-3
(*a*) Uma porta RTL com capacitores adicionados para fornecer compensação de carga. (*b*) Uma aplicação prática de compensação de carga usando as capacitâncias das junções base-emissor dos transistores adicionados.

Em circuito integrado, capacitores convencionais são usados apenas raramente, porque eles ocupam uma grande área da pastilha do circuito integrado. Entretanto, a capacitância de junção de um transistor é algumas vezes empregada quando capacitores são necessários. Na Fig. 4.12-3*b*, tais capacitores de junção foram colocados em paralelo com os resistores R_b através da adição dos transistores $T3$ e $T4$. As capacitâncias das junções base-emissor destes transistores adicionados estão em paralelo com os resistores R_b. Uma família de portas RTL, como na Fig. 4.12-3*b*, com $V_{CC} = 4{,}0$ V, $R_c = 1{,}9\,\text{k}\Omega$ e $R_b = 1{,}2\,\text{k}\Omega$ é fabricada pela Western Electric Co. para uso de Bell System.

4.13 LÓGICA DE INJEÇÃO INTEGRADA (IIL)

Vimos na seção 4.5 que, quando transistores estão em paralelo, como em portas RTL, a corrente de base absorvida por um transistor torna-se excessivamente grande se um de seus transistores em paralelo vai para saturação. Este aumento na corrente de base torna-se progressivamente mais pronunciado, à medida que mais transistores são levados à saturação e pode ser

particularmente pronunciado em portas de alto FAN-IN. Esta característica de operação de transistores em paralelo é responsável, em grande parte, pelo FAN-OUT relativamente baixo de portas RTL. Além disto, DCTL tem a dificuldade da absorção de corrente de entrada, discutida na seção 4.3. Por estas razões, DCTL nunca encontrou qualquer aplicação extensiva. E, enquanto RTL teve um breve período de popularidade, caiu agora em desgraça e não é presentemente incorporado em sistemas digitais novos.

Nos capítulos seguintes, analisaremos várias outras famílias de lógica que não têm as limitações de DCTL e RTL. Algumas destas envolvem transistores bipolares, outras usam dispositivos de efeito de campo. As famílias que usam transistor bipolar têm a desvantagem de serem apreciavelmente mais complicadas do que DCTL ou RTL. Portanto, cada porta ocupa mais área na pastilha de silício do circuito integrado do que, digamos, DCTL ocuparia. Esta necessidade de área maior é, evidentemente, uma desvantagem em LSI (são as iniciais em inglês de Integração em Larga Escala: *Large Scale Integration*). Como veremos, os dispositivos FET são mais econômicos em área mas, infelizmente, são apreciavelmente mais lentos do que portas com transistores bipolares.

RTL e DCTL foram as primeiras famílias lógicas desenvolvidas comercialmente. Em seguida, várias outras famílias lógicas foram introduzidas; estas famílias são descritas e analisadas nos capítulos seguintes, mais ou menos na ordem de seu desenvolvimento. A *lógica de injeção integrada* (IIL – são as iniciais do nome em inglês *Integrated-injection logic* – ou I^2L) é o sistema lógico mais recente a ser introduzido para aplicações comerciais. Nós a discutiremos neste ponto porque tem uma relação especial com DCTL. A IIL tem a simplicidade elegante do DCTL. Uma porta típica usa muito pouca área e consome muito pouca potência. Por estas razões, IIL é eminentemente adaptada para aplicações de integração de média e larga escala.

Quando se utiliza uma família lógica em integração de média e larga escala onde as portas têm que estar aglomeradas o mais próximo possível, a dissipação de potência por porta é motivo de grande preocupação. É geralmente verdade, como já vimos para a RTL, que um compromisso pode ser feito sacrificando dissipação de potência por velocidade. Portanto, uma figura de mérito pertinente na comparação entre uma família lógica com outra é o produto *velocidade-potência*. A velocidade é medida pelo tempo de propagação, e a potência, pela dissipação de potência em uma porta típica. É impressionante comparar o produto velocidade-potência da IIL com o produto correspondente de outras famílias lógicas. Por exemplo, considere a comparação entre IIL e TTL (esta família é discutida em detalhes no Cap. 6). Atualmente, TTL é certamente a família de lógica mais popular em integração em pequena escala, tem extensivas aplicações em integração em média escala e alguma aplicação em integração em larga escala. O produto velocidade-potência [dimensionalmente (tempo × energia)/tempo = energia] para o TTL é tipicamente 100 pJ, enquanto, para IIL, este produto está na faixa de 0,1 a 0,7 pJ. E, enquanto portas TTL podem ser empacotadas com uma densidade de cerca de 20 portas por milímetro quadrado, portas IIL permitem uma densidade de empacotamento na faixa de 120 a 200 portas por milímetro quadrado.

Na época em que o livro foi escrito (meados de 1976), a lógica IIL não era disponível comercialmente em integração de pequena escala. Pastilhas contendo uma ou várias portas, como disponível em RTL e em outras famílias, não tinham sido colocadas no mercado. Por outro lado, pastilhas de integração em média e larga escala estavam disponíveis.

Configuração básica do IIL. A porta DCTL mostrada na Fig. 4.2-1 e a porta RTL mostrada na Fig. 4.1-1 realmente se parecem com portas. Cada uma exibe múltiplas entradas e uma única

saída, como esperado de uma porta. (As outras famílias de lógica discutidas nos capítulos seguintes também se parecem com portas.) Por outro lado, a estrutura básica de um IIL exibe uma única entrada e saídas múltiplas, e alguma explanação é necessária.

Continuando a discussão por meio de ilustração, vamos considerar que temos duas variáveis lógicas A e B e que precisamos gerar as funções AB, $A\overline{B}$, $\overline{A}B$ e $\overline{A}\,\overline{B}$. Utilizaremos lógica DCTL. As variáveis A e B podem elas próprias ser funções de outras variáveis e, portanto, serão inicialmente disponíveis como as saídas de outras portas DCTL, $G1$ e $G2$, como mostrado na Fig. 4.13-1. Como estas portas são externas ao sistema que iremos montar, nós as desenhamos com linhas tracejadas. (Dois transistores estão indicados em $G1$ e $G2$, mas evidentemente o número é arbitrário.)

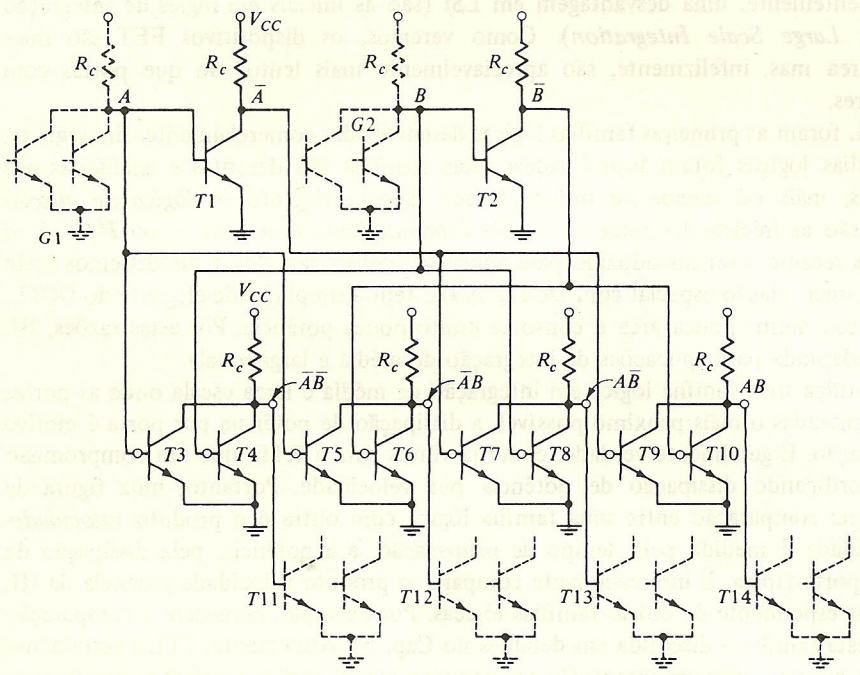


FIGURA 4.13-1
Uma estrutura de porta DCTL que gera AB, $A\overline{B}$, $\overline{A}B$ e $\overline{A}\,\overline{B}$ a partir das variáveis lógicas A e B.

Precisamos de $\overline{A}$ e $\overline{B}$, e estas funções de A e B são geradas pelas portas de entrada simples envolvendo os transistores $T1$ e $T2$. Finalmente, com A, B, $\overline{A}$ e $\overline{B}$ disponíveis, as funções solicitadas são geradas por quatro portas DCTL de duas entradas. As funções geradas podem elas próprias servir como entradas para outras portas. Para levar em conta esta possibilidade, ligamos a saída $\overline{A}\,\overline{B}$ na base de $T11$, a saída $\overline{A}B$ na base de $T12$, etc., estes transistores $T11$ até $T14$ fornecendo uma entrada destas portas externas.

Redesenhamos a Fig. 4.13-1, obtendo a Fig. 4.13-2. Redesenhando a parte da figura de interesse para nós, isto é, a parte desenhada em linhas sólidas, reorganizamos o desenho para agrupar transistores com conexões de base comum. Na Fig. 4.13-1 os transistores agrupados

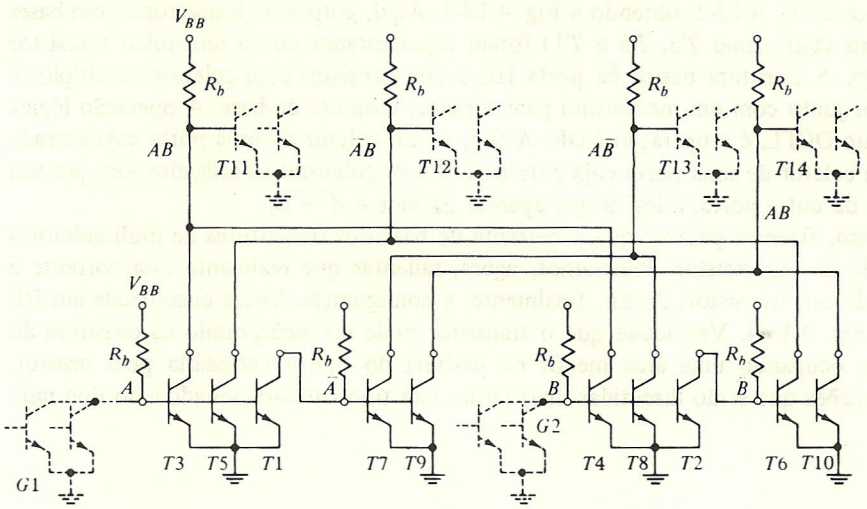


FIGURA 4.13-2
Figura 4.13-1 redesenhada para agrupar os transistores com conexões de base comum.

têm conexões de coletor comum. Além disto, indo da Fig. 4.13-1 para a Fig. 4.13-2, adotamos uma interpretação diferente na função dos resistores. Na Fig. 4.13-1 vemos os resistores como resistores de coletor comum e, conseqüentemente, os chamamos de R_c. Na Fig. 4.13-2 os resistores são vistos como resistores de base comum, sendo chamados de R_b. Assim, o resistor previamente visto como o resistor de coletor comum aos transistores da porta $G1$, é visto agora como o resistor de base comum aos transistores $T1$, $T3$ e $T5$. Correspondentemente, em um caso a tensão para a qual o resistor está ligado é chamada V_{CC} e, no outro, é chamada V_{BB}.

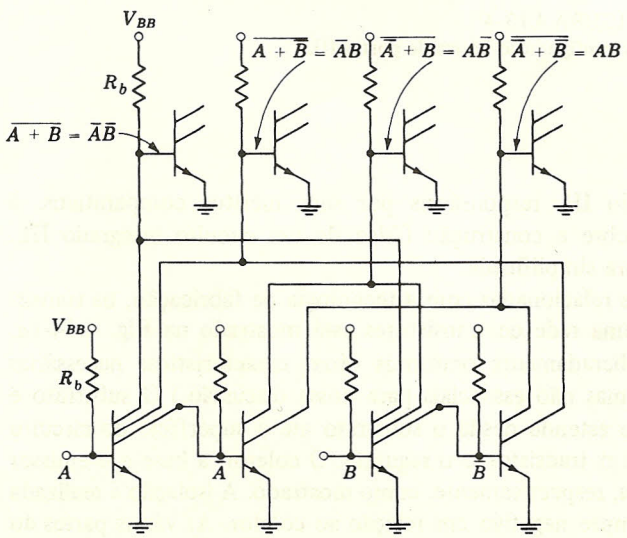


FIGURA 4.13-3
Figura 4.13-2 redesenhada com transistores de coletor múltiplo.

Redesenhamos a Fig. 4.13-2, obtendo a Fig. 4.13-3. Aqui, grupos de transistores com bases e emissores comuns (tais como $T3$, $T5$ e $T1$) foram representados como um único transistor de coletor múltiplo. A estrutura básica da porta IIL é um transistor com coletores múltiplos e um simples emissor junto com um mecanismo para fornecer corrente de base. A operação lógica executada, como no DCTL, é a operação NOR. Assim, se um coletor de uma porta cuja entrada é A é ligado a um coletor de uma porta cuja entrada é B e os coletores interligados são, por sua vez, ligados à base de outra porta, a lógica que aparece na base é $\overline{A + B}$.

Até este ponto, fizemos parecer que a corrente de base dos transistores de multicoletores é fornecida através de um resistor. Precisamos, agora, salientar que realmente esta corrente é fornecida através de um transistor. Assim, finalmente, a configuração básica encontrada em IIL aparece como na Fig. 4.13-4. Verifica-se que o transistor pode ser incorporado na estrutura do circuito integrado, ocupando uma área menor na pastilha do que a necessária pelo resistor. Observe que, por razões que serão discutidas mais tarde, este transistor adicionado é do tipo *pnp*.

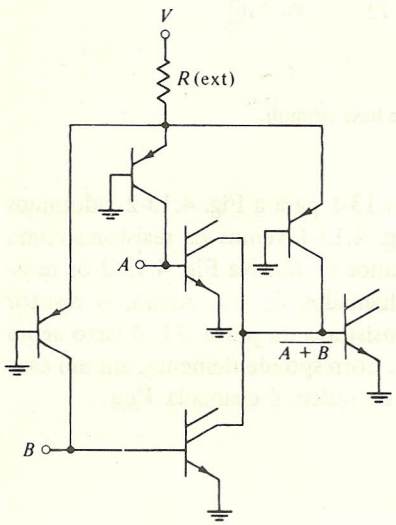


FIGURA 4.13-4
A configuração básica de portas IIL.

4.14 ARRANJO FÍSICO DE IIL

Para apreciar as características do IIL responsáveis por seus méritos comparativos, é necessário dar algumas considerações sobre a construção física de um circuito integrado IIL. Consideraremos a matéria de uma maneira simplificada.

Em circuitos integrados por razões relacionadas com a tecnologia de fabricação, os transistores são do tipo *npn*. O arranjo de uma rede de transistores está mostrado na Fig. 4.14-1*a*. (Na Fig. 4.14-1 por simplicidade, deliberadamente omitimos várias características necessárias para a operação correta do dispositivo mas não essenciais para nossa discussão.) O substrato é de silício tipo p, e o material tipo p se estende desde o substrato até a superfície do circuito integrado para fornecer isolação entre um transistor e o seguinte. O coletor, a base e o emissor são do tipo n, tipo p e novamente tipo n, respectivamente, como mostrado. A isolação é realizada providenciando que o substrato seja sempre negativo em relação ao coletor. As várias partes do

transistor são formadas pela difusão de impurezas a partir da superfície do circuito integrado. O coletor é relativamente pouco dopado, a base é dopada mais fortemente e o emissor é fortemente dopado.

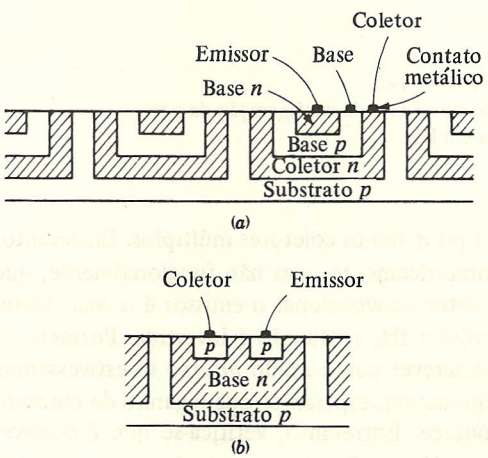


FIGURA 4.14-1
(*a*) A estrutura física (simplificada) de um transistor em circuito integrado. (*b*) A estrutura física de um transistor lateral *pnp*.

Tanto a geometria da estrutura como a dopagem servem para assegurar que o ganho de base comum α_N seja próximo da unidade e que $h_{FE} = \alpha_N/(1 - \alpha_N)$ seja grande. Como o emissor é dopado muito mais fortemente do que a base, os portadores que atravessam a junção emissora são predominantemente elétrons. É importante que tal aconteça, pois lacunas atravessando da base para o emissor constituem uma corrente de emissor que não será coletada na junção coletor. Como a base é muito fina, muito pouco dos elétrons injetados na base será perdido na base devido à recombinação. Finalmente, notamos que o emissor é quase envolvido pelo coletor, isto é, quando visto do emissor, o coletor subentende um ângulo grande. Como conseqüência, um elétron deixando o emissor de qualquer ponto e em qualquer direção dificilmente deixará de atingir o coletor. Por todas estas razões, encontramos $\alpha_N \approx 0{,}98$ ou ainda maior. Na configuração do transistor da Fig. 4.14-1*a*, o eixo de simetria do fluxo de corrente está na direção vertical. Portanto, este transistor é chamado *transistor vertical.*

A estrutura de transistor pode ser modificada para admitir um transistor *pnp*. Este transistor está mostrado na Fig. 4.14-1*b*. O substrato é, de novo, tipo *p*. Entretanto, a camada acima do substrato é a base em vez de coletor. Como mostrado, o emissor e o coletor são formados por difusão tipo *p* na base. Observe que, no caso *pnp*, o ângulo subentendido pelo coletor visto do emissor é relativamente pequeno. Por esta razão, o ganho de corrente h_{FE} do transistor *pnp* é bastante baixo, estando na faixa de 0,5 a 5, comparado com 50 a 150 para um transistor *npn*. Finalmente, notamos que a direção geral do fluxo de corrente é horizontal, ou seja, para o lado, em vez de vertical; portanto, a configuração da Fig. 4.14-1*b* é chamada *transistor lateral.*

Voltando agora para a porta IIL, vemos sua estrutura na Fig. 4.14-2. (Nesta figura tomamos também algumas liberdades no sentido de simplificação.) Nesta figura mostramos duas portas de três coletores lado a lado. A camada *n* inferior, que em transistor de circuito integrado convencional é o coletor, é aqui o emissor. Como todos os emissores em todos os transistores operam na mesma tensão (terra), uma isolação tipo *p* necessária na Fig. 4.14-1*a* não é utilizada no circuito da Fig. 4.14-2. No transistor convencional, a pequena região *n*, implantada na base tipo *p*, é

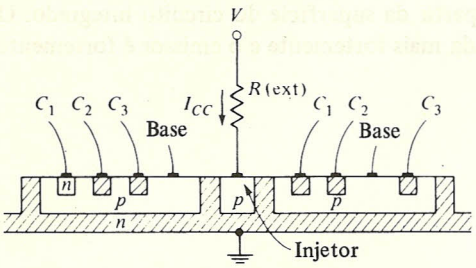


FIGURA 4.14-2
A estrutura física da configuração da porta básica em IIL.

o emissor. No transistor IIL, estas pequenas regiões tipo *n* são os coletores múltiplos. Entretanto, no transistor IIL, a dopagem relativa é a mesma geometricamente, mas não funcionalmente, que no transistor convencional; isto é, enquanto no transistor convencional o emissor é o mais fortemente dopado e o coletor o menos dopado, no transistor IIL a situação é invertida. Portanto, o transistor IIL opera em um modo que poderíamos descrever como modo *inverso* se estivéssemos tratando com um transistor convencional. Conseqüentemente, esperamos que o ganho de corrente para o transistor IIL seja baixo. Isto realmente acontece. Entretanto, verifica-se que é possível obter ganhos de corrente da ordem de 5 e até maiores. Um ganho de corrente deste valor é inteiramente adequado, pois, como pode ser visto na Fig. 4.13-1, cada coletor precisa fornecer um FAN-OUT de apenas 1.

Como indicada na Fig. 4.14-2, a localização da conexão de base para o transistor *npn* não é a mesma de um transistor para outro. Esta característica é útil pois permite que as conexões de base e as regiões de coletor sejam localizadas como necessárias para acomodar as várias interconexões.

A Fig. 4.14-2 também mostra o transistor *pnp* que fornece corrente de base para o transistor *npn* (veja Fig. 4.13-4). A região *p* marcada "injetor" é o emissor deste transistor, seu coletor é a base tipo *p* dos transistores *npn*, e sua base é o emissor tipo *n* do transistor *npn*. Ao todo, os dois transistores, um *npn* e um *pnp*, são formados com apenas quatro regiões separadas, os dois transistores usando duas regiões em comum. Por esta razão, IIL é também chamada de *lógica de transistores fundidos* (MTL – que são as iniciais do nome em inglês *MERGED-TRANSISTOR LOGIC*).

Observe que o transistor *pnp*, através do qual corrente de base é injetada no transistor *npn*, é desenhado na Fig. 4.14-2 como alimentando dois transistores em cada lado. Note também que os transistores *pnp* são transistores laterais. A corrente I_{CC} é fornecida ao injetor pela fonte de alimentação V através de um resistor externo R. A tensão da região injetora tipo *p* para terra é a tensão de uma junção polarizada diretamente e verifica-se que é igual a aproximadamente 0,85 V. Felizmente, esta tensão injetor para terra é praticamente igual de um injetor para outro através da pastilha de circuito integrado. Então, verifica-se que é possível operar todos os injetores em paralelo, de modo que toda a corrente de injetor necessária à pastilha pode ser fornecida através de um único resistor externo.

Ajuste da velocidade. Vimos que em portas RTL é possível sacrificar dissipação de potência para um aumento na velocidade. Esta troca é efetuada mudando as dimensões dos resistores. Resistores pequenos permitem correntes maiores, de modo que as capacitâncias podem carregar-se mais rapidamente, muito embora às custas de dissipação de potência maior. Deve ser notado

que velocidades diferentes são associadas com *diferentes* pastilhas de circuito integrado. Em IIL, como veremos agora, verifica-se que a troca entre velocidade e potência pode ser efetivada em uma única pastilha pelo simples expediente de mudar a corrente I_{CC} injetada na pastilha.

Como a tensão no injetor é constante ($\approx 0{,}85$ V), a potência fornecida é *proporcional* à média da corrente de entrada I_{CC}. (Em uma pastilha de integração em larga escala, é razoável esperar que uma fração fixa nominal de transistores estará conduzindo em qualquer instante e, portanto, que I_{CC} será aproximadamente constante.) Uma fração I_{CC}/n desta corrente será disponível, em média, para operar uma porta, n sendo o número médio de portas que estão conduzindo. Em *níveis de corrente baixa*, o tempo de retardo de propagação é principalmente o tempo necessário para carregar as capacitâncias de junção e parasíticas. O tempo necessário para carregar estes capacitores é *inversamente proporcional* à corrente de carga disponível, I_{CC}/n. Conseqüentemente, o produto velocidade-potência é constante e independente de I_{CC}. Aumentando I_{CC} (pelo aumento de V ou diminuindo R na Fig. 4.14-2), podemos diminuir o atraso de propagação às custas de um aumento proporcional na dissipação.

Em *níveis de corrente média*, a principal causa de retardo de propagação é a necessidade de fornecer e remover a carga de excesso de portadores minoritários na base do transistor (veja seção 1.17). Esta carga é proporcional à corrente do transistor disponível para estabelecê-la ou removê-la, e portanto o retardo de propagação é independente da corrente. Assim, nesta faixa de corrente, um aumento em I_{CC} aumentará a dissipação sem reduzir o atraso.

Em *níveis de corrente alta*, os transistores são levados à saturação. Como discutido na seção 1.18, na saturação a carga armazenada na base aumenta mais do que a corrente do transistor. Portanto, nesta faixa de corrente, um aumento em I_{CC} irá não só aumentar a dissipação mas também aumentará o atraso.

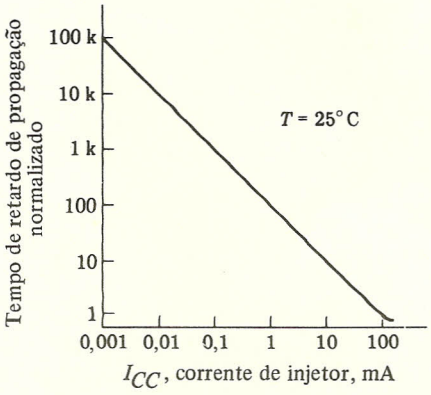


FIGURA 4.14-3
Tempo de retardo de propagação normalizado *versus* corrente de injetor.

A Fig. 4.14-3 mostra um gráfico do tempo de retardo de propagação normalizado em função de I_{CC} para a pastilha IIL da Texas Instrument (SBPO400). Na faixa de I_{CC} de 0,001 a 100 mA, podemos trocar dissipação e velocidade. Além de cerca de 100 mA, um aumento na dissipação não fornece um decréscimo contínuo na velocidade. Não foi feito o gráfico na região de alta corrente, mas nestas correntes o gráfico teria, sem dúvida, uma derivada positiva.

4.15 UM DECODIFICADOR COM IIL

Na Fig. 4.14-2 mostramos um injetor alimentando dois transistores. Efetivamente, um único injetor pode alimentar vários transistores. Quando se pretende isto, o injetor é alongado em uma tira comprida paralela à superfície da pastilha e é conhecido como um *trilho injetor*. Os transistores são fabricados dos dois lados do trilho, estendendo-se perpendicularmente a ele.

Como um exemplo de um *layout* alternativo, temos o decodificador de 3 bits mostrado na Fig. 4.15-1. A função dos decodificadores e sua lógica é discutida na seção 12.9. Aqui será suficiente notar que este decodificador tem como entrada as três variáveis lógicas *A, B* e *C* e deseja-se ter disponíveis em oito linhas de saída separadas os oito minitermos (veja seção 3.17) das variáveis de entrada. Portanto, em qualquer instante, apenas uma linha de saída estará na lógica **1**; todas as outras estarão na lógica **0**. A linha selecionada para estar na lógica **1** é determinada pelos níveis lógicos das entradas.

A vista mostrada é obtida olhando para baixo na superfície da pastilha. O emissor tipo *n* comum dos transistores *npn* (veja Fig. 4.14-2) (que é também a base do transistor injetor) não

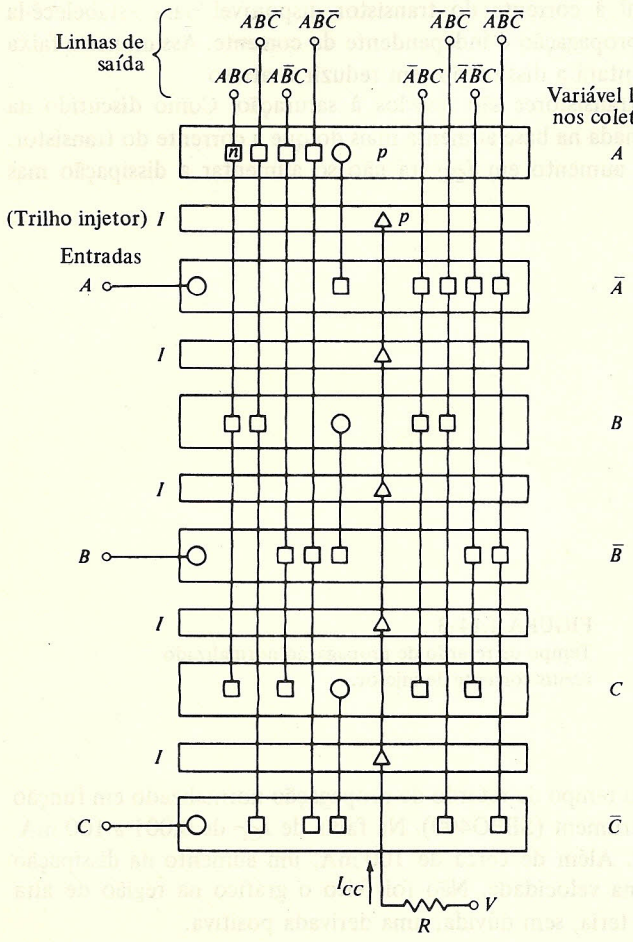


FIGURA 4.15-1
Um decodificador de 3 bits com IIL.

está mostrado explicitamente. Vemos o trilho injetor tipo p e a base tipo p dos transistores *npn* (que é também o coletor do transistor injetor). As correções para a corrente injetada estão mostradas como triângulos no trilho injetor. As correções da base são mostradas como círculos, e os coletores, como quadrados. À direita da figura estão especificadas as variáveis lógicas presentes no coletor em cada transistor multicoletor. Assim, o transistor cuja entrada é A tem $\bar{A}$ em cada coletor. Um destes coletores fornece $\bar{A}$ na entrada de um segundo transistor, e no coletor deste segundo transistor a variável lógica é A. Como já notamos, a simples interligação de coletores fornece o produto lógico das variáveis presentes nos coletores.

Deve ser entendido, apesar de não estar mostrado na figura, que cada linha de saída deve ser ligada à entrada de outra porta, de modo que o injetor desta porta possa providenciar a corrente de coletor necessária para os transistores mostrados na figura.

No caso presente, os transistores foram dispostos para estarem paralelos, em vez de perpendiculares, ao trilho injetor. Observe que, como conseqüência, o padrão de interconexão é especialmente simples, não necessitando de cruzamentos.

4.16 NÍVEIS DE TENSÃO E CORRENTE

Dentro de uma pastilha IIL, os níveis de tensão são cerca de 0,7 e 0,1 V. A tensão mais alta é medida em uma base, quando todos os coletores ligados a esta base estão cortados. O nível mais baixo é a tensão em um coletor e qualquer base acoplada a ele, quando o coletor é parte de um transistor que está conduzindo. Assim, a excursão total da tensão entre níveis lógicos é 0,6 V. As correntes conduzidas pelo transistor são bastante pequenas em comparação com RTL e outros tipos de porta, que serão analisados nos capítulos seguintes. Correntes típicas estão na faixa de 1 a 10 μA.

Depois que o sinal lógico passou através da pastilha executando a operação lógica para a qual foi projetada, o sinal pode ser obtido externamente através de um coletor do último transistor. Este último coletor não deve ser ligado a uma base e, portanto, para fornecer um sinal, o coletor deve ser ligado a uma fonte de tensão através de um resistor externo. Fontes de tensão até 10 V são razoáveis e, correspondentemente, a variação da tensão de saída será apenas um pouco menor que 10 V. Pode haver uma dificuldade caso a corrente de saída disponível não seja adequada. Neste caso, transistores adicionais podem ser fabricados na pastilha para fornecerem a interface apropriada entre a pastilha e sua carga externa.

REFERÊNCIAS

1. Hart, C. M.; A. Slob, e H. E. J. Wulms Bipolar LSI Takes a New Direction with Integrated Injection Logic. *Electronics*. 3 out. 1974, p. 111-118.
2. Berger, H. H., e S. K. Wiedmann. Merged-Transistor Logic (MTL): A Low-Cost Bipolar Logic Concept. *IEEE J. Solid-State Circuits*. Out. 1972, p. 340-346.
3. Hart, K., e A. Slob. Integrated Injection Logic: A New Approach to LSI. *IEEE J. Solid-State Circuits*. Out. 1972, p. 346-351.
4. Alstein, J. I^2L: Today's Versatile Vehicle for Tomorrow's Custom LSI. *EDN*. 20 fev. 1975, p. 34-38.
5. De Troge, N. C. Integrated Injection Logic: Present and Future. *IEEE J. Solid-State Circuits*. Out. 1974, p. 206-211.
6. Horton, R. L.; J. Englade, e G. McGee. I^2L Takes Bipolar Integration a Significant Step Forward. *Electronics*. 6 fev. 1975, p. 83-90.

CAPÍTULO 5

Lógica Transistor-Diodo

Neste capítulo consideraremos uma família lógica, *lógica transistor-diodo* (DTL – das iniciais do nome em inglês *diode-transistor logic*), cujo circuito é um pouco mais elaborado do que o RTL. Apesar de DTL ter a vantagem de maior FAN-OUT e melhores margens de ruído, tem velocidade um pouco menor.

5.1 PORTA COM LÓGICA TRANSISTOR-DIODO (DTL)

Uma porta com lógica transistor-diodo realizada com componentes discretos está mostrada na Fig. 5.1-1. O transistor $T0$ é o transistor de saída (correspondente ao $T2$) de uma porta precedente. Três entradas são indicadas, mas, evidentemente, outras podem ser consideradas, adicionando-se mais diodos à rede de diodos *DA, DB* e *DC*.

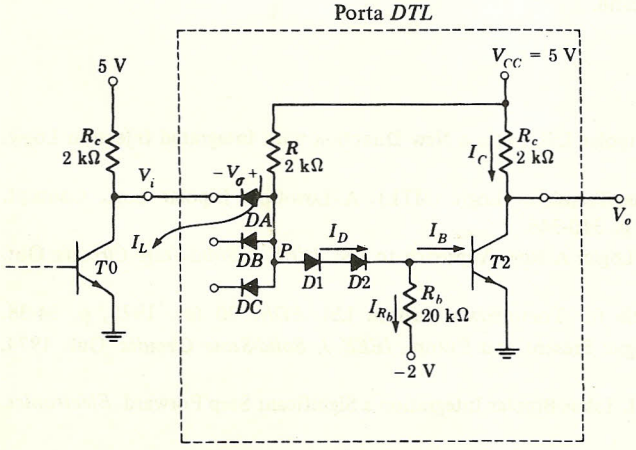


FIGURA 5.1-1
Uma porta DTL com circuito discreto.

A porta executa a operação NAND para lógica positiva. Suponha que a porta acionadora $T0$ está no nível lógico **0**. Então, $T0$ está na saturação e a tensão de coletor correspondente é $V_i \approx 0{,}2$ V ou menor. Podemos verificar que, quando a entrada na Fig. 5.1-1 é $V_i = 0{,}2$ V, $T2$ está cortado e a saída no coletor é $V_{CC} = 5$ V, que corresponde ao nível lógico **1**. Pois, com a entrada em 0,2 V, a tensão no ponto P é

$$V_P = V_{CE}(\text{sat}, T0) + V_{DA} = 0{,}2 + 0{,}75 = 0{,}95 \quad \text{em } T = 25°\text{C} \tag{5.1-1}$$

Supomos aqui que a corrente no diodo DA, que é aproximadamente 2 mA, é adequada para produzir uma queda de tensão de 0,75 V no diodo DA. A tensão da base para terra de $T2$ é, então,

$$V_{B2} = V_P - V_{D1} - V_{D2} = 0{,}95 - 0{,}65 - 0{,}65 = -0{,}35 \text{ V} \tag{5.1-2}$$

Consideramos aqui $V_{D1} = V_{D2} = 0{,}65$ V pois, como veremos, as correntes em $D1$ e $D2$ são muito pequenas. Esta tensão V_{B2} é menor do que a tensão de limiar $V_\gamma = 0{,}65$ V do transistor $T2$, e portanto $T2$ está cortado. Assim, a corrente nos diodos $D1$ e $D2$ passa através do resistor R_b, e esta corrente é

$$I_{R_b} = I_D = \frac{V_{B2} + 2}{R_b} = \frac{-0{,}35 + 2}{20 \times 10^3} = 0{,}08 \text{ mA} \tag{5.1-3}$$

Este resultado confirma nossa hipótese inicial de que a corrente do diodo é realmente bastante pequena. Finalmente, como $T2$ está cortado, a tensão de saída $V_o = 5$ V, correspondendo ao nível lógico **1**.

Mostramos que, se V_i está no nível lógico **0**, V_o está no nível lógico **1**. De forma similar, podemos mostrar que, se todas as entradas estão no nível lógico **0**, V_o permanece no nível lógico **1**. Pois, se todas as entradas estiverem simultaneamente no nível lógico **0**, a corrente através do resistor R se dividirá entre os diodos DA, DB, DC, ... Com uma corrente menor através, digamos, de DA, a queda de tensão neste diodo diminuirá um pouco. Deve ser notado que, como resultado, V_P diminui um pouco, de tal modo que $T2$ é forçado ainda mais no corte. Portanto, V_o permanece no nível lógico **1**.

Absorção de corrente. A corrente I_L que passa pelo diodo DA, como indica a Fig. 5.1-1, flui para o coletor do transistor saturado $T0$. Esta corrente I_L tem sua origem na tensão de alimentação V_{CC}. O processo de volta desta corrente à terra, que é onde está ligado o terminal negativo da fonte de alimentação, é comumente chamado de *absorção*. Assim, o transistor $T0$ absorve a corrente que sai da entrada da porta acionada.

Saturação de $T2$. Se qualquer uma das entradas está no nível lógico **0**, $T2$ está cortado e a saída da porta está em lógica **1**. Se, entretanto, todas as entradas estão no nível lógico **1** (5 V), a corrente que passa em R flui através de $D1$ e $D2$, indo para a base de $T2$. O transistor $T2$ será levado à saturação, e a saída cairá para o nível lógico **0**, como necessário para a operação NAND.

Para verificar que o transistor $T2$ realmente fica saturado, vamos calcular a corrente de base $I_B = I_D - I_{R_b}$. Neste caso, $V_{B2} = 0{,}75$ V, e a corrente em R_b é

$$I_{R_b} \approx \frac{0{,}75 + 2}{20 \times 10^3} \approx 0{,}14 \text{ mA} \tag{5.1-4}$$

A tensão no ponto P é agora $V_P = V_{D1} + V_{D2} + V_{B2} \approx 2{,}25$ V, onde supomos que I_D e I_B são suficientemente grandes para fazer com que a tensão do diodo e a tensão base-emissor sejam aproximadamente 0,75 V. Assim, a corrente do diodo I_D, que é também a corrente no resistor R, é

$$I_D = \frac{V_{CC} - V_P}{R} = \frac{5 - 2{,}25}{2 \times 10^3} \approx 1{,}4 \text{ mA} \tag{5.1-5}$$

A corrente de base do transistor $T2$ é a diferença entre as correntes I_D e I_{R_b} e é

$$I_B = I_D - I_{R_b} \approx 1{,}26 \text{ mA} \tag{5.1-6}$$

que é suficiente para saturar $T2$, pois com V_{CE} (sat) $\approx 0{,}2$ V, então $I_C = 2{,}4$ mA. Supondo que $h_{FE} = 50$, estas correntes de coletor e base correspondem a $\sigma = 0{,}04$. Referindo-nos à Fig. 1.10-1 verificamos que V_{CE} (sat) está mais próxima de 0,1 V do que de 0,2 V.

Resistor de base R_b. Se o transistor $T2$ está na saturação, e se então uma ou mais das entradas da porta é ligada ao nível lógico **0**, o ponto P cai para $V_P = 0{,}95$ V. O circuito equivalente da porta *neste instante* está mostrado na Fig. 5.1-2. Note que a queda de tensão nos dois diodos $D1$ e $D2$ é 0,2 V e, portanto, estes diodos estão cortados. Então, $I_D = 0$ e não há fonte de corrente para fornecer I_B.

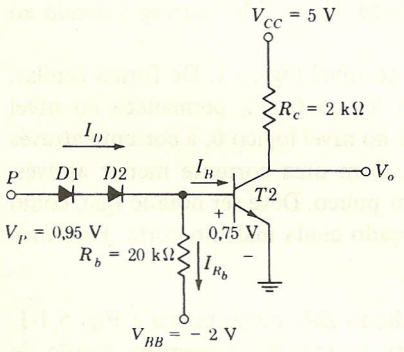


FIGURA 5.1-2
Circuito equivalente da porta DTL no instante em que V_P cai para 0,95 V.

Se não houvesse armazenamento de carga no sistema, I_B cairia instantaneamente, fazendo com que a tensão base-emissor caísse abaixo da tensão limiar, e portanto $T2$ iria imediatamente para o corte. A tensão base-emissor em regime permanente seria então $-0{,}35$ V [veja Eq. (5.1-2)]. Entretanto, há carga armazenada no transistor. Quando o ponto P cai, cortando momentaneamente os diodos $D1$ e $D2$, esta carga armazenada sai através do resistor R_b. Assim, a resistência R_b fornece um caminho de descarga para a carga armazenada no transistor. O resistor R_b está ligado à fonte de -2 V para aumentar a velocidade de descarga.

A seleção de $R_b = 20$ kΩ e $V_{BB} = -2$ V (em vez de, digamos, $R_b = 1$ kΩ e $V_{BB} = -4$ V) é o resultado de um compromisso. Vários valores de resistência e tensão de alimentação são

possíveis, e a maioria resultará em uma operação satisfatória. Para aumentar a velocidade de retirada de cargas e, portanto, diminuir o tempo necessário para cortar $T2$, deveríamos ter R_b pequeno e V_{BB} bastante negativo. Entretanto, quando $T2$ está cortado e desejamos que ele conduza rapidamente, seria interessante que toda a corrente do diodo I_D fluísse para a base de $T2$. Neste caso deveríamos ter R_b muito grande e V_{BB} positivo. Valores típicos de R_b estão na faixa de 5 a 30 kΩ, e valores de V_{BB} variam de 0 a −5 V.

5.2 FAN-OUT

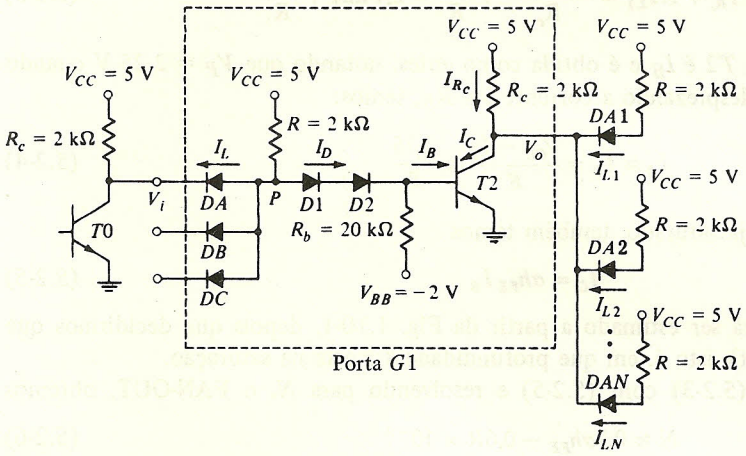


FIGURA 5.2-1
Uma porta DTL com FAN-OUT.

A Fig. 5.2-1 mostra a porta DTL acionando N outras portas. Quando o transistor de saída da porta $T0$ está absorvendo a corrente de uma porta $G1$ que está acionando, sua carga será maior quando todas as outras entradas da porta acionada estiverem no nível lógico **1** (ou, de forma equivalente, quando todas as outras entradas estiverem flutuantes). Pois, neste caso, toda a corrente através de R passa por DA e pelo coletor de $T0$. Com base na discussão prévia [veja Eq. (5.1-1)], esta corrente é

$$I_L = \frac{5 - 0{,}95}{R} = \frac{4{,}05}{2\ \text{k}\Omega} \approx 2\ \text{mA} \qquad (5.2\text{-}1)$$

Em qualquer caso, é claro que, para minimizar a carga de entrada devida a uma porta DTL $G1$, é vantajoso fazer com que R seja uma resistência grande.

Por outro lado, considere que todas as entradas da porta $G1$ estão no nível lógico **1**. Neste caso, a corrente I_D flui de V_{CC} através de R e dos diodos $D1$ e $D2$ e finalmente se divide entre R_b e a base de $T2$. O transistor $T2$ deve estar agora na saturação.

Agora, para ver a relação entre o FAN-OUT N da porta $G1$ e o resistor R, vamos supor que a tensão de coletor de $T2$, quando saturado, é $V_o = 0{,}2$ V.

Então a corrente em cada uma das N portas é

$$I_{L1} = I_{L2} \cdots = I_{LN} \approx \frac{V_{CC} - V_{D1} - V_o}{R} = \frac{5 - 0{,}75 - 0{,}2}{R} \approx \frac{4}{R} \tag{5.2-2}$$

Para chegar a este resultado, supomos que toda a corrente que flui em R, em cada uma das portas acionadas, flui em $T2$. Estamos, portanto, desprezando a corrente que flui nos diodos $D1$ e $D2$ destas portas. A corrente desprezada é aproximadamente 0,08 mA [veja Eq. (5.1-3)] e é desprezível.

A corrente de coletor total em $T2$ é então

$$I_C = I_{R_c} + NI_{L1} = \frac{V_{CC} - V_o}{R_c} + \frac{4N}{R} = 2{,}4 \text{ mA} + \frac{4N}{R} \tag{5.2-3}$$

A corrente de base em $T2$ é I_B e é obtida como antes, notando que $V_P = 2{,}25$ V quando $T2$ está saturado. De novo, desprezando a corrente em R_b, temos:

$$I_B \approx I_D = \frac{V_{CC} - V_P}{R} = \frac{2{,}75}{R} \tag{5.2-4}$$

Como queremos que $T2$ esteja saturado, também temos

$$I_C = \sigma h_{FE} I_B \tag{5.2-5}$$

Na qual o valor de σ poderá ser estimado a partir da Fig. 1.10-1, depois que decidirmos que valor queremos para V_{CE} (sat), isto é, em que profundidade $T2$ está na saturação.

Combinando as Eqs. (5.2-3) com (5.2-5) e resolvendo para N, o FAN-OUT, obtemos

$$N \approx 0{,}7\sigma h_{FE} - 0{,}6R \times 10^{-3} \tag{5.2-6}$$

Observe que, para aumentar N, devemos aumentar σ, isto é, devemos tornar $T2$ menos saturado. À medida que aumentarmos N, atingiremos um ponto onde $\sigma = 1$ e $T2$ não está mais saturado. Esta situação acontece porque cada nova porta acrescentada requer de $T2$ a absorção de 2 mA adicionais sem um aumento compensador na corrente de base de $T2$.

Suponha que $h_{FE} = 50$, $R = 2\,\text{k}\Omega$ e $\sigma = 0{,}85$. Este valor de σ corresponde a uma saturação modesta e fornece V_{CE} (sat) = 0,2 V (veja Fig. 1.10-1). Neste caso, o primeiro termo na Eq. (5.2-6) é $0{,}7\,\sigma h_{FE} = 30$, enquanto o segundo termo é $0{,}6\,(2) = 1{,}2$. Assim, se decidirmos que o transistor de saída precisa ser apenas moderadamente saturado, o FAN-OUT $N = 29$. Este resultado não mudaria apreciavelmente se R fosse dobrado ou dividido pela metade. Portanto, podemos desprezar o segundo termo e estimar que $N = 0{,}7\,\sigma h_{FE}$, dependendo apenas de h_{FE} e não de R. Esta independência relativa de N com R poderia ser antecipada com base na seguinte consideração. Se R muda, digamos diminui, a corrente de base de $T2$ aumenta. Entretanto, a corrente que $T2$ deve absorver de cada carga adicional aumenta correspondentemente, de tal modo que não há um aumento no FAN-OUT permitido. Deve ser notado que, se decidirmos que V_{CE} (sat) = 0,1 V com o máximo FAN-OUT, então $\sigma = 0{,}1$ e $N = 2$. Agora o FAN-OUT depende de σh_{FE} e de R.

Na seção seguinte, quando consideraremos a porta DTL na forma de circuito integrado, veremos como uma modificação de circuito faz com que aumente a corrente de base do transistor de saída sem um aumento correspondente na corrente de carga imposta por cada porta adicional. Como resultado, o FAN-OUT é aumentado significativamente.

5.3 PORTAS DTL EM CIRCUITO INTEGRADO

A porta DTL na forma integrada está mostrada na Fig. 5.3-1. É disponível comercialmente tanto com $R_c = 2\,k\Omega$ como com $R_c = 6\,k\Omega$. No primeiro caso, a potência dissipada é maior do que no segundo caso. Entretanto, toda a capacitância em paralelo com o coletor de $T2$ deve se carregar através de R_c quando $T2$ vai para o corte. Portanto, com $R_c = 2\,k\Omega$, o tempo de retardo de propagação é menor do que com $R_c = 6\,k\Omega$.

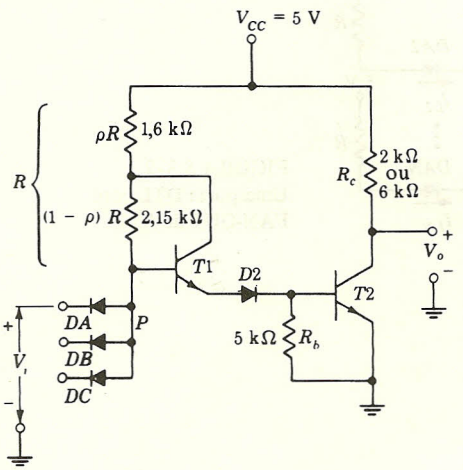


FIGURA 5.3-1
Uma porta DTL em circuito integrado.

Observamos que, no circuito integrado da Fig. 5.3-1, o transistor $T1$, cujo coletor está ligado a uma derivação de R, é usado no lugar do diodo $D1$ no circuito discreto da Fig. 5.1-1. Deve ser lembrado, entretanto, que em circuito integrado um diodo é normalmente um transistor com seu coletor ligado à sua base. Então a mudança não é a troca de um diodo por um transistor mas apenas uma nova ligação do coletor. O novo transistor $T1$ opera na região ativa e fornece ganho de corrente entre base e emissor. Portanto, há mais corrente disponível para a base de $T2$ sem ser necessária uma redução na resistência R.

Explicaremos agora o efeito deste novo transistor e a posição da derivação. Vamos começar calculando o FAN-OUT da porta mostrada na Fig. 5.3-2.

Consideremos, como antes, que quando $T2$ está saturado $V_O = 0{,}2$ V. Então, se a porta está ligada a N outras portas, as correntes de carga que devem ser absorvidas por $T2$ são dadas, como na Eq. (5.2-2), por

$$I_{L1} = I_{L2} = \cdots = I_{LN} \approx \frac{5 - 0{,}95}{R} \approx \frac{4}{R} \tag{5.3-1}$$

Como a corrente no resistor R_c é $4{,}8/(2 \times 10^3) = 2{,}4$ mA, a corrente de coletor é

$$I_{C2} = 2{,}4 \times 10^{-3} + \frac{4N}{R} \tag{5.3-2}$$

Este resultado, evidentemente, é idêntico ao obtido com a Eq. (5.2-3).

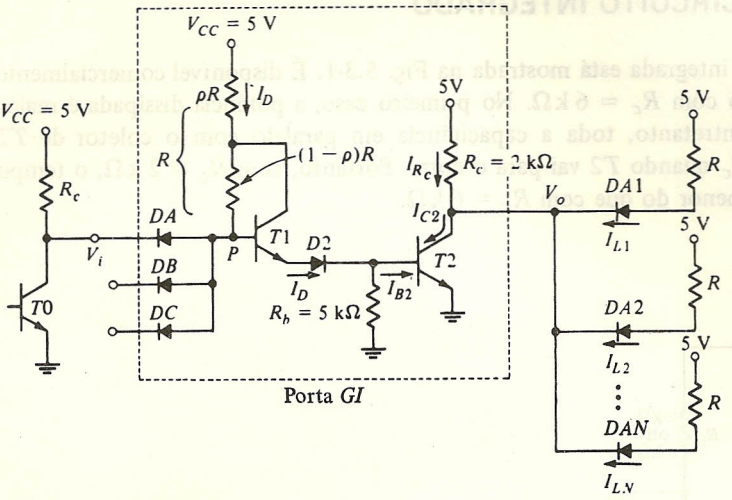


FIGURA 5.3-2
Uma porta DTL com FAN-OUT de N.

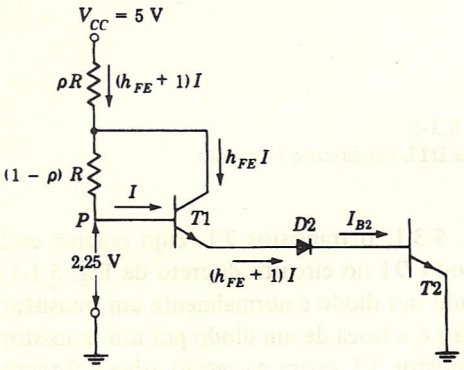


FIGURA 5.3-3
Circuito para mostrar o efeito de dividir o resistor de base R.

Vamos agora calcular a corrente de base I_{B2} de novo, supondo que a corrente em R_b é desprezível. Primeiro, notamos que a tensão no ponto P é

$$V_P = V_{BE1} + V_{D2} + V_{BE2} = 0{,}75 + 0{,}75 + 0{,}75 = 2{,}25 \text{ V} \tag{5.3-3}$$

O cálculo de $I_{B2} = I_D$ pode agora ser feito facilmente com o auxílio da Fig. 5.3-3. Seja I a corrente de base de $T1$. Então $I_{B2} = (h_{FE} + 1)I$. Portanto

$$V_{CC} - V_P = \rho R(h_{FE} + 1)I + (1 - \rho)RI \tag{5.3-4}$$

Resolvendo para $(h_{FE} + 1)I = I_{B2}$, obtém-se

$$I_{B2} = (h_{FE} + 1)I = \frac{V_{CC} - V_P}{R[\rho + (1 - \rho)/(h_{FE} + 1)]} \tag{5.3-5}$$

onde $V_{CC} - V_P = 2{,}75$ V.

Como $\sigma h_{FE} I_{B2} = I_{C2}$, temos, combinando (5.3-2) e (5.3-5),

$$\frac{2{,}75\sigma h_{FE}}{R[\rho + (1-\rho)/(h_{FE}+1)]} = 2{,}4 \times 10^{-3} + \frac{4N}{R} \tag{5.3-6}$$

Resolvendo para o FAN-OUT N obtém-se

$$N \approx \frac{0{,}7\sigma h_{FE}}{\rho + (1-\rho)/(h_{FE}+1)} - 0{,}6R \times 10^{-3} \tag{5.3-7}$$

Quando $\rho = 1$, a Eq. (5.3-7) se reduz à Eq. (5.2-6), como era esperado. À medida que ρ diminui, o FAN-OUT aumenta. Portas em circuito integrado DTL comercial típico apresentam $1/\rho$ na faixa de 2 a 10. Com $h_{FE} \approx 50$ e supondo, como na seção anterior, que σ está na faixa $\sigma \approx 0{,}85$, temos aproximadamente que

$$N = \frac{0{,}7\sigma h_{FE}}{\rho} \tag{5.3-8}$$

Assim, concluímos que o novo circuito aumenta o FAN-OUT por um fator $1/\rho$ ou, de forma equivalente, se mantivermos N fixo, poderemos acionar o transistor de saída mais na saturação diminuindo σ de um fator $1/\rho$.

O mecanismo de aumento do FAN-OUT é o seguinte. Quando a entrada da porta V_i da Fig. 5.3-2 está no nível lógico **0**, $T1$ está cortado e a porta acionadora vê a mesma carga que o circuito da Fig. 5.2-1. Quando, entretanto, V_i está no nível lógico **1**, $T1$ está conduzindo e fornece ganho de corrente. Então, a corrente de base disponível para o transistor de saída é maior (de um fator $1/\rho$) do que seria se toda a corrente de base fosse fornecida diretamente através de todo o resistor R.

A Eq. (5.3-8) sugere que poderia ser aconselhável na Fig. 5.3-1 mover a derivação em R próximo de V_{CC} (fazendo $\rho \to 0$), desta forma aumentando a corrente de base de $T2$ e o FAN-OUT. O problema com tal procedimento é que, aumentando a corrente de base, resultará em um aumento na potência dissipada em $T2$. Além disto, se a porta estiver operando com um FAN-OUT menor que o máximo, $T2$ estará fortemente saturado, aumentando o tempo de retardo de propagação necessário para retirar $T2$ da saturação. Os valores dos componentes empregados em porta DTL representam um compromisso, levando em conta o FAN-OUT, o retardo de propagação e a dissipação de potência.

Uma última característica a ser notada na porta da Fig. 5.3-1 é que a fonte de alimentação negativa ligada a R_b foi eliminada. É, evidentemente, uma grande vantagem ser capaz de operar a porta com uma única fonte de tensão. Observamos, entretanto, que, como necessitamos que a carga armazenada na base seja retirada de $T2$ através de R_b, o resistor R_b é muito menor na porta de circuito integrado do que no circuito discreto.

5.4 CARACTERÍSTICA ENTRADA-SAÍDA

A característica entrada-saída da porta DTL da Fig. 5.4-1 tem a forma mostrada, um tanto idealizada, na Fig. 5.4-2. Mostraremos agora como esta característica é obtida. Quando $T0$ está saturado, a tensão de entrada V_i é $V_i \approx 0{,}2$ V. Neste caso, $T2$ está cortado e a tensão de saída

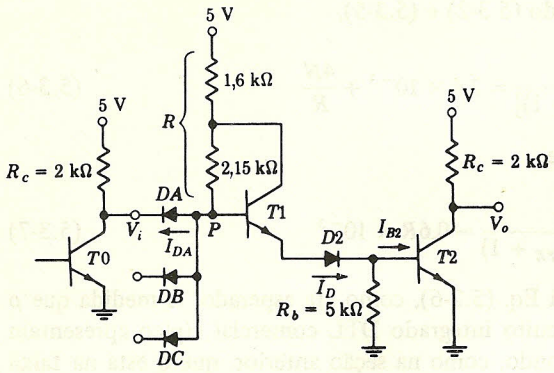


FIGURA 5.4-1
Circuito utilizado para calcular a característica entrada-saída, sem carga.

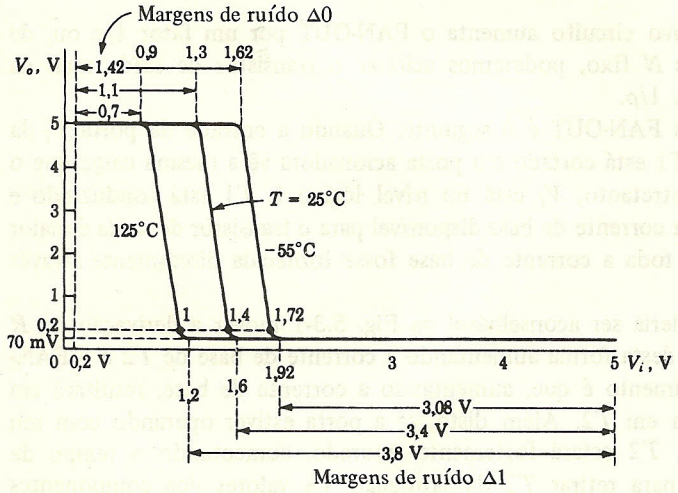


FIGURA 5.4-2
A característica entrada-saída sem carga.

$V_o = V_{CC} = 5$ V. Podemos estimar o valor de V_i no qual V_o começará a cair como segue. Quando $T2$ está apenas no limiar do corte, sua tensão base-emissor é aproximadamente $V_\gamma = 0{,}65$ V (a $T = 25°C$). Correspondentemente, neste ponto limiar, a corrente $I_{B2} \approx 0$ e $I_D = V_\gamma/R_b \approx 0{,}13$ mA. Com esta quantidade de corrente fluindo no diodo $D2$ e saindo do emissor de $T1$, ambas as quedas de tensão em $D2$ e na junção base-emissor de $T1$ serão $\approx 0{,}7$ V. Portanto, a tensão no ponto P será $2(0{,}7) + 0{,}65 = 2{,}05$ V. Com $T1$ retirando tão pouca corrente, a maior parte da corrente através de R fluirá através do diodo DA. Pode ser verificado (Prob. 5.4-1) que, neste ponto, a corrente $I_{DA} \approx 0{,}75$ mA. Com esta corrente, a queda através do diodo de entrada DA será mais próxima de $V_{DA} \approx 0{,}75$ V. Portanto (a $T = 25°C$), a tensão de entrada é $V_i = 2{,}05 - 0{,}75 = 1{,}3$ V, como indicada na Fig. 5.4-2.

Calculamos agora o valor mínimo de V_i necessário para saturar $T2$. Quando $T2$ passa do

limiar do corte, $V_{BE2} = V_\gamma = 0{,}65$ V, à saturação, $V_{CE2} = 0{,}2$ V, a corrente de coletor I_{C2} muda de aproximadamente $\Delta I_{C2} \approx 2{,}4$ mA e a corrente de base muda de $\Delta I_{B2} = \Delta I_{C2}/\sigma h_{FE} \approx$ $\approx 60\,\mu$A ($\sigma \approx 0{,}85$). Além disto, como V_{BE2} mudou de 0,1 V, passando de V_γ para V_σ, a mudança na corrente fluindo em R_b é $\Delta I_{R_b} = 20\,\mu$A.

Então, $\Delta I_{E1} = 80\,\mu$A e $\Delta I_{B1} \approx \Delta I_{E1}/h_{FE} = 1{,}6\,\mu$A. Este aumento na corrente de base acarreta uma diminuição na corrente do diodo I_{DA}, que é também aproximadamente $1{,}6\,\mu$A. Portanto, para mudar $T2$ do corte para saturação é necessária apenas uma mudança muito pequena na corrente do diodo DA.

Como as correntes em $T1$ e no diodo $D2$ mudaram de $80\,\mu$A, passando de $130\,\mu$A, quando $V_{BE2} = V_\gamma$, para $210\,\mu$A, quando $V_{BE2} = V_\sigma$, podemos considerar que V_{BE1} e V_{D2} permaneceram essencialmente constantes. Esta hipótese é certamente válida quando consideramos o diodo DA, pois a corrente neste diodo mudou de apenas $1{,}6\,\mu$A. Assim, podemos concluir que, quando a tensão de entrada aumenta de 0,1 V, passando de 1,3 V para 1,4 V, o transistor de saída $T2$ vai do corte para a saturação. Quando V_i aumenta acima de 1,6 V, o diodo DA corta (pois $V_P = 2{,}25$ V) e $I_{B2} \approx 1{,}5$ mA. Neste ponto σ diminui para $\sigma \approx 0{,}03$ e V_{CE} (sat) ≈ 70 mV (veja Fig. 1.10-1).

Estes resultados estão mostrados na Fig. 5.4-2. Nos gráficos para $T = -55°$C e $T = +125°$C, também dados nesta figura, supomos, como usualmente, que a sensibilidade de temperatura de uma tensão de junção é -2 mV/°C. Entretanto, como antes, ignoramos a dependência com a temperatura de V_{CE} (sat). Os detalhes dos cálculos para obter as características entrada-saída são dados como problemas.

A característica entrada-saída mostrada na Fig. 5.4-2 é um tanto idealizada, visto que executamos os cálculos para o caso em que $T2$ está sem carga, ou seja, tem um FAN-OUT de 0. Um FAN-OUT típico para uma porta DTL é 8. Se tivéssemos levado o FAN-OUT em consideração, como ilustrado na Fig. 5.3-2, veríamos que, quando $T2$ está cortado, V_o é ainda igual a 5 V, pois $DA1$, $DA2$, ..., DAN estão também cortados. Como discutido na seção 5.3, o efeito de um FAN-OUT muito grande é aumentar a corrente de coletor de $T2$, levando $T2$ para fora da saturação e aumentando V_o acima de 0,2 V quando $V_i = 5$ V. Para o FAN-OUT máximo de 8 especificado pelo fabricante, este problema não aparece.

É interessante comparar a característica entrada-saída da porta DTL (Fig. 5.4-2) com a característica entrada-saída da porta RTL (Fig. 4.6-2), em relação às margens de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$. Aqui vemos que a 25°C a margem de ruído $\Delta\mathbf{0}$ para o DTL é aproximadamente 1,2 V, enquanto para o RTL é 0,45 V. A margem de ruído $\Delta\mathbf{1}$ para o DTL é 3,4 V, enquanto para o RTL é 0,24 V. Este aumento significante na margem de ruído é uma das vantagens do DTL sobre o RTL.

5.5 ESPECIFICAÇÕES DE PORTAS DTL FORNECIDAS PELOS FABRICANTES

Algumas especificações típicas dos fabricantes para o DTL estão mostradas na Tabela 5.5-1 e discutidas nesta seção.

FAN-OUT. Notamos [veja Eq. (5.3-7)] que a porta DTL tem um FAN-OUT aproximadamente igual a $0{,}7\,\sigma h_{FE}/\rho$. Considerando h_{FE} ($T2$) = 50 e $\sigma = 0{,}85$, então com $1/\rho = 2{,}3$, como no circuito da Fig. 5.4-1, obtemos que o FAN-OUT é $0{,}7\,(42)(2{,}3) \approx 68$. Este FAN-OUT

corresponde a uma situação onde o transistor de saída da porta $T2$ tem V_{CE} (sat) = 0,2 V. Se considerarmos que V_{CE} (sat, $T2$) = 0,1 V, então $\sigma = 0{,}1$ e o FAN-OUT máximo é reduzido a 8.

TABELA 5.5-1
Especificações Típicas dos Fabricantes a 25°C para Porta NAND e BUFFER DTL

	Porta	*BUFFER*
Fator de carga de saída (FAN-OUT)	8	25
Fator de carga de entrada	1	1
Dissipação de potência, mW	11	42
Tensão de entrada, V:		
V_{iL}	1,1	1,1
V_{iH}	2	2
Tensão de saída, V:		
V_{oL}	0,4	0,4
V_{oH}	2,6*	2,6†
Corrente de fuga de saída I_L, μA	50	50
Corrente reversa do diodo I_R, μA	2	2
Corrente direta dos diodos de entrada I_F para uma unidade de carga de entrada, mA	1,6	1,6
Tempo de retardo de propagação:		
t_{pd} (HL)	30	40
t_{pd} (LH)	80	80

* $I_{oH} = -0{,}12$ mA
† $I_{oH} = -2{,}5$ mA

Os fabricantes especificam um FAN-OUT típico de 8 para a porta DTL e 25 para o BUFFER. O BUFFER emprega um PULL-UP ativo similar ao empregado em RTL. Uma análise detalhada do BUFFER DTL é deixada para o Prob. 5.4-6. Além disto, cada porta ligada à porta acionadora atua como um capacitor de 10 pF. Assim, uma carga de oito portas se comporta como um capacitor de 80 pF e, portanto, afeta o tempo de retardo de propagação da porta carregada. Assim, o FAN-OUT especificado de 8 assegura que o requisito para o tempo de retardo de propagação de 30 a 40 ns é satisfeito e que a tensão coletor-emissor do transistor de saída é aproximadamente 0,1 V.

Níveis de tensão. Os níveis de tensão especificados V_{oH}, V_{iH}, V_{iL} e V_{oL} estão mostrados na Fig. 5.5-1 para $T = 25°C$. A tensão V_{oH} é a mínima tensão de saída de uma porta correspondente ao estado lógico **1**. O valor da corrente de carga I_L quando $V_o = V_{oH}$ é chamado de I_{oH}. O valor de 5,6 V mostrado na Tabela 5.5-1 é recomendado por um fabricante. Outro fabricante fornece o valor $V_{oH} = 4{,}3$ V. Para estimar V_{oH}, vamos nos referir à Fig. 5.4-1 e supor que $T2$ esteja cortado. Então, considerando $V_{CC} = 5$ V ± 10 por cento, $R_c = 2\,\text{k}\Omega$, uma corrente de fuga $I_L = 50\,\mu$A e $I_{oH} = -0{,}12$ mA, obtemos

$$V_o = V_{oH} = 4{,}5 - 2.000(50 + 120) \times 10^{-6} = 4{,}16 \text{ V} \qquad (5.5\text{-}1)$$

Se V_{oH} é calculada para $I_{oH} = 0$, isto é, *sem carga*, obtemos

$$V_{oH} = 4{,}4 \text{ V} \qquad (5.5\text{-}2)$$

Isto é similar ao valor fornecido por um dos fabricantes.

A tensão máxima de saída da porta correspondente ao nível lógico **0** é V_{oL}. Estimamos que, com um FAN-OUT de 8, $V_{oL} = V_{CE}$ (sat) = 0,1 V. O fabricante, para ser extremamente conservador, dirá apenas que a tensão coletor-emissor V_{oL} nunca excederá 0,4 V.

A máxima tensão de entrada permitida que será reconhecida com segurança como correspondente ao nível lógico **0** é V_{iL} e a mínima tensão de entrada permitida que será reconhecida com segurança como correspondente ao nível lógico **1** é V_{iH}. A dependência com a temperatura destes parâmetros é mostrada na Fig. 5.5-1. Nossos cálculos indicam que, a 25°C, V_{iL} (máx) deve ser aproximadamente 1,3 V e V_{iH} (mín) cerca de 1,6 V. Verificamos (veja Tabela 5.5-2) que as especificações dos fabricantes para V_{iL} é 1,1 V, enquanto a especificação para V_{iH} é 2 V. De novo notamos que estes valores especificados representam condições de pior caso.

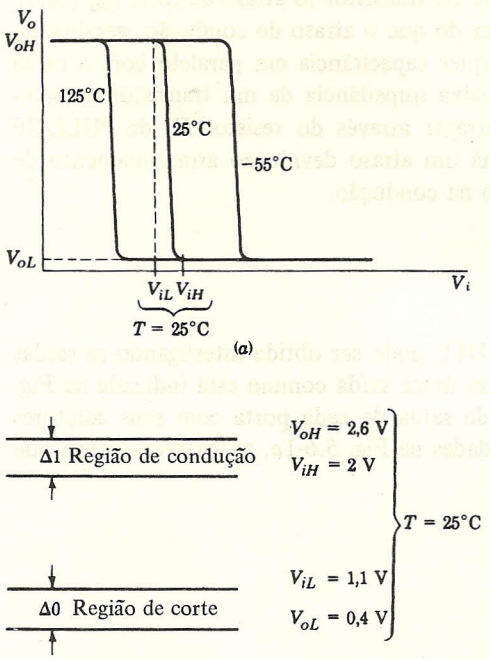


FIGURA 5.5-1
(*a*) Característica entrada-saída definindo níveis de tensão; (*b*) níveis de tensão nos piores casos.

TABELA 5.5-2

	−55°C	25°C	125°C
V_{iH}, V	2,1	2	1,9
V_{iL}, V	1,4	1,1	0,8
Δ0	1,0	0,7	0,4
Δ1	0,5	0,6	0,7

Imunidade de ruído. As imunidades de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$ são dadas por

$$\Delta\mathbf{0} = V_{iL} - V_{oL} \tag{5.5-3}$$

$$\Delta\mathbf{1} = V_{oH} - V_{iH} \tag{5.5-4}$$

Os parâmetros V_{iH} e V_{iL} especificados pelos fabricantes estão resumidos na Tabela 5.5-2. Usando $V_{oH} = 2{,}6$ V e $V_{oL} = 0{,}4$ V (pois estes valores não mudam significantemente com a temperatura), podemos calcular $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$, que estão também na Tabela 5.5-2. O valor $V_{oH} = 2{,}6$ V parece despropositadamente conservativo. Pode ter sido selecionado por um dos fabricantes para simplesmente fazer com que as margens de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$ sejam aproximadamente iguais. Note o aumento significante na imunidade ao ruído do DTL comparado com a do RTL.

Retardos de propagação. Os retardos de propagação nas portas DTL são da ordem de 30 a 80 ns. O atraso associado com a condução do transistor de saída [o atraso de condução t_{pd} (HL)] é menor que o atraso associado com o corte do transistor [o atraso de corte t_{pd} (LH)]. O atraso de corte é, em geral, substancialmente maior do que o atraso de condução, geralmente por um fator de 2 ou 3. Pois, para condução, qualquer capacitância em paralelo com a saída da porta pode descarregar rapidamente através da baixa impedância de um transistor na saturação. No corte, entretanto, este capacitor deve carregar através do resistor R_c de PULL-UP que é relativamente grande. Além disto, no corte há um atraso devido ao armazenamento de carga no transistor de saída $T2$ que não é encontrado na condução.

5.6 A CONEXÃO AND COM FIAÇÃO

Uma extensão da capacidade lógica de portas DTL pode ser obtida interligando as saídas de duas portas DTL. Esta conexão de saídas em uma única saída comum está indicada na Fig. 5.6-1*a*. Na Fig. 5.6-1*b* está mostrado o transistor de saída de cada porta com seus coletores interligados a uma saída comum Y. Para as entradas dadas na Fig. 5.6-1*a*, as variáveis lógicas que

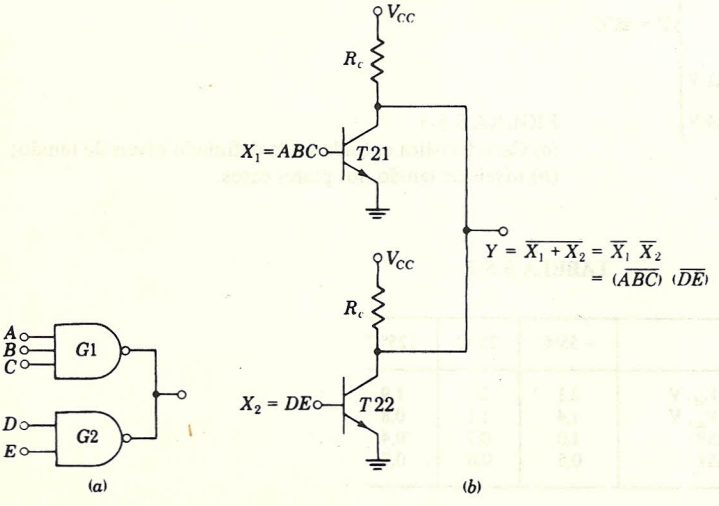


FIGURA 5.6-1
A conexão AND com fiação.

aparecem nas bases destes dois transistores são $X_1 = ABC$ e $X_2 = DE$ como mostrado na Fig. 5.6-1*b*. Além disto, é facilmente verificado (compare com a porta RTL da Fig. 4.4-1) que $Y = \overline{X_1 + X_2}$. Portanto, temos

$$Y = \overline{X_1 + X_2} = \overline{ABC + DE} \tag{5.6-1}$$

ou, usando o teorema de De Morgan,

$$Y = \overline{X_1}\,\overline{X_2} = (\overline{ABC})(\overline{DE}) \tag{5.6-2}$$

Da Eq. (5.6-1) verifica-se que, interligando-se as saídas, resulta em uma operação NOR. Por outro lado, da Eq. (5.6-2) podemos interpretar o resultado como o que seria obtido se as saídas das portas DTL individuais, quando não interligadas, fossem combinadas em uma porta AND. Este resultado é válido, também, se mais de duas portas têm suas saídas interligadas. Esta consideração nos leva à descrição do arranjo da Fig. 5.6-1 como conexões de portas DTL de OR com fiação ou de AND com fiação. Neste texto usaremos a terminologia AND com fiação.

Para apreciar a utilidade da conexão AND com fiação, considere que realmente queremos gerar a função lógica Y dada na Eq. (5.6-1) ou (5.6-2); e suponha que estamos restritos ao uso de portas NAND DTL da maneira convencional. Então, como já mencionado, teríamos de combinar as saídas das portas DTL $\overline{ABC}$ e $\overline{DE}$ em uma AND. Uma porta AND, quando construída a partir de portas NAND, requer duas portas NAND. Portanto, o equivalente do circuito da Fig. 5.6-1*a* seria o da Fig. 5.6-2, requerendo um total de quatro portas.

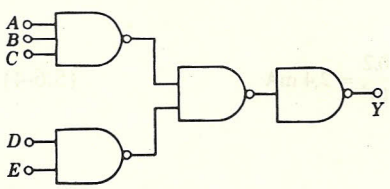


FIGURA 5.6-2
Um sistema com portas NAND para obter $Y = (\overline{ABC})(\overline{DE})$.

Regras de carga. Na conexão AND com fiação de várias portas DTL, pode acontecer que apenas um dos transistores de saída esteja conduzindo, enquanto os outros estão cortados. Então este transistor deve não só absorver a corrente das portas de carga e a corrente devida a seu próprio resistor de PULL-UP, mas deve absorver também a corrente no resistor de PULL-UP dos outros transistores de saída. Para permitir tal situação, é necessário reduzir o FAN-OUT permitido de cada porta na conexão AND com fiação. Esta redução de FAN-OUT é calculada no seguinte exemplo.

EXEMPLO 5.6-1. Um número K de portas DTL é ligado em uma conexão AND com fiação. Calcular a redução necessária no fator de carga de saída em função de K.

Solução. Referir-se à Fig. 5.6-3. Vemos aqui as saídas $T1$, $T2$, . . . , TK de K portas ligadas na configuração AND com fiação e acionando N portas DTL. As portas acionadas são representadas por seus diodos de entrada e resistores séries R, pois a carga afeta a operação da porta acionadora apenas quando estas portas estão saturadas, caso em que toda a corrente em R flui através de seu diodo série.

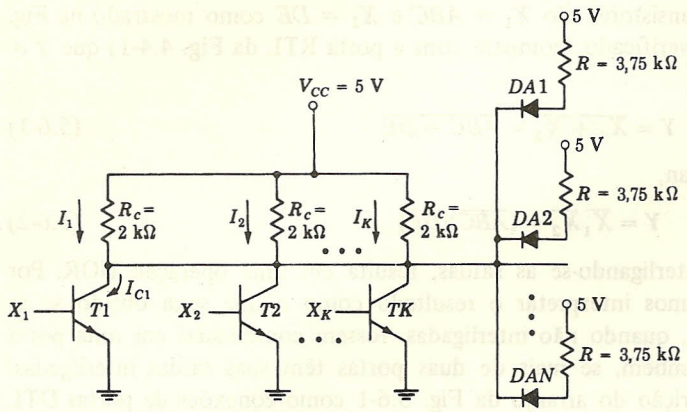


FIGURA 5.6-3
A conexão AND com fiação para K portas.

Suponha agora que X_1 está no nível lógico **1**, enquanto X_2, ..., X_K estão no nível lógico **0**. Então $T1$ está saturado. Seja V_{CE} (sat) $\approx$ 0,2 V. Se a corrente em cada diodo, $D1, D2$, ..., DN é chamada I_L, temos

$$I_L = \frac{V_{CC} - V_D - V_{CE}(\text{sat})}{R} = \frac{5 - 0{,}75 - 0{,}2}{3{,}75 \times 10^3} = 1{,}08 \text{ mA} \qquad (5.6\text{-}3)$$

As correntes fluindo nos resistores de coletor dos transistores de saída do AND com fiação são cada uma igual a I_1, que é

$$I_1 = I_2 = \cdots = I_K = \frac{V_{CC} - V_{CE}(\text{sat})}{R_c} = \frac{5 - 0{,}2}{2 \times 10^3} = 2{,}4 \text{ mA} \qquad (5.6\text{-}4)$$

Assim, a corrente de coletor de $T1$ é

$$I_{C1} = KI_1 + NI_L = 2{,}4K + 1{,}08N \quad \text{mA} \qquad (5.6\text{-}5)$$

Vemos, a partir desta expressão, que aumentar K de 1 porta é equivalente, no que diz respeito ao aumento da corrente de coletor, a aumentar o FAN-OUT de $\Delta N = 2{,}4/1{,}08 = 2{,}2$ portas.

Assim, para cada porta ligada em paralelo com $T1$ para formar um AND com fiação, devemos reduzir o fator de carga de saída máximo de 2,2 portas. Isto resulta em deixar a corrente de coletor fixa, e portanto $T1$ permanece saturado. Os fabricantes especificam uma redução de carga de 2,5 portas.

É de grande importância prática notar que portas DTL utilizando um PULL-UP ativo, como no BUFFER mostrado na Fig. 5.4-6, não devem ser usadas no modo AND com fiação. A razão para esta restrição é tornada clara na seção 6.14.

5.7 LÓGICA DE ALTO LIMIAR (HTL)

Há circunstâncias onde circuitos lógicos devem operar em meios que são eletricamente muito ruidosos. Para operação nestes meios, há disponível uma linha de circuitos lógicos DTL

com limiar, isto é, imunidades de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$ que são bastante altas em comparação com os limiares de circuito DTL convencional.

Uma porta com lógica de alto limiar (HTL – são as iniciais do nome em inglês *high-threshold-logic*) está mostrada na Fig. 5.7-1. Comparando a Fig. 5.7-1 com a porta convencional da Fig. 5.4-1, notamos que na porta HTL a tensão de alimentação foi aumentada de 5 para 15 V. Esta característica, como veremos, é responsável pelo aumento da imunidade de ruído. Devido à tensão de alimentação mais alta, o diodo $D2$ da Fig. 5.3-1 deve suportar uma tensão maior e, por isso, foi substituído por um diodo Zener. Notamos, além disto, que na porta HTL os valores das resistências são apreciavelmente maiores do que na porta convencional. Este aumento nos valores das resistências é necessário devido ao aumento na tensão de alimentação; pois, de outra forma, resultaria em um grande aumento na corrente, e portanto na dissipação de potência, na porta HTL.

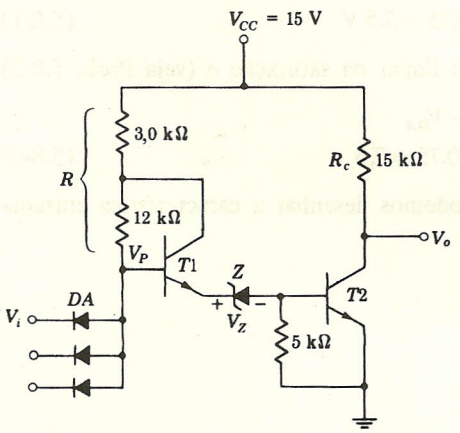


FIGURA 5.7-1
Uma porta NAND HTL.

O uso de resistências de valores maiores tem um efeito desfavorável na velocidade de operação da porta HTL. Pois, agora, quando capacitâncias precisam carregar ou descarregar através destas resistências, o fazem em circuitos tendo constantes de tempo relativamente maiores. Assim, enquanto portas DTL convencionais têm tempos de retardo de propagação que são, tipicamente, dezenas de nanossegundos, portas HTL têm tempos de propagação que podem ser tão altos como centenas de nanossegundos.

Os princípios de operação e as características dos diodos Zener são discutidos na seção 1.4. O diodo Zener na porta HTL da Fig. 5.7-1 tem uma tensão de operação de cerca de 6,9 V. Além disto, nesta tensão a sensibilidade à temperatura da tensão de operação de um diodo Zener é comparável, em módulo, à sensibilidade à temperatura de um diodo polarizado diretamente. Entretanto, a sensibilidade à temperatura do diodo Zener é positiva, enquanto a sensibilidade à temperatura de uma junção polarizada diretamente é negativa.

Em portas DTL convencionais notamos, como na Fig. 5.4-2, que a tensão de entrada na qual a porta faz sua transição entre os níveis lógicos é dependente da temperatura. A sensibilidade à temperatura desta tensão é igual a sensibilidade à temperatura de dois diodos em série. Pois, na Fig. 5.4-1, como o diodo de entrada e a junção base-emissor de $T1$ estão com polaridades opostas, as sensibilidades à temperatura destas duas junções se cancelam. Ficamos então com as

sensibilidades à temperatura combinadas de $D2$ e da junção base-emissor de $T2$. Na porta HTL da Fig. 5.7-1, o diodo de entrada e a junção de $T1$ se cancelam, como antes. Mas agora temos também um cancelamento das sensibilidades à temperatura do diodo Zener e da junção de $T2$, uma vez que as sensibilidades à temperatura dos dois são aproximadamente iguais e estão em direções opostas. O resultado é que a sensibilidade à temperatura da porta HTL é significantemente menor do que a indicada na Fig. 5.4-2 para a porta DTL. Portanto, ignoramos os efeitos de temperatura.

5.8 CARACTERÍSTICAS ENTRADA-SAÍDA DA PORTA HTL

A tensão de entrada na qual o transistor $T2$ começa a sair do corte é (veja Prob. 5.8-1)

$$\begin{aligned} V_i &= V_{BE2} + V_Z + V_{BE1} - V_{DA} \\ &= 0{,}65 + 6{,}9 + 0{,}7 - 0{,}75 = 7{,}5 \text{ V} \end{aligned} \tag{5.8-1}$$

A tensão de entrada na qual o transistor $T2$ está no limiar da saturação é (veja Prob. 5.8-2)

$$\begin{aligned} V_i &= V_{BE2} + V_Z + V_{BE1} - V_{DA} \\ &= 0{,}75 + 6{,}9 + 0{,}7 - 0{,}75 = 7{,}6 \end{aligned} \tag{5.8-2}$$

Utilizando os resultados das Eqs. (5.8-1) e (5.8-2), podemos desenhar a característica entrada-saída mostrada na Fig. 5.8-1.

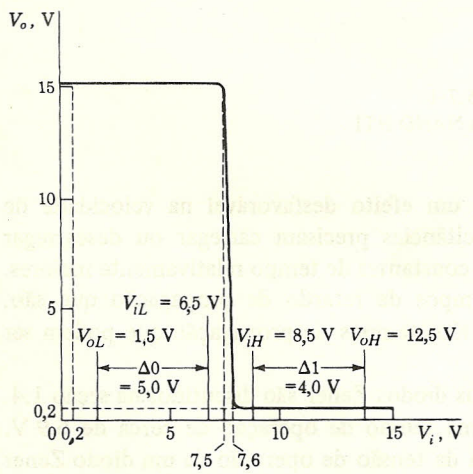


FIGURA 5.8-1
Característica entrada-saída da HTL.

5.9 ESPECIFICAÇÕES DOS FABRICANTES

As especificações de tensões dos fabricantes para HTL são tipicamente

$$\begin{aligned} V_{iL} &= 6{,}5 \text{ V} \quad & V_{oL} &= 1{,}5 \text{ V} \quad & I_{oL} &= 12 \text{ mA} \\ V_{iH} &= 8{,}5 \text{ V} \quad & V_{oH} &= 12{,}5 \text{ V} \quad & I_{oH} &= -30\ \mu\text{A} \end{aligned} \tag{5.9-1}$$

Estas tensões foram marcadas no gráfico da Fig. 5.8-1. A faixa de tensão V_{iL} até V_{iH} atravessa a região de transição bastante simetricamente e deixa uma margem de segurança razoável. A tensão $V_{oH} = 12{,}5$ V é também bastante razoável. Pois, com um resistor de PULL-UP de 15 kΩ, como na Fig. 5.7-1, uma corrente de fuga de 100 μA no transistor de saída, e com $I_{oH} = -30\,\mu$A, a tensão de saída da porta é $V_o = V_{CC} - 15 \times 10^3 \times (130 \times 10^{-6})$. Fazendo $V_{CC} = 14$ V (os fabricantes consideram que V_{CC} pode variar de ±1 V do valor nominal de 15 V), temos $V_o = 12$ V, que é realmente um pouco menor do que o valor de V_{oH} dado.

A tensão $V_{oL} = 1{,}5$ V parece artificialmente alta. Os fabricantes afirmam que, mesmo que 12 mA sejam absorvidos pelo transistor de saída $T2$ de uma fonte externa, $V_o \leqslant 1{,}5$ V. Presumivelmente, se uma porta está operando corretamente, o transistor de saída deve estar na saturação e a saída da porta deve ser 0,2 V ou, no máximo, 0,4 V (veja Fig. 1.10-1). Este valor de V_{oL} é especificado, podemos presumir, para fazer com que as imunidades de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$ sejam mais próximas uma da outra. Pois obtemos que as margens de ruído $\Delta\mathbf{1}$ e $\Delta\mathbf{0}$ são

$$\Delta\mathbf{1} = V_{oH} - V_{iH} = 12{,}5 - 8{,}5 = 4{,}0 \text{ V} \tag{5.9-2}$$

$$\Delta\mathbf{0} = V_{iL} - V_{oL} = 6{,}5 - 1{,}5 = 5{,}0 \text{ V} \tag{5.9-3}$$

Tempo de retardo de propagação. O tempo de retardo de propagação de portas HTL é tipicamente

$$t_{pd}(LH) = 200 \text{ ns} \qquad t_{pd}(HL) = 100 \text{ ns}$$

que é aproximadamente 3 vezes maior que o retardo obtido quando utilizando DTL.

FAN-OUT. Os fabricantes especificam um FAN-OUT típico de 10 para a porta HTL. Como vemos agora, este número é conservativo, como usual.

O cálculo de FAN-OUT para a porta DTL que forneceu a Eq. (5.3-7) aplica-se também ao presente caso. Usando no cálculo $V_{CC} = 15$ V, $R = 15$ kΩ e $V_Z = 6{,}9$ V, obtemos que a Eq. (5.3-7) se torna

$$N = \frac{0{,}5\sigma h_{FE}}{\rho + (1-\rho)/(h_{FE}+1)} - 0{,}07R \times 10^{-3} \tag{5.9-4}$$

Na porta HTL, $\rho = 0{,}2$, de modo que $N \approx 2{,}5\,\sigma h_{FE}$. Se utilizarmos $h_{FE} = 50$ e $\sigma = 0{,}85$, que traz o transistor de saída apenas um pouco na saturação onde V_{CE} (sat) = 0,2 V, obtemos $N = 106$. Se impusermos que o transistor de saída esteja bastante saturado [$\sigma = 0{,}1$, V_{CE} (sat) = = 0,1 V], obtemos $N \approx 12$. Assim, $N = 10$ parece conservativo mas razoável.

REFERÊNCIA

1. Bohn, R., e R. Seeds. Collector Tap Improves Logic Gating. *Electronic Design.* 3 ago. 1964, p. 51-55.

CAPÍTULO 6
Lógica Transistor-Transistor

6.1 LÓGICA TRANSISTOR-TRANSISTOR (TTL)

A utilidade de uma porta DTL é limitada pela sua velocidade de operação. A principal fonte desta limitação pode ser apreciada pela consideração do circuito da Fig. 6.1-1, onde uma porta com entrada única é mostrada. Já com vistas à porta TTL que será introduzida em breve, mostramos explicitamente o diodo de entrada como um transistor conectado como um diodo, isto é, um transistor com a base e o coletor conectados entre si.

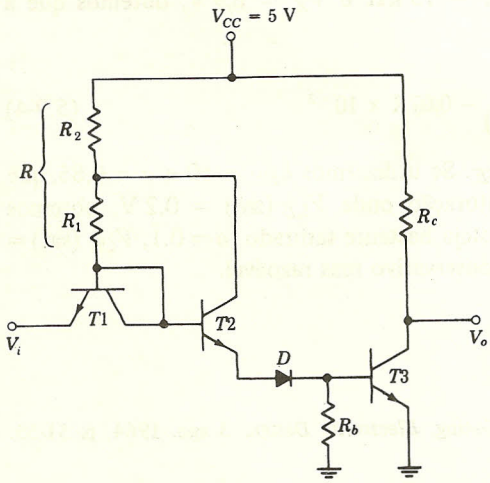


FIGURA 6.1-1
A porta DTL básica.

Considere agora que a entrada da porta está em um nível lógico **1**. A corrente circula através de $T2$ e D para a base de $T3$. O transistor $T3$ é então levado à saturação e a saída da porta está em um nível lógico **0**. A entrada agora é mudada para o nível lógico **0**. A saída da porta

deveria ir para o nível lógico **1**. Esta transição para o nível lógico **1**, entretanto, não se dará até que o transistor $T3$ saia da saturação, passe pela região ativa e eventualmente vá ao corte. O corte, entretanto, não será estabelecido até que a carga armazenada na base de $T3$ tenha sido removida (veja a seção 1.20). Durante a remoção da carga armazenada na base, o transistor $T1$ conduz mas o transistor $T2$ e o diodo D estão cortados. Assim, não há alternativa: a carga da base deve se dissipar através de R_b ou por recombinação. Este mecanismo relativamente lento para a remoção da carga armazenada estabelece a limitação básica na velocidade de uma porta DTL.

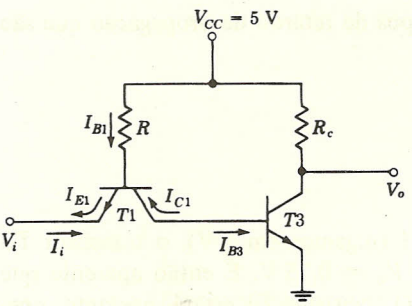


FIGURA 6.1-2
Um circuito TTL básico.

A limitação na velocidade do DTL é superada na *porta lógica transistor-transistor* (TTL). A forma mais simples e elementar desta porta é mostrada na Fig. 6.1-2. (Por enquanto examinaremos uma porta de entrada simples.) Há uma certa semelhança entre a porta TTL da Fig. 6.1-2 e a porta DTL da Fig. 6.1-1. Na porta TTL o transistor de entrada $T1$ é conectado como um transistor, já que a conexão coletor-base foi retirada. O transistor $T2$ e o diodo D da porta DTL foram removidos e o coletor de $T1$ está ligado *diretamente* à base de $T3$.

Quando na porta TTL a entrada for *high* (alta), a junção base-emissor de $T1$ estará polarizada reversamente, havendo a circulação de corrente através de R e através da junção base-coletor de $T1$, que está polarizada diretamente, para a base de $T3$. Neste modo de operação, o *coletor* do transistor $T1$ opera como um *emissor* e o *emissor* como um *coletor*. O transistor $T1$ está então operando em *modo inverso* (veja a seção 1.10). O transistor $T3$ será levado à saturação e a saída da porta será *low* (nível lógico **0**). Façamos agora a entrada assumir o nível lógico **0**. A junção de emissor de $T1$ estará polarizada diretamente. Observamos que a base de $T3$ está conectada ao terminal do coletor de $T1$. A carga armazenada na base de $T3$ não se dissipa mais através de um resistor como no caso da porta DTL, mas circula através do coletor do transistor $T1$. Observe que na porta TTL não há resistor de base para $T3$. Um cálculo simples comparativo é feito na seção seguinte.

6.2 UMA COMPARAÇÃO ENTRE O TTL E O DTL

Uma simples comparação entre as portas TTL e DTL ilustrará a grande vantagem do TTL na velocidade de remoção da carga armazenada na base de $T3$. Quando $T3$ está saturado, sua tensão base-emissor é $V_\sigma = 0{,}75$ V. Quando o diodo D estiver cortado, como na Fig. 6.1-1, a corrente inicial que sai da base de $T3$ será $V_\sigma/R_b = 0{,}75/2\ \text{k}\Omega \approx 0{,}38$ mA.

Consideremos por outro lado que na porta TTL a entrada esteja aterrada. A junção base-emissor de $T1$ está então polarizada diretamente; vamos supor que a tensão na junção é de

0,75 V. Conforme veremos, em um caso típico o resistor R da Fig. 6.1-2 é $R = 4\,k\Omega$. A corrente de base em $T1$ é dada por $T_{B1} = (5 - 0{,}75)/4\,k\Omega \approx 1{,}1$ mA. Inicialmente, o transistor $T1$ está operando na região ativa, porque a tensão na base de $T3$ em relação à terra, que também é a tensão no coletor, é inicialmente $V_\sigma = 0{,}75$ V e, portanto, $V_{CE1} = 0{,}75$ V.

Observamos, então, que a corrente inicial, no coletor de $T1$, que também é a razão de remoção da carga armazenada na base de $T3$, é $h_{FE}I_{B1}$, onde h_{FE} é o ganho de corrente de $T1$. Mesmo que h_{FE} seja da ordem de 20, encontramos como razão de descarga $h_{FE}I_{B1} = 20\,(1{,}1) = 22$ mA, que deve ser comparado aos 0,38 mA do caso de um DTL.

Esta rápida remoção da carga de $T3$ resulta em tempos de retardo de propagação que são um décimo dos da porta DTL.

6.3 O TRANSISTOR DE ENTRADA

Se a entrada da porta estiver em um nível lógico **1** (digamos em 5 V), o transistor $T3$ estará saturado com tensão entre base e terra dada por $V_\sigma = 0{,}75$ V. É então aparente que a junção base-emissor de $T1$ está polarizada reversamente. O transistor $T1$ estará, portanto, operando em sua região ativa inversa (veja seção 1.10). Nesta região inversa, o transistor opera com um ganho de corrente inverso em base comum de α_I, tendo como correspondente o ganho

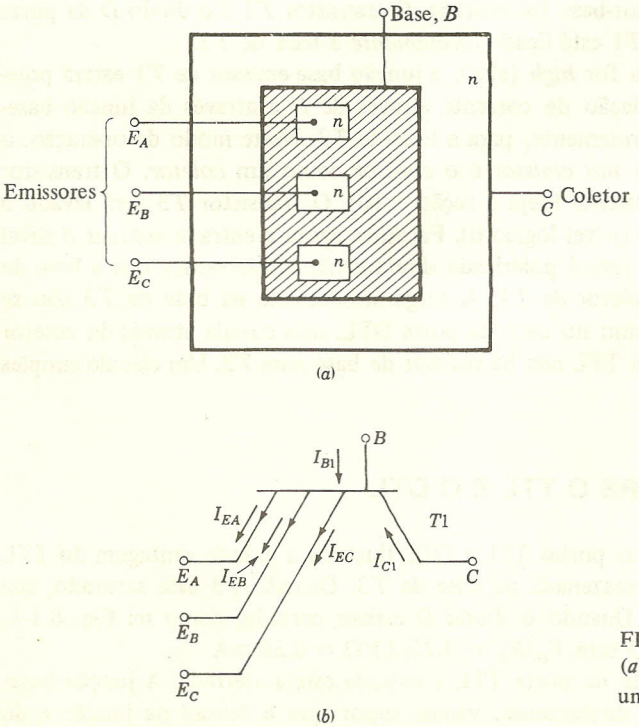


FIGURA 6.3-1
(*a*) Representação esquemática e (*b*) símbolo de um transistor de emissores múltiplos.

de corrente em coletor comum dado por $h_{FC} = \alpha_I/(1 - \alpha_I)$. Vemos na Fig. 6.1-2 que, se a corrente de base de $T3$ for I_{B3}, a corrente de entrada I_1 é dada por $I_1 = \alpha_I I_{B3}$. O restante da corrente de base de $T3$ é fornecido pela corrente de base I_{B1} de $T1$, de tal modo que $I_{B1} = (1 - \alpha_I)/I_{B3}$. Em uma porta TTL, o transistor de entrada $T1$ é deliberadamente projetado para ter um valor de ganho de corrente inverso bastante baixo.

Valores da ordem de $\alpha_I \approx 0{,}02$ ou ainda menores são típicos para portas TTL. Considerando este valor de α_I, somente 2 por cento da corrente de base necessária a $T3$ devem ser fornecidos pela fonte de alimentação da entrada, enquanto os outros 98 por cento são fornecidos através de R a partir de V_{CC}. Assim, o baixo valor de α_I tem a vantagem de minimizar a carga na fonte de excitação da entrada, pelo menos quando ela estiver no nível lógico **1**.

Para que o circuito da Fig. 6.1-2 funcione como uma porta, deverão ser colocadas entradas adicionais. Estas poderão ser obtidas através da colocação de transistores de entrada adicionais, em paralelo com $T1$. Todos estes transistores de entrada teriam então seus coletores ligados entre si, o mesmo acontecendo para as bases. Na prática, não colocamos transistores em paralelo desta maneira. Construímos um transistor com um coletor comum, uma base comum e emissores múltiplos. A estrutura física de um *transistor de emissores múltiplos* é mostrada na Fig. 6.3-1*a* e o seu símbolo em circuito é mostrado na Fig. 6.3-1*b*. Uma porta TTL com três entradas e que usa um transistor de múltiplos emissores é mostrada na Fig. 6.3-2.

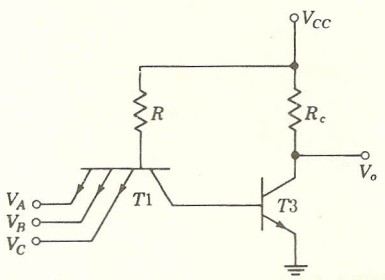


FIGURA 6.3-2
Uma porta TTL básica com três entradas.

Da mesma maneira que na porta DTL, a porta TTL da Fig. 6.3-2 é uma porta NAND. Se qualquer uma das entradas estiver em um nível lógico **0**, o transistor $T3$ cortará e a saída da porta se encontrará no nível **1**. Se todas as entradas estiverem no nível lógico **1**, o transistor $T3$ estará saturado e a saída estará em **0**.

A discussão do efeito do transistor de múltiplos emissores na operação da porta TTL será protelada até a seção 6.7.

6.4 O PULL-UP ATIVO

O TTL, apesar de possuir um mecanismo para a rápida remoção da carga de base, tem ainda somente uma limitação no que se refere à velocidade da porta. Esta limitação diz respeito às capacitâncias que aparecem na saída da porta entre o coletor de $T3$ e terra. Esta capacitância é composta da capacitância de saída do transistor, da capacitância espúria introduzida pelos fios de conexão da saída desta porta às entradas de outras, e das capacitâncias de entrada destes outros dispositivos que serão excitados a partir desta saída. Quando $T3$ está cortado, esta capa-

citância de saída deve carregar-se a partir de V_{CC} através do resistor R_c. Se a capacitância de saída é C_O, o capacitor se carrega e a saída vai do nível lógico **0** ao nível lógico **1**, com uma constante de tempo R_cC_O. Esta constante de tempo pode ser reduzida, pela redução do valor do resistor R_c. Uma redução em R_c, entretanto, aumentaria a potência dissipada em R_c e logicamente em $T3$ enquanto $T3$ estivesse conduzindo. Além disso, a redução de R_c tornaria mais difícil a saturação de $T3$.

O expediente usado em portas TTL para apressar a carga da capacitância de saída, sem a introdução de um aumento inaceitável na dissipação de potência, é mostrado na Fig. 6.4-1. Aqui, o resistor de PULL-UP R_c da Fig. 6.3-2 é substituído por dispositivos ativos tais como o transistor $T2$ e o diodo D. Este circuito é então chamado de *PULL-UP ativo*, similarmente aos PULL-UP usados nas portas RTL (Fig. 4.7-1) e nas portas DTL. Discutiremos a seguir, qualitativamente, a operação do circuito da Fig. 6.4-1.

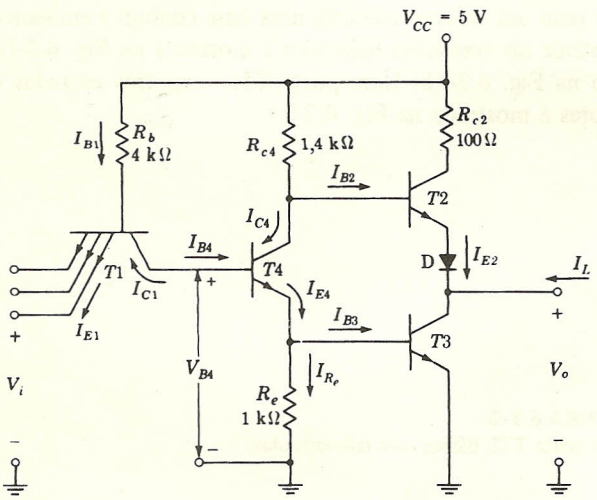


FIGURA 6.4-1
Uma porta NAND TTL.

Considerando agora o circuito do PULL-UP ativo da Fig. 6.4-1, quando a saída V_O estiver em um nível lógico **0**, o transistor $T3$ estará saturado e $T2$ cortado. Quando a saída for então de **0** para **1**, $T3$ estará cortado e $T2$ estará apto a conduzir; a capacitância de saída começará a se carregar através da combinação série entre o transistor seguidor de emissor $T2$ e o diodo D. O chaveamento dos transistores $T3$ e $T2$ é conseguido através do transistor $T4$, que é um *divisor de fase* usado para fornecer às bases de $T3$ e $T2$ tensões que excursionem em direções opostas de tal maneira que, quando um transistor do par $T3 - T2$ for levado à condução, o outro será levado ao corte e vice-versa.

Para melhor apreciarmos a necessidade de o diodo D estar localizado entre o par de transistores da saída, consideremos a situação em que as entradas estão todas no nível **1**, o que acarreta a saída estar em **0**. Com todas as entradas em **1**, ambos os transistores $T4$ e $T3$ estarão saturados (veremos mais tarde que isto se verifica). A tensão no coletor de $T3$ é então V_{CE} (sat) $\approx$ $\approx$ 0,2 V, enquanto a tensão no coletor de $T4$ é V_{CE4} (sat) + $V_{BE3} \approx 0{,}2 + 0{,}75 = 0{,}95$ V. Neste caso, se o diodo D não estivesse presente, a tensão base-emissor em $T2$ seria $V_{C4} - V_{C3} =$

= 0,95 − 0,2 = 0,75 V e $T2$ também estaria saturado. Necessitamos entretanto, que, com saída em **0**, $T2$ esteja cortado. Com o diodo D presente, a queda de 0,75 entre os coletores de $T4$ e $T3$ deve ser dividida entre o diodo D e a junção base-emissor de $T2$. Neste caso, nem o diodo D nem o transistor $T2$ estarão polarizados diretamente o suficiente para permitir a passagem de uma corrente apreciável.

6.5 CARACTERÍSTICA ENTRADA-SAÍDA DESPREZANDO O TRANSISTOR DE ENTRADA

Descreveremos e faremos alguns cálculos referentes à operação da porta TTL mostrada na Fig. 6.5-1. Como esta porta é substancialmente mais complicada tanto em relação à porta RTL como à porta DTL, nos será conveniente considerar não a característica entrada-saída global mas somente a característica que relaciona a tensão de saída V_o da porta à tensão de base V_{B4} do transistor $T4$.

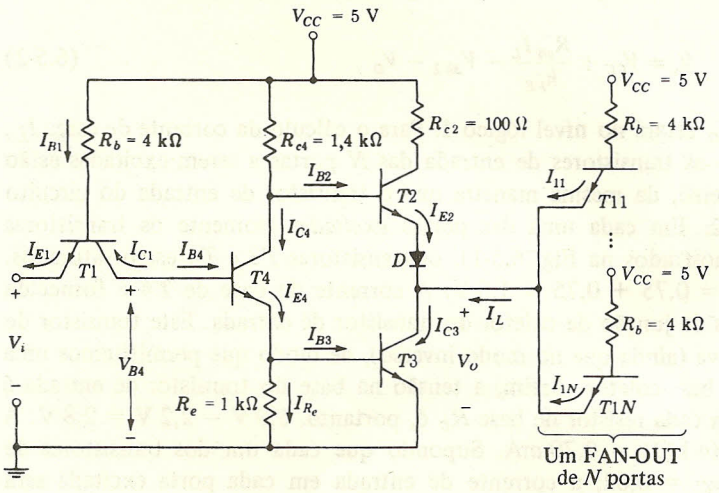


FIGURA 6.5-1
Uma porta TTL carregada.

Na seção 6.6, consideraremos a relação entre V_{B4} e a tensão de entrada V_i e, pela combinação destas duas características, deduziremos a característica global.

Vamos iniciar com $V_{B4} = 0$ V. Neste caso, $T4$ e $T3$ estão cortados. O transistor $T2$ fornece a corrente I_{E2} que vai alimentar as N portas. A corrente de emissor I_{E2} é igual à corrente $-I_L$, onde I_L é a corrente na carga. Seguindo uma convenção comum, o sentido positivo de I_L será entrando na porta.

O circuito para o cálculo da tensão de saída V_o é dado na Fig. 6.5-2. A tensão de saída V_o é dada por

$$V_o = V_{CC} - R_{c4} I_{B2} - V_{BE2} - V_D \qquad (6.5\text{-}1)$$

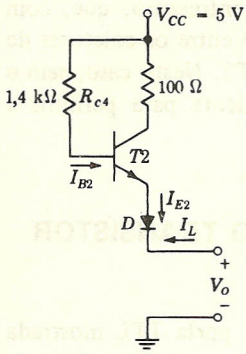


FIGURA 6.5-2
Circuito de saída usado para calcular V_O quando $T3$ e $T4$ estão cortados.

onde V_{CC} (= 5 V) é a tensão de alimentação, $R_{c4}I_{B2}$ é a queda em R_{c4}, V_{BE2} é a tensão base-emissor de $T2$ e V_D é a queda no diodo.

Supondo agora que $T2$ esteja operando na região ativa, a corrente de base é $I_{B2} = I_{E2}/(h_{FE} + 1) = -I_L/(h_{FE} + 1)$. A Eq. (6.5-1), desde que $h_{FE} \approx h_{FE} + 1$, fica

$$V_o = V_{CC} + \frac{R_{c4} I_L}{h_{FE}} - V_{BE2} - V_D \tag{6.5-2}$$

Se $T3$ estiver no corte, V_O estará no nível lógico **1**. Para o cálculo da corrente de carga I_L, observamos, na Fig. 6.5-1, que os transistores de entrada das N portas a serem excitadas estão todos operando em modo inverso, da mesma maneira que o transistor de entrada do circuito básico mostrado na Fig. 6.1-2. Em cada uma das portas *excitadas* (somente os transistores de entrada destas portas são mostrados na Fig. 6.5-1), os transistores $T3$ e $T4$ estão saturados. Assim, $V_{B4} = V_{BE3} + V_{BE4} = 0{,}75 + 0{,}75 = 1{,}5$ V. A corrente de base de $T4$ é fornecida quase que integralmente através da junção de coletor do transistor de entrada. Este transistor de entrada opera em sua região ativa (ainda que no modo inverso), de modo que permitiremos uma queda de 0,7 V na sua junção base-coletor. Assim, a tensão na base do transistor de entrada é 1,5 + 0,7 = 2,2 V. A queda em cada resistor de base R_b é, portanto, 5,0 V − 2,2 V = 2,8 V. A corrente através de R_b é 2,8/(4 kΩ) = 0,70 mA. Supondo que cada um dos transistores de entrada $T11 - T1N$ tenha $h_{FC} = 0{,}02$, a corrente de entrada em cada porta excitada será 0,70 (0,02) = 14 μA.

Se a porta excitadora $T2$ fosse conectada a uma porta somente, com a junção de emissor e o diodo sendo percorridos por uma corrente tão pequena (14 μA), poderíamos razoavelmente tomar $V_{BE2} = V_D = V_\gamma = 0{,}65$ V. Também neste caso a queda em R_{c4} [o segundo termo da Eq. (6.5-2)] é desprezível e temos

$$V_o \approx V_{CC} - 2V_\gamma = 5{,}0 - 2(0{,}65) = 3{,}7 \text{ V} \tag{6.5-3}$$

Por outro lado, vamos supor que excitaremos 10 portas (como veremos, um FAN-OUT de 10 é um número conservativo que geralmente é especificado pelos fabricantes) e que, no pior dos casos, h_{FC} seja 0,1. Neste caso, a corrente de carga seria da ordem de 1 mA. Ainda com esta corrente, a queda em R_{c4} continuaria desprezível, porém seria mais razoável tomarmos $V_{BE2} = V_D = 0{,}75$ V. A tensão de saída seria então

$$V_o = V_{CC} - 2V_\gamma = 5{,}0 - 2(0{,}7) = 3{,}6 \text{ V} \qquad (6.5\text{-}4)$$

Vemos portanto que, quando V_O está no estado **1**, seu valor é apenas levemente dependente da corrente de carga e portanto do FAN-OUT. Simplificaremos o assunto pela suposição de que, quando $T4$ (e portanto $T3$) estiver cortado, a tensão de saída será dada pela Eq. (6.5-4) e pelo gráfico de característica entrada-saída mostrado na Fig. 6.5-3.

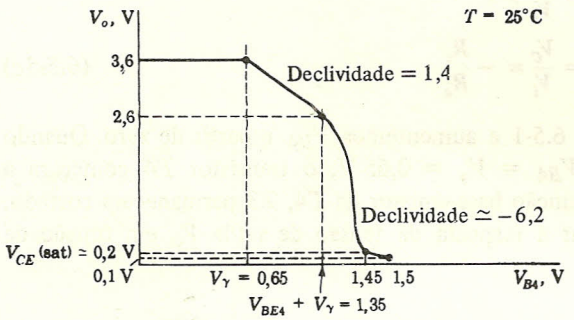
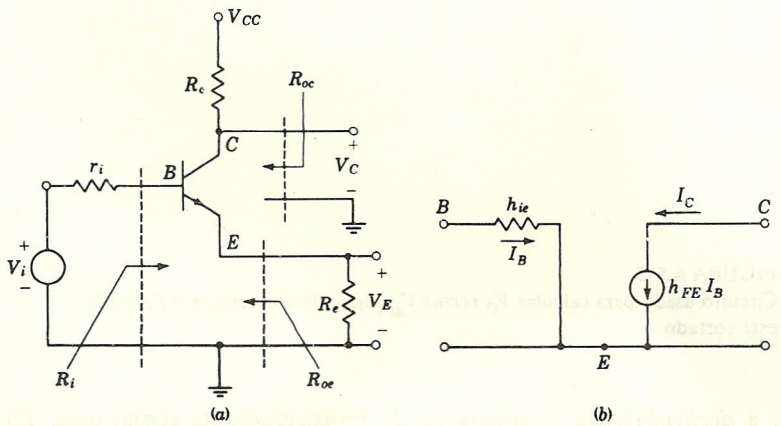


FIGURA 6.5-3
Característica entrada-saída da porta TTL.



$$R_i = h_{ie} + (h_{FE} + 1)\, R_e \qquad A_E = \frac{V_E}{V_i} = 1 - \frac{h_{ie} + r_i}{R_i}$$

$$R_{oe} = \frac{h_{ie} + r_i}{h_{FE}} \qquad A_C = \frac{V_C}{V_i} = -\frac{R_c}{R_e} A_E$$

$$R_{oc} = R_c$$

FIGURA 6.5-4
(*a*) Um divisor de fase.
(*b*) Circuito equivalente de um transistor.

O divisor de fase. Antes de continuarmos, vamos rever brevemente as características de ganho e impedância de um divisor de fase. Um exemplo deste estágio é mostrado na Fig. 6.5-4*a*. O transistor é suposto polarizado em sua região ativa, ainda que a polarização não seja mostrada explicitamente. O estágio tem um resistor de coletor R_C, um resistor de emissor R_e e é excitado por uma fonte de impedância r_i. Suporemos que na região ativa o transistor possa ser representado pelo seu circuito equivalente usando parâmetros híbridos, como mostrado na

Fig. 6.5-4*b*. Encontramos então que as impedâncias e os ganhos de tensão são dados pelas equações da Fig. 6.5-4. Tipicamente, poderemos supor que $h_{FE} = 50$ e $h_{ie} = 1\,\text{k}\Omega$. Se $h_{FE}R_e \gg \gg h_{ie} + r_i$, estas equações para impedâncias e ganhos podem ser simplificadas e obtemos as aproximações úteis seguintes

$$R_i \approx h_{FE} R_e \tag{6.5-5a}$$

$$A_E = \frac{V_E}{V_i} \approx 1 \tag{6.5-5b}$$

$$A_C = \frac{V_C}{V_i} = -\frac{R_c}{R_e} \tag{6.5-5c}$$

Retornemos agora ao circuito da Fig. 6.5-1 e aumentemos V_{B4} a partir de zero. Quando V_{B4} tiver um valor de aproximadamente $V_{B4} = V_\gamma = 0{,}65$ V, o transistor $T4$ começará a entrar na região ativa. Devido à queda na junção base-emissor de $T4$, $T3$ permanecerá cortado. Neste ponto, o circuito usado para calcular a resposta da tensão de saída V_o em função de V_{B4} é mostrado na Fig. 6.5-5.

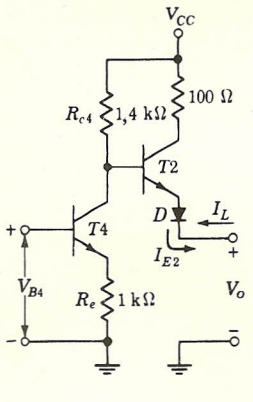


FIGURA 6.5-5
Circuito usado para calcular V_o *versus* V_{B4} quando $T4$ conduz e $T3$ ainda está cortado.

Calcularemos, agora, a *declividade* da característica de transferência na região onde $T3$ está cortado. O ganho $A_2 \equiv \Delta V_o/\Delta V_{B2}$ da base de $T2$ à saída é o ganho de um seguidor de emissor e, portanto, como na Eq. (6.5-5*b*), vale $A_2 \approx 1$. O ganho fornecido por $T4$ é [a partir da Eq. (6.5-5*c*)] $A_4 = -R_{c4}/R_e = -1{,}4$. O ganho total $A = \Delta V_o/\Delta V_{B4}$ é $A_2A_4 = -1{,}4$, como indicado na Fig. 6.5-3.

Se aumentarmos V_{B4} ainda mais, $T3$ eventualmente alcançará o ponto de limiar. Neste ponto, $T4$ estará na região ativa e suporemos uma queda de tensão base-emissor de $V_{BE4} = = 0{,}7$ V. Supondo agora que $T3$ sai do corte quando a queda de tensão na junção base-emissor é $V_{BE3} = V_\gamma = 0{,}65$ V, estimamos então que $T3$ inicia a condução quando $V_{B4} = V_{BE4} + + V_{BE3} = 0{,}7 + 0{,}65 = 1{,}35$ V. No limiar de condução de $T3$ a corrente através de R_e e portanto, aproximadamente, a corrente através de R_{c4} é $V_\gamma/R_e = 0{,}65/1\,\text{k}\Omega = 0{,}65$ mA.

A queda correspondente em R_{c4} é $R_{c4} = 1{,}4 \times 0{,}65 = 0{,}9$ V. Daí, como aparece na Fig. 6.5-3, quando $V_i = 1{,}35$ V, V_o é 0,9 V menor do que o valor na Eq. (6.5-4), que é $V_o = 3{,}5 - - 0{,}9 = 2{,}6$ V.

Quando $T3$ conduz, o ganho incremental $A = \Delta V_o/\Delta V_{B4}$ aumenta e a tensão de saída V_o começa a cair mais rapidamente com o aumento de V_{B4}, do que quando $T3$ estava cortado. Este aumento no ganho se deve a dois fatores. Por um lado, V_o cai simplesmente porque $T3$ inicia sua condução. Por outro lado, com $T3$ conduzindo, o resistor de emissor R_e está em paralelo com a impedância vista na base de $T3$. A resistência no circuito de emissor de $T4$ diminui e, como indicado pela Eq. (6.5-5c), o ganho de $T4$ aumenta. Os cálculos ilustrativos abaixo mostrarão estas duas fontes de aumento do ganho.

EXEMPLO 6.5-1. No circuito da Fig. 6.5-1, suponha que $T3$, $T2$ e $T4$ estejam na região ativa, cada um tendo como parâmetros $h_{ie} = 1\ \text{k}\Omega$ e $h_{FE} = 50$. Calcule o ganho incremental $A = \Delta V_O/\Delta V_{B4}$.

Solução. Como $h_{ie} = 1\ \text{k}\Omega$ está em paralelo com $R_e = 1\ \text{k}\Omega$, o resistor equivalente no emissor de $T4$ é $R'_e = 500\ \Omega$. A condição $h_{FE}R'_e >> h_{ie}$ continua sendo verificada. Assim, o ganho de base ao emissor de $T4$, que também é o ganho da base de $T4$ à base de $T3$, continua sendo unitário. Na Fig. 6.5-6 foi redesenhada a porção relevante da Fig. 6.5-1 com R_e substituído por R'_e, a conexão do emissor de $T4$ à base de $T3$ removida e com um gerador $\Delta V_{B3} = \Delta V_{B4}$ aplicado à base de $T3$.

Apliquemos agora o princípio da sobreposição e calculemos separadamente a tensão de saída ΔV_o devida individualmente a cada um dos geradores ΔV_{B4} e ΔV_{B3}. O ganho referente ao gerador ΔV_{B4} é calculado como anteriormente, exceto que agora R_e é substituído por R'_e. Temos então

$$A_4 = \frac{\Delta V_{C4}}{\Delta V_{B4}} = -\frac{R_{c4}}{R'_e} = -\frac{1{,}4}{0{,}5} = -2{,}8 \tag{6.5-6}$$

A seguir, calculamos o ganho devido a ΔV_{B3}. Referindo-nos à Fig. 6.5-4, podemos prontamente verificar que o ganho de um estágio amplificador em emissor comum operando *sem* um resistor de emissor e com um resistor de coletor R_c é

$$A_3 = \frac{\Delta V_o}{\Delta V_{B3}} = -\frac{h_{FE}}{h_{ie}} R_c \tag{6.5-7}$$

O resistor equivalente de coletor R_c com o qual $T3$ opera é a impedância incremental vista olhando-se em direção ao diodo D e ao emissor de $T2$. A impedância do transistor é $\Delta V_{BE}/\Delta I_B = h_{ie}$. A impedância $\Delta V_{BE}/\Delta I_E = \Delta V_{BE}/h_{FE}\Delta I_B = h_{ie}/h_{FE}$. Desde que a mesma corrente que circula no diodo também o faz em $T2$, consideraremos a impedância do diodo igual à impedância do transistor h_{ie}/h_{FE}. Para determinarmos R_c, somamos a impedância do diodo à impedância vista através do emissor de $T2$, conforme é dado pela equação para R_{oe} na Fig. 6.5-4. Temos então,

$$R_c = \frac{h_{ie}}{h_{FE}} + \frac{h_{ie} + R_{c4}}{h_{FE}} = \frac{10^3}{50} + \frac{(1{,}4 + 1) \times 10^3}{50} = 68\ \Omega \tag{6.5-8}$$

que é um valor pequeno em comparação a qualquer carga que a porta possa vir a ter, de tal modo que podemos ignorar a carga. A partir das Eqs. (6.5-7) e (6.5-8), temos

$$A_3 = \frac{\Delta V_o}{\Delta V_{B3}} \approx -\frac{h_{FE}}{h_{ie}} R_c = -\frac{1{,}4 + 2}{1} = -3{,}4 \tag{6.5-9}$$

Quando V_{B4} aumentar para valores acima de 1,45 a 1,5 V, ambos os transistores $T4$ e $T3$ estarão saturados e $T2$ estará cortado. Neste caso, $T3$ estará *fortemente* saturado e $V_O \approx 0{,}1$ V. Então, a corrente de coletor $I_{C3} = I_L$ e a corrente na carga é agora positiva. Esta corrente é calculada na seção 6.9.

6.6 CARACTERÍSTICA ENTRADA-SAÍDA DO TRANSISTOR DE ENTRADA

O gráfico da Fig. 6.5-3 relaciona a tensão de saída V_O à tensão de base V_{B4}. A característica entrada-saída que relaciona V_O à tensão de entrada V_i, mostrada na Fig. 6.6-1, é de maior interesse. Estudaremos agora a operação do transistor $T1$ que nos permitirá a determinação da relação entre V_i e V_O.

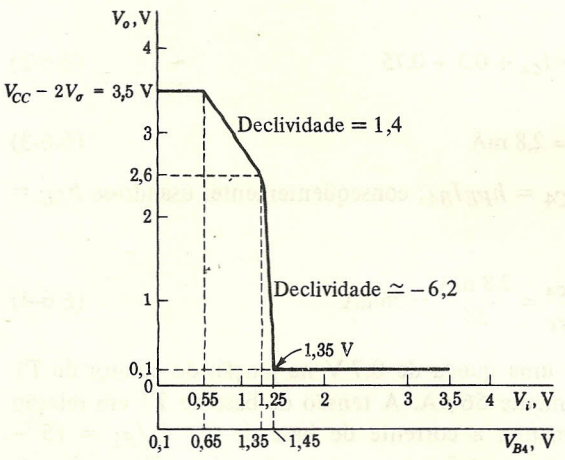


FIGURA 6.6-1
Característica entrada-saída de uma porta TTL carregada.

Conforme observamos, quando V_i possuir um valor alto de tensão, correspondendo ao nível lógico **1**, o transistor de entrada $T1$ operará no modo inverso ativo. A corrente de coletor I_{C1}, que é a corrente de base I_{B4} de $T4$, é fornecida principalmente pela corrente de base I_{B1} de $T1$. O ganho de corrente h_{FC} neste modo inverso é, deliberadamente, extremamente baixo de acordo com o projeto do transistor ($h_{FC} \approx 0{,}02$) de tal maneira que a fonte de entrada V_i fornece somente 2 por cento da corrente de base de $T4$. Considerando estas circunstâncias, $T4$ e $T3$ estão saturados, $V_{B4} = 0{,}75 + 0{,}75 = 1{,}5$ V e a saída V_O da porta está no nível **0**. Esta situação prevalecerá enquanto V_i for suficientemente positivo em relação a V_{B4} ($2\,V_\sigma = 1{,}5$ V) para manter $T1$ na região ativa inversa.

Mostraremos agora que, à medida que V_i cai, no mínimo até o ponto onde $V_i = 2\,V_\sigma$ (= 1,5 V), os transistores $T4$ e $T3$ permanecem na saturação e, conseqüentemente, V_O permanece no nível lógico **0**. Com $V_i = 2\,V_\sigma$, $V_{CE} = 0$ V e $T1$ está na saturação. A partir da Eq. (1.10-11) achamos que, quando $V_{CE1} = V_{CE}\,(\text{sat}) = 0$, $-1/(h_{FE} + h_{FC}) \approx -1/h_{FE}$ já que

$h_{FE} \gg h_{FC}$. Aplicando-se agora a definição de σ ao transistor $T1$, temos que $\sigma = I_{C1}/h_{FE}I_{B1}$. Substituindo-se o valor $\sigma = -1/h_{FE}$, achamos que $-I_{C1} = I_{B1}$. Assim, a corrente no emissor de $T1$ agora é zero. A corrente de emissor $T1$, entretanto, fornece somente 2 por cento da corrente de base de $T4$ e esta pequena perda de corrente de base dificilmente afetará $T4$ ou $T3$. Assim, V_o permanece no nível lógico **0**.

À medida que V_i cai a tensões menores do que $2\,V_\sigma = 1{,}5$ V, a corrente de base I_{B1} será desviada da junção base-coletor de $T1$ para a sua junção base-emissor. Eventualmente, a corrente de base de $T4$ será reduzida a um valor onde o transistor $T4$ estará no limiar de saída da saturação. Calcularemos agora a tensão V_i correspondente a esta situação. Temos observado regularmente que, quando um transistor está confortavelmente na região de saturação, sua tensão coletor-emissor é V_{CE} (sat) = 0,2 V. No limiar de saturação, um número mais razoável seria V_{CE} (sat) = 0,3 V. Referindo-nos agora à Fig. 6.5-1, como $T2$ está cortado quando $T3$ está conduzindo, temos

$$V_{CC} = R_{c4} I_{C4} + V_{CE4}(\text{sat}) + V_{BE3} \tag{6.6-1}$$

ou

$$5 = 1{,}4 \times 10^3 I_{C4} + 0{,}3 + 0{,}75 \tag{6.6-2}$$

a partir do que achamos

$$I_{C4} = 2{,}8\ \text{mA} \tag{6.6-3}$$

Como $T4$ está no limiar de saturação, $I_{C4} = h_{FE}I_{B4}$; conseqüentemente, usando-se $h_{FE} = 50$, temos

$$-I_{C1} = I_{B4} = \frac{I_{C4}}{h_{FE}} = \frac{2{,}8\ \text{mA}}{50} = 56\ \mu\text{A} \tag{6.6-4}$$

A tensão de base V_{B4} é 1,5 V. Permitiremos uma queda de 0,7 V na junção do coletor de $T1$ desde que por esta junção está circulando somente 56 μA. A tensão de base de $T1$ em relação à terra é 1,5 + 0,7 = 2,2 V. Conseqüentemente, a corrente de base de $T1$ é $I_{B1} = (5 - 2{,}2)/(4\,\text{k}\Omega) = 0{,}7$ mA. Podemos calcular agora o parâmetro σ para o transistor $T1$ e achamos então

$$\sigma = \frac{I_{C1}}{h_{FE}\,I_{B1}} = \frac{-56 \times 10^{-6}}{50(0{,}7) \times 10^{-3}} = -1{,}6 \times 10^{-3} \tag{6.6-5}$$

Este valor de σ está tão próximo de $\sigma = 0$ que não erraremos significativamente ao assumirmos $\sigma = 0$. Neste caso, V_{CE} (sat) é dado pela Eq. (1.10-4) e temos então

$$V_{CE1} \approx V_T \ln \frac{1}{\alpha_I} \tag{6.6-6}$$

Para $\alpha_1 = 0{,}02$, temos $V_{CE} \approx 100$ mV. Assim, a tensão V_i para a qual $T4$ sai da saturação é aproximadamente 0,1 V menor que V_{B4}. Assim sendo, enquanto na Fig. 6.5-3 a região de saturação inicia para $V_{B4} = 1{,}5$ V, na Fig. 6.6-1 ela inicia em $V_i = 1{,}4$ V.

À medida que V_i diminui, a corrente $I_{B4} = -I_{C1}$ continua a diminuir, tornando-se zero quando $T4$ corta e neste valor permanece daí em diante.

Assim, σ, que tem seu valor dado pela Eq. (6.6-5) quando $T4$ está saturado, cai a $\sigma = 0$ quando $T4$ corta, permanecendo neste valor daí em diante. Mais uma vez, V_i é 0,1 V menor do que V_{B4}.

É aparente agora que um gráfico da característica entrada-saída global (V_o *versus* V_i) de uma porta TTL é o mesmo que o gráfico de V_σ *versus* V_{B4} deslocado, ao longo do eixo das tensões, para a esquerda, de 0,1 V. Uma característica geral deste tipo é mostrada na Fig. 6.6-1 e deve ser comparada às mostradas na Fig. 6.6-2. Estas últimas características são medidas típicas fornecidas pelos fabricantes.

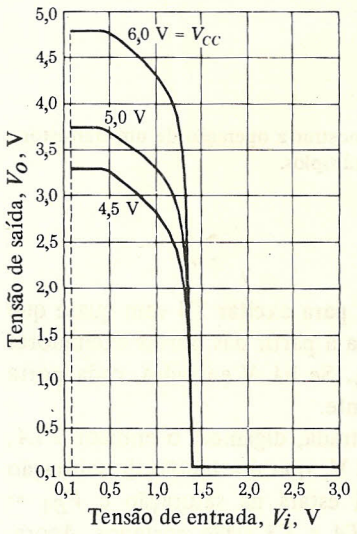


FIGURA 6.6-2
Característica de transferência de TTL com velocidade média para $V_{CC} = 4{,}5$, 5,0 e 6,0 V; $T_A = 25°C$.

6.7 O TRANSISTOR MULTIEMISSOR

Ignoramos, na seção anterior, o fato de o transistor de entrada possuir diversos emissores. Levaremos agora este fato em consideração. Por conveniência, representamos na Fig. 6.7-1 o *transistor multiemissor* como um arranjo de transistores individuais com suas bases interligadas e coletores também interligados. As entradas V_{iA}, V_{iB}, ..., V_{iN} são aplicadas individualmente a cada um dos emissores.

Vamos supor que todas as entradas estejam no nível lógico 1, correspondendo nominalmente a $V_{iA} = V_{iB} = \ldots = V_{iN} = V_{CC} - 2\,V_\sigma = 3{,}5$ V. Todos os transistores de entrada $T1$ estarão operando agora na região ativa inversa. Suporemos que os transistores $T3$ e $T4$ estejam saturados. Assim, a tensão $V_{B4} = V_\sigma + V_\sigma = 1{,}5$ V, enquanto $V_{B1} = 0{,}7 + 1{,}5 = 2{,}2$ V. A corrente que circula por R é, então, $I_{B1} = (5{,}0 - 2{,}2)/(4\ \text{k}\Omega) = 0{,}7$ mA. Neste modo de operação, a corrente combinada de emissor é $I_E = -h_{FC}I_{B1}$, onde h_{FC} é o ganho de corrente inverso correspondente a α_I. Agora, como $\alpha_I << 1$, $h_{FC} = \alpha_I/(1 - \alpha_I) \approx \alpha_I$. Tomando-se $\alpha_I = 0{,}02$, temos $I_{E1} = -0{,}02\,(0{,}7)$ mA $= -0{,}014$ mA. Assim, a corrente total de base de $T4$ é $I_{B4} \approx$ $\approx 0{,}4$ mA. Este é o mesmo resultado calculado na seção 6.6 para um transistor $T1$ com entrada de um único emissor.

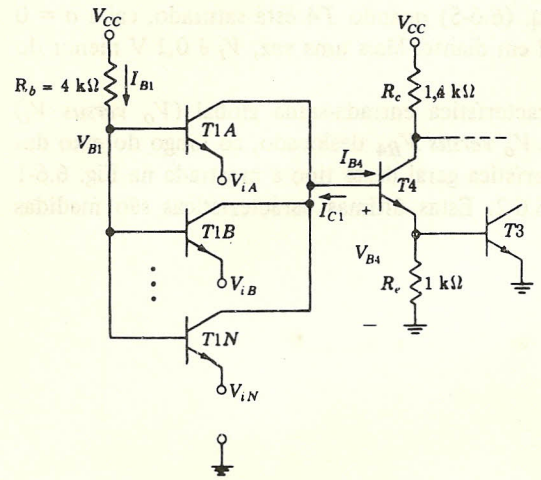


FIGURA 6.7-1
Circuito para mostrar a operação de um transistor de emissores múltiplos.

Observamos novamente que a corrente de base necessária para excitar $T4$ vem quase que integralmente de V_{CC} através de R_b. A corrente total necessária a partir das portas excitadoras $T1A$, $T1B$, ..., $T1N$ é 2 por cento da corrente de base I_{B4}. Se há N entradas, cada porta excitadora necessita fornecer somente $2/N$ por cento desta corrente.

A seguir, vamos considerar que um dos emissores de entrada, digamos, o emissor $T1A$, está no nível lógico **0** que corresponde a aproximadamente 0,2 V, que é a tensão de saturação da porta excitadora. Então, como vimos na seção 6.6, $T1A$ estará na saturação e $V_{B4} = V_{iA} + V_{CE}(T1A) \approx 0{,}2 + 0{,}1 = 0{,}3$ V. Os transistores $T4$ e $T3$ estão cortados. Agora, enquanto $T1A$ está operando na saturação com sua junção de emissor polarizada diretamente e suportando uma corrente de emissor muito grande em comparação com sua corrente de coletor, vamos supor que os emissores de cada um dos outros "transistores" $T1B$, ..., $T1N$ estejam no nível lógico **1** com $V_i = 3{,}5$ V. Estes transistores estão operando em modo inverso ativo com suas junções base-coletor polarizadas diretamente e seus emissores polarizados reversamente. Observamos mais ainda que, desde que $V_{iA} = 0{,}2$ V e $T1A$ esteja saturado, $V_{B1} = V_{iA} + V_{BE}(T1A) = 0{,}2 + 0{,}75 = 0{,}95$ V. As tensões de coletor dos transistores $T1B$, ..., $T1N$ são iguais a V_{B4}, onde $V_{B4} = 0{,}3$ V. Assim, as quedas nas junções base-coletor polarizadas diretamente de $T1B$, ..., $T1N$ são 0,65 V que é 0,1 a *menos* do que a polarização direta na junção base-emissor de $T1A$. Em muitas ocasiões observamos que uma mudança de 0,1 V em tensão leva um transistor da saturação ao limiar do corte. Assim, na Fig. 6.7-1, podemos estimar que, quando uma (ou mais) entrada está no nível lógico **0**, os outros transistores estão, para qualquer finalidade, cortados.

Uma característica adicional do transistor multiemissor deve ser mencionada. Referenciando-nos à Fig. 6.3-1, vemos que transistores são formados não somente entre cada um dos três emissores e o coletor, mas também entre os emissores E_A e E_B, E_A e E_C, e E_B e E_C, desde que todos formam estruturas *npn*. Entretanto, por causa da geometria dos "transistores", seus ganhos de corrente são muito pequenos (menores do que 0,01) e a presença destes transistores pode ser desprezada.

6.8 CARACTERÍSTICA VOLT-AMPÈRE DE ENTRADA DE UMA PORTA TTL

Por causa da relativa complexidade da lógica TTL, nos será útil a consideração da característica volt-ampère de entrada e saída em adição à característica de transferência. Consideraremos aqui a característica de entrada. A característica de saída será discutida na seção 6.9.

A Fig. 6.8-1*a* apresenta a característica volt-ampère de entrada em um emissor na entrada. As outras entradas em emissor (somente uma entrada adicional é mostrada na figura) serão supostas no nível lógico 1. Pelas razões apresentadas na seção 6.7 desprezaremos o efeito destes outros emissores.

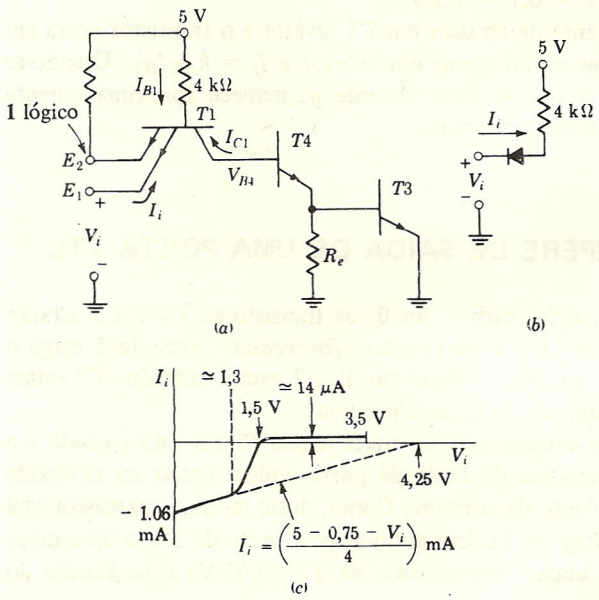


FIGURA 6.8-1
Característica volt-ampère de entrada.

Quando $V_i = 0$, $T4$ está cortado e, portanto, a corrente de coletor $I_{C1} = 0$. Neste caso, desprezando a contribuição de corrente de E_2 (veja a seção 6.7), podemos representar $T1$ como um diodo. Um circuito equivalente para o cálculo da corrente I_i é então mostrado na Fig. 6.8-1*b*. Admitindo como tensão de junção 0,75 V, $I_i = -(5 - 0{,}75)/(4\,\text{k}\Omega) = -1{,}06$ mA, conforme pode ser observado no gráfico da Fig. 6.8-1*c*. Desde que toda a corrente através do resistor de 4 kΩ circule pela junção E_1, a característica volt-ampère será uma linha reta, que intercepta o eixo das correntes em $-1{,}06$ mA e o eixo das tensões em $5 - 0{,}75 = 4{,}25$ V. Esta linha reta é indicada (tracejada) no gráfico.

À medida que V_i aumenta, o gráfico $V_i - I_i$ deixa de ser uma linha reta conforme $T4$ inicie a conduzir. Quando $I_i = 0$, toda a corrente através do resistor de 4 kΩ circula pelo coletor de $T1$ e para a base de $T4$.

Neste ponto, tanto $T4$ como $T3$ estarão saturados e a tensão V_{B4} será 1,5 V. Como $I_i = 0$, a corrente de emissor em $T1$ é zero, e a tensão coletor-emissor será dada pela Eq. (1.10-9)

$$V_{CE1} = -V_T \ln \frac{1}{\alpha_N} \tag{6.8-1}$$

Com $V_T = 25$ mV e $\alpha_N = 0{,}98$, temos $V_{CE1} \approx -0{,}5$ mV. Assim, a tensão de entrada V_i é 0,5 mV menor do que $V_{B4} = 1{,}5$ V. Desta maneira, poderemos aproximar $V_i \approx 1{,}5$ V quando $I_i = 0$. Este ponto $V_i = 1{,}5$ V e $I_i = 0$ pode ser observado no gráfico da Fig. 6.8-1*c*.

Podemos também estimar a tensão para a qual a característica deixará de ser uma linha reta como na Fig. 6.8-1*c*. O abandono da linha reta tracejada inicia-se quando a corrente de base de $T4$ começa a ser significante. Podemos julgar que este é o caso quando $T4$ e $T3$ estão cada um em sua região ativa. Neste instante, $T1$ estará saturado de tal maneira que teremos $V_i = V_{BE3} + V_{BE4} - V_{CE1} \approx 0{,}7 + 0{,}7 - 0{,}1 = 1{,}3$ V.

Com V_i maior do que 1,5 V, a corrente de emissor em $T1$ reverte e o transistor entra em sua região ativa inversa. O emissor E_1 age então como um coletor e $I_i = h_{FC} I_{B1}$. Usando-se $h_{FC} \approx 0{,}02$ e $I_{B1} = 0{,}7$ mA, temos $I_i \approx 14\,\mu$A. Esta corrente permanece aproximadamente constante à medida que V_i aumenta até seu valor máximo.

6.9 CARACTERÍSTICA VOLT-AMPÈRE DE SAÍDA DE UMA PORTA TTL

Quando a entrada da porta da Fig. 6.5-1 estiver em **0**, os transistores $T4$ e $T3$ estarão cortados. A saída da porta estará então em **1** e a porta estará *fornecendo* corrente à carga e então I_L será negativa. Quando a entrada da porta estiver em **1**, $T2$ estará cortado, $T3$ estará saturado e a porta estará *recebendo* corrente, isto é, I_L será positiva.

Considere primeiro o caso em que a entrada está no nível lógico **0**, $T3$ está cortado e a porta está fornecendo corrente. A característica de saída da porta poderá então ser deduzida a partir da Fig. 6.9-1, onde $-I_L = I_S$ é a fonte de corrente. Como, deste modo, o transistor está na região ativa, a corrente de base é $I_S/(h_{FE} + 1)$. Iniciando-se pela fonte de 5 V e levando-se em consideração as quedas em R_{c4}, na junção base-emissor de $T2$ (0,65 V) e na junção do diodo D (0,65 V) encontramos

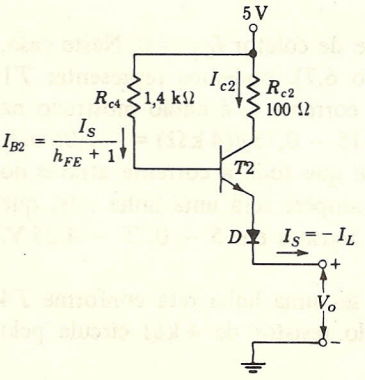


FIGURA 6.9-1
Circuito equivalente usado para determinarmos a característica volt-ampère de saída quando $T3$ estiver cortado.

$$V_o = 3\,7 - \frac{R_{c3}}{h_{FE} + 1} I_S \qquad (6.9\text{-}1)$$

Assim, a saída tem uma representação de Thevenin que consiste em uma tensão de 3,7 V em série com uma impedância de saída $R_{c4}/(h_{FE} + 1)$. Com $R_{c4} = 1{,}4\,\text{k}\Omega$ e usando-se $h_{FE} + 1 = 50$, a impedância de saída vale 28 Ω, de tal maneira que

$$V_o = 3{,}7 - 28 I_S \qquad (6.9\text{-}2)$$

Quando o transistor $T2$ está na saturação, $V_{BE2} = 0{,}75$, $V_{CE2} = 0{,}2$ V e $V_D = 0{,}75$ V. Neste caso, $I_{B2} = (3{,}5 - V_o)/1.400$ e $I_{C2} = (4{,}05 - V_o)/100$. Como $I_S = I_{C2} + I_{B2}$ e $I_{B2} << I_{C2}$, temos

$$V_o \approx 4{,}05 - 100 I_S \qquad (6.9\text{-}3)$$

O gráfico para os segmentos de reta das Eqs. (6.9-2) e (6.9-3) apresenta uma intersecção para $I_S \approx 5$ mA. Daí, para $I_S > 5$ mA o transistor está saturado e a Eq. (6.9-3) se aplica, enquanto para $I_S < 5$ mA, o transistor está na região ativa e a equação aplicada é a (6.9-2). A característica de saída é, então, dada pela linha contínua da Fig. 6.9-2. Para correntes muito baixas, o gráfico deve abandonar a linha reta da Eq. (6.9-2). Para $I_S = 0$, não há necessidade de haver qualquer queda de tensão nem em R_{c2}, nem na junção base-emissor de $T2$, nem no diodo D e, em princípio, deveria ser igual a $V_{CC} = 5{,}0$ V.

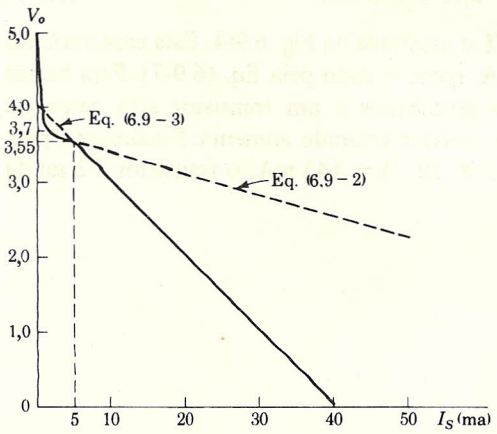


FIGURA 6.9-2
Características saída-entrada quando $T3$ está cortado.

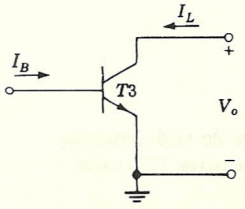


FIGURA 6.9-3
Circuito equivalente para o cálculo da característica volt-ampère de saída quando $T3$ estiver saturado ($T2$ está cortado).

Quando todas as entradas da porta da Fig. 6.5-1 estiverem no nível lógico **1**, $T2$ estará cortado, enquanto $T3$ e $T4$ estarão saturados. O transistor $T3$, então, estará saturado e, como mostra a Fig. 6.9-3, ele *receberá* uma corrente I_L. A característica volt-ampère nestes terminais de saída é agora precisamente a característica do coletor para a configuração de emissor comum do transistor correspondente à corrente de base I_{B3}. Esta característica é semelhante àquela mostrada na Fig. 1.10-1, sendo que aqui desenhamos $V_o = V_{CE}$ (sat) como uma função de $I_L = \alpha h_{FE} I_{B3}$ no lugar de ser uma função de α. Calculamos I_{B3} como segue. Referenciando-nos à Fig. 6.5-1, temos (veja seção 6.5) $I_{B1} \approx 0{,}7$ mA e, portanto, $I_{B4} \approx 0{,}7$ mA. Com $T4$ saturado e $T2$ cortado,

$$I_{C4} = \frac{V_{CC} - V_{BE3} - V_{CE4}(\text{sat})}{R_{c4}} = \frac{5 - (0{,}75 + 0{,}2)}{1{,}4\ \text{k}\Omega} \approx 2{,}9\ \text{mA} \tag{6.9-4}$$

Daí segue

$$I_{E4} = I_{B4} + I_{C4} = 0{,}7 + 2{,}9 = 3{,}6\ \text{mA} \tag{6.9-5}$$

Como a corrente no resistor R_e é

$$I_{R_e} = \frac{0{,}75}{1\ \text{k}\Omega} = 0{,}75\ \text{mA} \tag{6.9-6}$$

temos

$$I_{B3} = I_{E4} - I_{R_e} = 3{,}6 - 0{,}75 = 2{,}85\ \text{mA} \tag{6.9-7}$$

Uma característica de saída típica para um TTL é mostrada na Fig. 6.9-4. Esta característica corresponde a uma corrente de base $I_{B3} = 2{,}85$ mA, como é dado pela Eq. (6.9-7). Para baixas correntes, a saída é V_{CE} (sat) $\approx 0{,}1$ V, valor que associamos a um transistor sem carga, na saturação. Em correntes mais elevadas, a queda no transistor saturado aumenta. Finalmente, para uma corrente ao redor de $I_L = h_{FE} I_{B3} = 50(2{,}85 \times 10^{-3}) = 142$ mA, o transistor $T2$ sai da saturação.

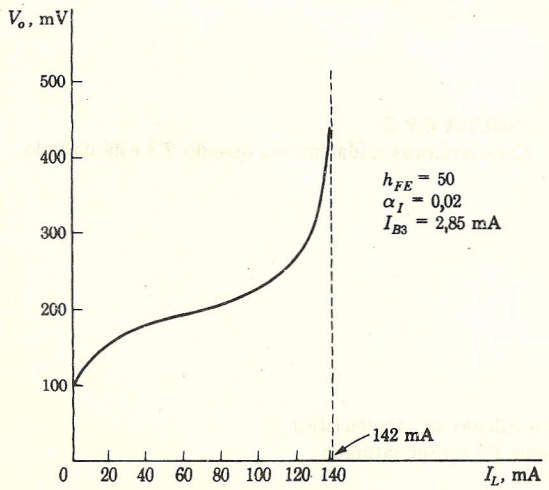


FIGURA 6.9-4
Característica volt-ampère de saída, quando todas as entradas de uma porta TTL estão no estado **1**.

6.10 DADOS DE ESPECIFICAÇÕES DOS FABRICANTES: DEPENDÊNCIA DA TEMPERATURA E IMUNIDADE AO RUÍDO

Da mesma forma como para as outras portas, as características das portas TTL dependem da temperatura. Como antes, a fonte principal desta dependência é a temperatura das tensões correspondentes às junções base-emissor e base-coletor.

Como os cálculos dos efeitos da temperatura neste caso são similares aos anteriores, eles são deixados como problemas. Observaremos então esta dependência com a temperatura a partir das características publicadas pelos fabricantes.

As Figs. 6.10-1 a 6.10-4 se aplicam a portas tipo 54/74 da Texas Instruments. As portas do tipo 74 são projetadas para trabalharem na faixa de temperatura ambiente desde 0 até 70°C e ainda permitirem uma variação na tensão da fonte de 4,75 a 5,25 V. O tipo 54 aceita uma variação de temperatura maior, de −55 a 125°C e uma variação na alimentação de −4,5 a 5,5 V.

Esta porta é uma porta NAND TTL típica e apresenta uma boa relação entre velocidade e dissipação de potência modesta.

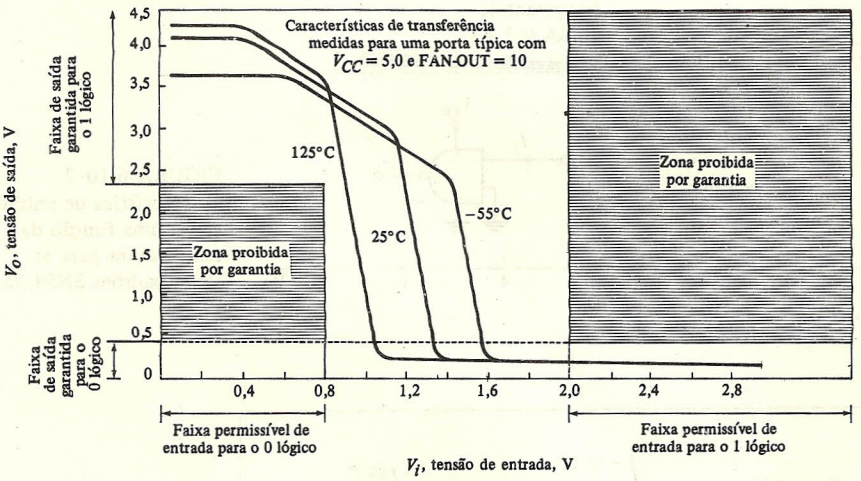


FIGURA 6.10-1
Característica de transferência de tensão para uma porta TTL típica SN54/74.

A Fig. 6.10-1 nos mostra características de transferência típicas para uma variedade de temperaturas e um FAN-OUT de 10. Observe que o fabricante garante que qualquer tensão de entrada maior do que 2,0 V será reconhecida pela porta como correspondendo ao nível lógico **1**, isto é, $V_{iH} = 2{,}0$ V.

Da mesma forma, é garantido que a saída da porta em nível lógico **1** nunca será menor do que 2,4 V, isto é, $V_{oH} = 2{,}4$ V.

Assim, a margem de ruído $\Delta\mathbf{1}$ é

$$\Delta\mathbf{1} = V_{oH} - V_{iH} = 2{,}4 - 2{,}0 = 0{,}4 \text{ V} \qquad (6.10\text{-}1)$$

Observamos também que $V_{iL} = 0{,}8$ V e que $V_{oL} = 0{,}4$ V e então

$$\Delta 0 = V_{iL} - V_{oL} = 0{,}8 - 0{,}4 = 0{,}4 \text{ V} \qquad (6.10\text{-}2)$$

Estas margens de ruído, como esperado, são extremamente conservativas.

FAN-OUT. O FAN-OUT é limitado pela corrente que $T3$ (Fig. 6.5-1) pode receber quando em saturação. Encontramos, a partir da Fig. 6.10-2, que, quando a saída de uma porta excitadora está no nível lógico **0**, ela deve receber ao redor de 1,0 mA de cada uma das portas excitadas. Este resultado é verificado na Fig. 6.5-1, onde com $T3$ saturado temos

$$I_{11} = \frac{V_{CC} - V_{BE}(T11) - V_o}{R_b} = \frac{5 - 0{,}75 - 0{,}2}{4\ \text{k}\Omega} \approx 1 \text{ mA}$$

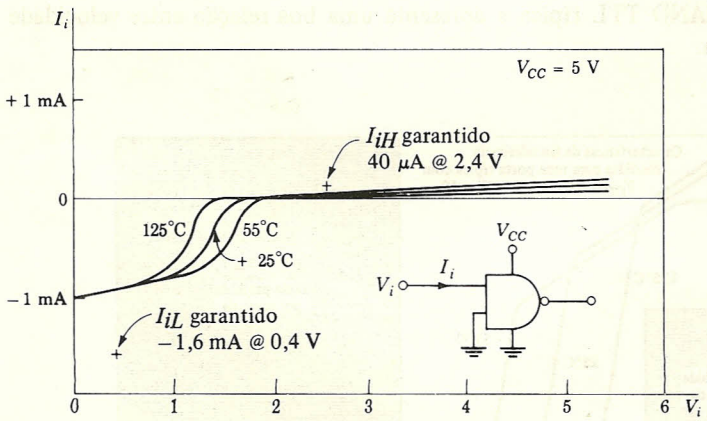


FIGURA 6.10-2
Característica de entrada como uma função da temperatura para as séries padrões SN54/75.

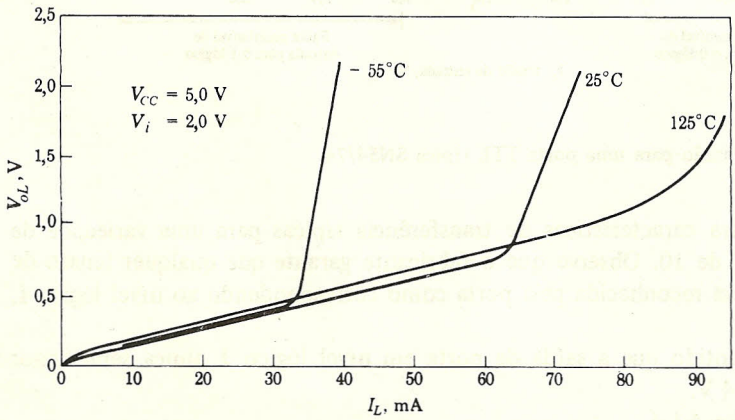


FIGURA 6.10-3
Característica volt-ampère de saída, quando todas as entradas estão no estado **1** ($T3$ saturado).

Observamos também, a partir da Fig. 6.10-3, que a habilidade da porta em receber corrente fica mais comprometida na temperatura mais baixa que é de $-55°C$. Mesmo nesta temperatura observamos que $T3$ não sai da saturação exceto para correntes superiores a 30 mA. Poderemos então estimar um FAN-OUT de $30/1{,}0 = 30$. O fabricante recomenda, entretanto, um FAN-OUT de somente 10, para que V_{oL} fique abaixo de 0,4 V. O FAN-OUT também afeta a saturação e o tempo de retardo da propagação.

A Fig. 6.10-4 é um gráfico da tensão de saída V_{oH}, quando a porta está no nível lógico alto, como uma função da corrente de fonte I_S. Observe que, se $V_{oH} > 2{,}5$ V, $I_S < 11$ mA na temperatura ambiente.

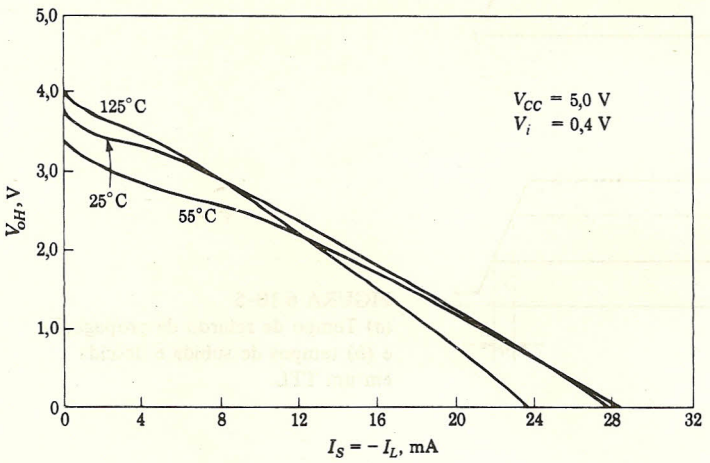


FIGURA 6.10-4
Característica de saída volt-ampère quando V_i estiver no estado **0** ($T3$ cortado).

Tempo de retardo de propagação. Os retardos de propagação em portas TTL são definidos e medidos da mesma maneira que para outras portas. Os tempos t_{pd} (*HL*) e t_{pd} (LH) são definidos conforme a Fig. 6.10-5*a*.

Aí vemos que os tempos são medidos quando as tensões de entrada e saída são cada uma igual a 1,5 V. O valor da tensão utilizada não é padrão, sendo que cada fabricante define o tempo de retardo de maneira um pouco diferente.

Os tempos de retardo de propagação são uma função da carga capacitiva e portanto do FAN-OUT. Com uma carga capacitiva da ordem de 15 pF e um FAN-OUT de 10, o tempo médio de retardo de propagação é tipicamente 10 ns. Obviamente, uma carga capacitiva maior aumenta o retardo na propagação. Portas do tipo TTL Schottky (veja a seção 6.13) têm tempos de retardo de propagação da ordem de 2 a 4 ns.

As portas TTL são usadas em altas velocidades, onde o *tempo de subida* e o *tempo de descida* são importantes. Como observado na Fig. 6.10-5*b*, os tempos de subida e descida de portas TTL são freqüentemente medidos entre os pontos de 1 e 2 V da tensão de saída. Algumas vezes, os tempos de subida e descida são definidos como o tempo de transição compreendido entre os pontos de 10 e 90 por cento da forma de onda da saída. Valores típicos são $t_r = 8$ ns e $t_f = 5$ ns para uma porta TTL de velocidade média e 4 a 8 ns para uma porta TTL de alta velocidade.

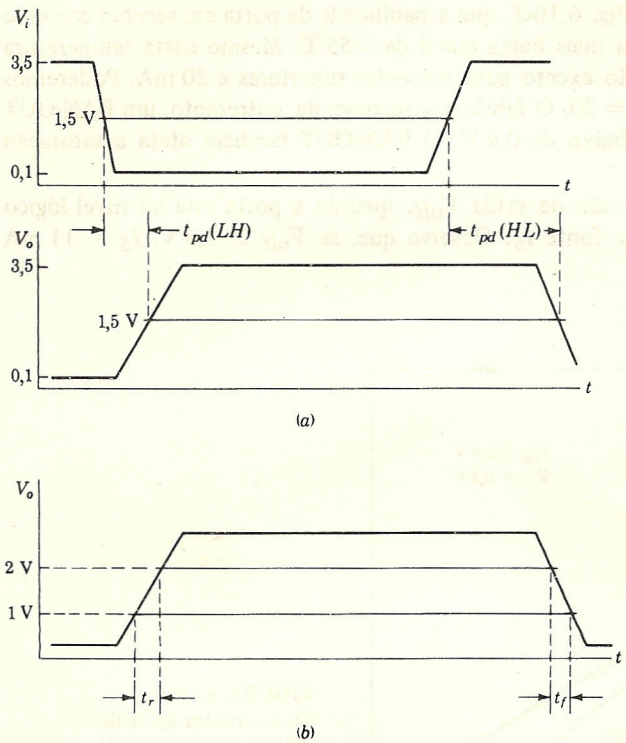


FIGURA 6.10-5
(*a*) Tempo de retardo de propagação e (*b*) tempos de subida e descida em um TTL.

Portas do tipo TTL Schottky possuem tempos de subida e descida da ordem de 3 ns.

Devido ao seu PULL-UP ativo, o TTL, da mesma forma que o RTL (seção 4.7), suporta uma alta carga capacitiva como a que é apresentada por 10 portas excitadas. Quando V_i cai ao nível lógico **0**, $T4$ aumenta rapidamente.

A carga capacitiva, devida ao FAN-OUT, faz com que a tensão de saída V_o fique inicialmente em 0,1 V. Assim, como pode ser facilmente verificado, $T2$ satura e a corrente que circula inicialmente por $T2$ é $I_{E2} \approx 38{,}5$ mA. Este elevado transiente de corrente (pico de corrente) rapidamente varia a carga capacitiva levando V_o abruptamente ao nível lógico **1**.

Infelizmente, quando $T2$ começa a conduzir e satura, $T3$ ainda não saiu da saturação. Como conseqüência, uma parte substancial da corrente I_{E2} que poderia ser usada para carregar a carga capacitiva, será desviada para $T3$.

6.11 CORRENTE DRENADA DA FONTE DE ALIMENTAÇÃO

A corrente drenada da fonte de alimentação usada em portas TTL não é a mesma para os dois níveis lógicos. O consumo é maior para o nível lógico **0** do que para o nível lógico **1**.

Considerando um caso típico, digamos o da Fig. 6.5-1, o consumo de corrente em regime permanente é da ordem de 3 mA para um nível e 1 mA para o outro (veja Prob. 6.11-1).

A diferença depende principalmente do fato de que, em um caso, $T4$ conduz, enquanto no outro ele está cortado. De maior importância, entretanto, é o fato de que o pico de corrente em I_{E2}, discutido na seção anterior, deve ser fornecido pela fonte de alimentação.

A forma de onda exata da corrente de alimentação depende do tipo de porta TTL envolvida e da carga capacitiva. Os picos de correntes são da ordem de 40 mA, como observado, e têm durações que variam de alguns nanossegundos até muitas dezenas de nanossegundos, no caso de uma alta carga capacitiva. Uma forma de onda de corrente típica é mostrada na Fig. 6.11-1.

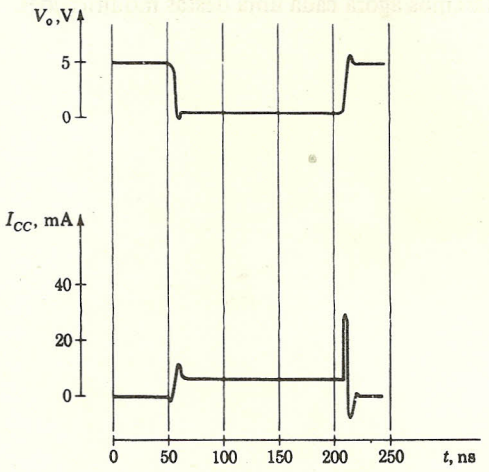


FIGURA 6.11-1
Pico na tensão de saída e na alimentação de corrente.

Estes picos de corrente ocorrem na mesma freqüência com que a porta faz transições e, portanto, a corrente média consumida é uma função da freqüência na qual a porta está operando.

É comum que a corrente média drenada aumente por um fator de 2 ou 3 quando a porta opera em algumas dezenas de megahertz.

Se for permitido que os picos de corrente circulem pela impedância interna da fonte de alimentação, eles causarão picos de tensão que serão repassados a todo o sistema que utiliza esta fonte de alimentação. Para evitarmos esta situação, é necessário usarmos um capacitor de contorno (*by-pass*) à terra no ponto onde a fonte de alimentação está conectada ao circuito integrado.

6.12 TIPOS DE PORTAS TTL

Há disponibilidade de diversos tipos de portas TTL que se diferenciam principalmente na relação existente entre velocidade e potência dissipada. Assim, a porta da Fig. 6.5-1 é considerada uma porta de velocidade média e tem uma dissipação média de potência de 10 mW e, conforme foi observado, um retardo de propagação da ordem de 10 ns. A dissipação de potência pode ser diminuída, à custa da velocidade, pelo aumento dos valores dos resistores. Assim, vemos que uma porta comercialmente disponível (veja Fig. 6.5-1) com $R_b = 40\,\text{k}\Omega$, $R_{c4} = 20\,\text{k}\Omega$, $R_e = 12\,\text{k}\Omega$ e $R_{c2} = 500\,\Omega$ tem uma dissipação de potência da ordem de 1 mW, mas seu tempo médio de propagação é de 33 ns.

A velocidade de uma porta pode ser aumentada pela diminuição dos valores dos resistores. Quando nosso desejo, entretanto, for velocidade, mudanças adicionais são incorporadas na porta. Uma porta TTL típica de alta velocidade é mostrada na Fig. 6.12-1. Observamos que R_b foi reduzida para 2,4 kΩ, R_{c4} para 800 Ω e R_{c2} para 60 Ω. Observamos, igualmente, três mudanças adicionais: (1) há diodos em paralelo com a entrada à terra; (2) o resistor de emissor de $T4$ foi substituído por um circuito que consiste em um transistor $T5$ adicional e dois resistores; (3) a ligação entre o coletor de $T4$ e a base de $T2$ não é feita diretamente como na Fig. 6.5-1, mas através de um seguidor de emissor, formando então um *amplificador Darlington* composto de $T6$ e de um resistor de emissor de 3,5 kΩ. Consideraremos agora cada uma destas modificações.

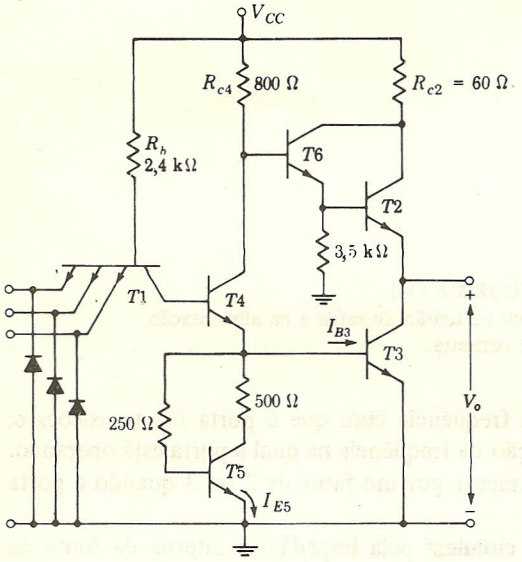


FIGURA 6.12-1
Uma porta TTL de alta velocidade.

Os diodos de entrada. Os diodos na entrada são comuns a todas as portas TTL, exceto as mais vagarosas. Os diodos agem como grampeadores para suprimir o *ringing* que ocorre na rápida transição de tensão encontrada em sistemas TTL. Considere, por exemplo, que a tensão de saída de uma porta TTL varia rapidamente do nível **1** para o nível **0**. O fio que conecta esta porta à porta excitada é condutor do sinal. Se o fio que age como uma linha de transmissão não possuir uma terminação apropriada, há o aparecimento do *ringing* (veja o Apêndice A), como ilustrado na Fig. 6.12-2*a*.

Os diodos de entrada fazem o grampeamento da sobreelevação negativa a aproximadamente −0,75 V, e absorvem uma energia suficiente do sinal aplicado para prevenir uma elevada sobreelevação positiva que poderia fazer com que a porta conduzisse novamente. A supressão deste *ringing* é ilustrada na Fig. 6.12-2*b*.

O circuito Darlington. Consideraremos agora o efeito de $T6$ no circuito da Fig. 6.12-1. Primeiro poderemos observar que o diodo D encontrado no circuito da Fig. 6.5-1 não é usado

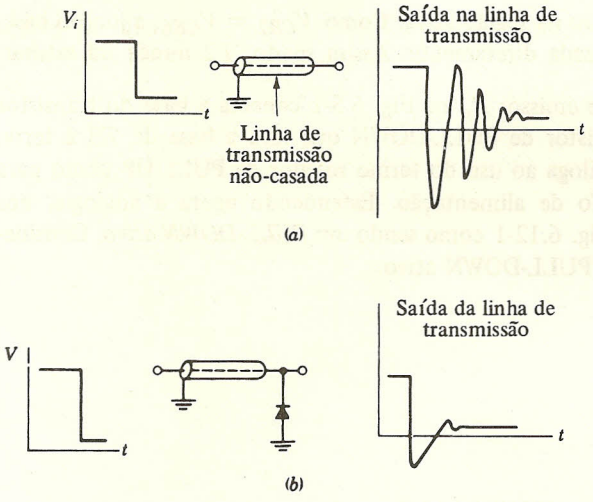


FIGURA 6.12-2
(*a*) Saída de uma linha de transmissão devido a um degrau de transição negativa, mostrando o *ringing*. (*b*) Saída de uma linha de transmissão carregada com um diodo.

na Fig. 6.12-1. O diodo foi incluído para assegurar que $T2$ estivesse cortado quando $T4$ e $T3$ estivessem saturados. Na configuração aqui mostrada, a queda de tensão na junção base-emissor de $T6$ serve para o mesmo propósito da queda no diodo e $T2$ permanece cortado quando $T3$ conduz.

Voltando agora ao circuito da Fig. 6.5-1, vemos que, quando $T2$ está na sua região ativa, a resistência de saída vista a partir do terminal da saída da porta é aproximadamente R_{c4}/h_{FE}, para a qual, na seção 6.9 [veja Eq. (6.9-2)], estimamos o valor de 28 Ω. Na Fig. 6.12-1 calcularíamos a resistência de saída como a seguir. Primeiro, vemos que a resistência de saída vista a partir do emissor de $T6$ é $R_{c3}/h_{FE} = 800/50 = 16\ \Omega$. Repetindo então o cálculo para $T2$, encontramos que a resistência de saída da porta é $16/h_{FE} = 16/50 \approx 0{,}3\ \Omega$. Nestes cálculos, a resistência do transistor foi desprezada. Como resultado, achamos que na porta da Fig. 6.12-1 a resistência de saída medida foi de 10 Ω. De qualquer maneira, a característica importante da porta da Fig. 6.12-1 é que, quando $T6$ e $T2$ estão conduzindo, a resistência de saída da porta é substancialmente menor do que a do circuito da Fig. 6.5-1. (Reconhecemos, é claro, que os transistores $T6$ e $T2$ estão em configuração Darlington e que, portanto, uma de suas características é a redução da resistência de saída.) Esta pequena impedância de saída aumenta a velocidade das portas. A pequena impedância de saída permite que qualquer capacitor em paralelo com a saída da porta se carregue mais rapidamente.

Estas considerações concernentes à resistência de saída obviamente não se aplicam quando os transistores $T6$ e $T2$ estão cortados ou na saturação. Esta discussão, porém, se aplica em uma grande faixa da região de transição de um nível lógico a outro quando, então, ambos os transistores estão na região ativa. É de nosso interesse observarmos que, enquanto na Fig. 6.5-1 o transistor $T2$ vai à saturação quando a saída da porta vai ao nível lógico **1**, este não é o caso no circuito da Fig. 6.12-1. Em um circuito Darlington, somente o transistor de entrada ($T6$ na Fig. 6.12-1), e não o transistor de saída ($T2$), pode ser levado à saturação. V_{CE6} é positivo,

independentemente de $T6$ estar saturado ou na região ativa. Como $V_{CB2} = V_{CE6}$, a junção base-coletor de $T2$ nunca poderá estar polarizada diretamente. Assim sendo, $T2$ nunca irá saturar.

O PULL-DOWN ativo. O resistor de emissor R_e na Fig. 6.5-1 conecta a base do transistor de saída $T3$ à terra. Assim, R_e é o resistor de PULL-DOWN que leva a base de $T3$ à terra, quando $T4$ corta. Esta terminologia é análoga ao uso do termo resistor de PULL-UP usado para resistores de coletor conectados à tensão de alimentação. Estendendo agora a analogia, nos referimos ao circuito associado a $T5$ na Fig. 6.12-1 como sendo um *PULL-DOWN ativo*. Consideraremos agora as vantagens do uso de um PULL-DOWN ativo.

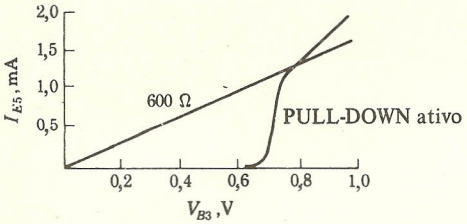


FIGURA 6.12-3
O efeito do PULL-DOWN ativo.

Na Fig. 6.12-3 comparamos a característica volt-ampère de um resistor de 600 Ω e o PULL-DOWN ativo. Os cálculos para mostrar que a curva representa razoavelmente a característica volt-ampère de um PULL-DOWN ativo são deixados como exercício. Em portas TTL de alta velocidade que usam a configuração Darlington ($T6$ e $T2$ na Fig. 6.12-1) mas que usam um PULL-DOWN passivo, o resistor para esta finalidade vale 600 Ω; daí veio a seleção de um resistor de 600 Ω para comparação.

Considere agora que o transistor $T3$ vai conduzir. Ele conduzirá quando sua tensão de base for maior do que 0,65 V e chegará à saturação quando a tensão de base for 0,75 V. Observamos nas Figs. 6.12-1 e 6.12-3 que nesta faixa de tensões o PULL-DOWN ativo funciona com *menos* corrente a partir da base de $T3$ do que seria necessário para um resistor de 600 Ω de PULL-DOWN passivo. Assim, neste modo de operação, $T5$ aparece como um "resistor" que é maior do que 600 Ω. Como resultado, temos, como primeira vantagem, que $T3$ conduz mais rápido.

Para vermos uma segunda vantagem, observamos que, quando $T3$ conduz e o FAN-OUT é pequeno, a corrente de base $T3$ é substancialmente maior do que a necessária para levá-lo à saturação. Esta corrente de base excessiva prolonga o tempo de armazenamento e retarda o corte do transistor. Encontramos também que $T3$ pode ser levado a uma saturação tão grande que sua tensão base-emissor poderá exceder 0,8 V. Neste caso, como podemos observar a partir da Fig. 6.12-3, o PULL-DOWN ativo drena *mais* corrente da base do que o resistor. Assim, neste caso, o PULL-DOWN ativo apresenta-se como um resistor menor do que 600 Ω. Conseqüentemente, há uma supressão da corrente de base-excessiva.

Ao considerarmos a passagem para a *não-condução* de $T3$, poderíamos imaginar, entretanto, que uma vez que a tensão de base cai abaixo de 0,8 V, o PULL-DOWN ativo seria desvantajoso, já que ele drena menos corrente da base de $T3$ do que um resistor de 600 Ω. Este não é, entretanto, o caso. Devemos ter em mente que a característica do PULL-DOWN ativo desenhada na Fig. 6.12-3 se aplica somente em regime permanente. Na realidade, na passagem para a não-condução, o PULL-DOWN ativo continua a drenar uma corrente maior por poucos nanossegundos, até que a distribuição de carga em $T5$ tenha se ajustado à mudança.

O PULL-DOWN ativo oferece também uma vantagem importante, em conexão com sua operação, em uma larga faixa de temperatura. Em uma porta TTL sem PULL-DOWN ativo, o tempo para a passagem à não-condução de $T3$ aumenta com o aumento da temperatura, porque $T3$ é levado a uma saturação maior. As razões para este aumento de tempo são duas: (1) como as tensões de junção diminuem com o aumento de temperatura, com um aumento da temperatura mais corrente circulará pela base de $T3$;* (2) o ganho de corrente de um transistor aumenta com a temperatura. Assim, mesmo uma corrente de base fixa levará o transistor a uma saturação maior com o aumento da temperatura. Com a temperatura maior, entretanto, o PULL-DOWN ativo mostrado na Fig. 6.12-1 drena mais corrente fazendo com que I_{B3} se mantenha aproximadamente constante. Esta compensação vem do fato de que um aumento da temperatura diminui V_{BE5}, conseqüentemente aumentando I_{B5} e I_{C5}. O cálculo para determinar a variação de I_{B3} em função da temperatura é deixado como exercício para o estudante.

Uma vantagem final do PULL-DOWN ativo está no seu efeito sobre a característica de tensão entrada-saída de uma porta TTL.

As características com PULL-DOWN ativo e com resistor de PULL-DOWN são comparadas na Fig. 6.12-4. Com o resistor, o gráfico exibe uma região (entre *a* e *b*), como foi discutido na seção 6.5, onde a declividade tem como módulo a razão entre os resistores de coletor e emissor de $T4$. Nesta região, $T4$ está na sua zona ativa e fornece ganho. O ponto *a* marca a condução de $T4$ e o ponto *b* marca a condução do transistor $T3$.

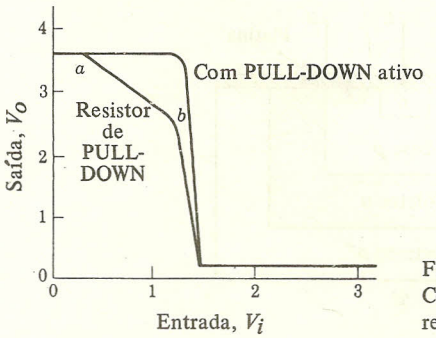


FIGURA 6.12-4
Comparação de características de transferência de portas TTL: resistor de PULL-DOWN *versus* PULL-DOWN ativo.

No circuito da Fig. 6.12-1, até que $T3$ comece a conduzir pelo PULL-DOWN ativo, não há circulação da corrente de emissor de $T4$. Assim, $T4$ e $T3$ iniciam sua condução simultaneamente e a região *a-b* está ausente com o PULL-DOWN ativo. Como resultado, a característica exibe uma mudança muito mais abrupta entre os níveis, conforme indicado. O fato de que a transição entre níveis lógicos é alcançada com uma variação muito menor da tensão de entrada, é uma vantagem no que concerne a imunidade ao ruído.

6.13 O TTL SCHOTTKY

Em todas as portas TTL, os transistores são levados à saturação e os diodos conduzem.

* O aumento de temperatura diminui as tensões de junção e aumenta a circulação de corrente na base de $T3$.

Uma boa parte da limitação em velocidade destas portas é resultado do retardo proveniente do tempo de armazenamento associado à passagem à não-condução e ao tempo para que os transistores se recuperem da saturação. O uso de diodos Schottky (seção 1.1*a*) reduzem o tempo para o corte do transistor a níveis que podem ser desprezados.

Na seção 1.19, consideramos como um diodo conectado entre coletor e base de um transistor evita que este entre em saturação (veja a Fig. 1.19-1). Revendo o assunto, observamos que um transistor na saturação opera com sua junção de coletor polarizada diretamente até ao redor de 0,55 V ou mais. O transistor poderá, portanto, não entrar em saturação através de um grampeador a diodo, pois este não permite que a junção de coletor seja polarizada diretamente de forma adequada. Um transistor com um grampeador a diodo Schottky é indicado na Fig. 6.13-1*a*. Uma combinação diodo-transistor deste tipo é chamada de *transistor Schottky* e geralmente é representada como mostra a Fig. 6.13-1*b*. A geometria (simplificada e idealizada) de um transistor Schottky sob forma de circuito integrado é mostrada na Fig. 6.13-1*c*. Observe que o contato metálico do coletor tipo *n* também faz contato com a base tipo *p*, criando, desta maneira, uma junção diodo metal-semicondutor do tipo Schottky. Conforme foi discutido na seção 1.19, a dopagem da base é gradual, de tal maneira que a junção da base ao metal não é retificadora.

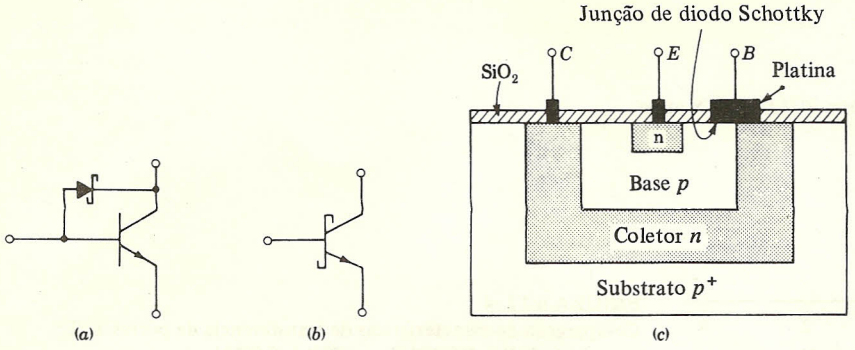


FIGURA 6.13-1
(*a*) Diodo Schottky conectado da base ao coletor. (*b*) Transistor Schottky.
(*c*) Fabricação do transistor Schottky.

Há a disponibilidade de uma família de portas TTL de alta velocidade cujo circuito é mostrado na Fig. 6.12-1, onde os diodos de entrada são diodos tipo Schottky e todos os transistores, exceto $T2$, são transistores Schottky. A exceção é feita para $T2$ porque ele não satura, conforme já foi visto. Esta família de portas Schottky possui tempos de propagação da ordem de 2 ns e tempos de subida e descida na faixa dos 2 aos 3 ns. Os picos de corrente na fonte de alimentação também são reduzidos, sendo da ordem de 20 por cento daqueles encontrados em portas TTL que não usam transistores Schottky. Nestas portas, os melhores resultados em velocidade se devem, em parte, ao fato de que os transistores Schottky têm áreas que são, aproximadamente, a metade das áreas utilizadas por transistores TTL convencionais.

6.14 OUTRAS LÓGICAS COM PORTAS TTL

Na seção 5.6, quando vimos as portas NAND-DTL, observamos a praticidade e as vantagens da conexão do tipo AND COM FIAÇÃO (*WIRE-AND*).

Uma conexão deste tipo, que liga diretamente as saídas de duas ou mais portas entre si, não será permitida com portas NAND-TTL. Se as portas fossem ligadas desta maneira, uma das portas estaria cortada, enquanto outra estaria conduzindo.

Haveria então um caminho, a partir da fonte de alimentação, através de um pequeno resistor de coletor R_{c2} e através do transistor $T2$ da porta cortada ao transistor $T3$ da porta conduzindo. A corrente drenada seria de aproximadamente 40 mA e, ao invés de termos esta corrente com curta duração, ela duraria até o instante em que os níveis lógicos fossem mudados. Isto aumentaria o dreno na fonte de alimentação, porém, mais importante ainda, a dissipação nos transistores $T2$, $T3$ e no resistor de 100 Ω seria excessiva. A economia possível de ser feita com a conexão do tipo AND COM FIAÇÃO é tal que os fabricantes acham vantajoso fabricarem uma porta TTL modificada que nos permita esta conexão. A modificação consiste em abandonarmos o transistor superior, já que estas portas serão utilizadas com um resistor de PULL-UP externo, e então, obviamente, as vantagens do PULL-UP ativo serão neste caso relegadas. Ainda que haja a possibilidade de realizarmos todas as funções lógicas com outras portas, é freqüentemente conveniente e econômico termos disponibilidade de uma porta AND. Claro que duas portas NAND em cascata nos darão uma porta AND. Há a disponibilidade de portas, entretanto, onde uma segunda inversão é incorporada dentro da própria porta a um baixo nível de potência. Portas do tipo NOR e portas que realizam a função AND-OR-INVERT (AOI) também existem utilizando a lógica TTL. Os circuitos destas portas diferem dos circuitos das portas NAND (veja os Probs. 6.14-1 e 6.14-4).

REFERÊNCIA

1. Morris, R. L., e J. R. Miller (orgs). *Designing with TTL Integrated Circuits*. McGraw-Hill, New York, 1971.

CAPÍTULO 7

Lógica por Acoplamento de Emissor

7.1 INTRODUÇÃO

Todas as outras formas lógicas consideradas (RTL, DTL, TTL) sofrem de uma limitação comum e fundamental em sua velocidade de operação. Esta limitação é devido ao fato de que em todos estes tipos de lógica os transistores são levados à saturação, resultando em um tempo de retardo de propagação elevado. Esta consideração leva-nos a perguntar se é possível uma forma lógica na qual os transistores são chaveados do corte até um ponto de operação na região ativa. Certamente as formas até agora consideradas não podem ser operadas desta maneira, pois a faixa de tensão base-emissor na região ativa se estende sobre apenas algumas dezenas de milivolts e há muitos valores variáveis (variações de temperatura, variabilidade devida à fabricação, etc.) para serem satisfeitos. Suponha que providenciamos para que em um nível lógico um estágio transistorizado esteja operando em sua região ativa. Então, uma pequena deriva da tensão aplicada na entrada seria suficiente para levar o transistor ou ao corte ou à saturação com uma variação correspondentemente grande na tensão de saída do estágio.

É possível polarizar um transistor em sua região ativa, com estabilidade, introduzindo realimentação negativa através do simples uso de um resistor de emissor grande. É exatamente isto que se obtém quando se utiliza um seguidor de emissor ou um divisor de fase. A dificuldade com esta montagem é que, com um resistor de emissor grande, uma grande variação da tensão de entrada na base é necessária para levar o transistor do corte até a região de saturação. Podemos obter ambos os fins, isto é, operação na região ativa com estabilidade e chaveamento entre esta região e o corte, com uma pequena variação na tensão de entrada. Estes fins são obtidos projetando um circuito que não fará uma corrente de transistor variar entre o valor quiescente e zero mas sim irá chavear uma corrente de um transistor para outro.

A configuração do circuito básico empregado no tipo de lógica em consideração, mostrada na Fig. 7.1-1, será, evidentemente, reconhecida como o *amplificador diferencial*, que foi discutido na seção 2.1 em relação a seu uso em amplificadores operacionais e comparadores. Como neste amplificador diferencial os emissores dos dois transistores estão interligados, a família lógica baseada neste circuito é chamada de *lógica por acoplamento de emissor*.

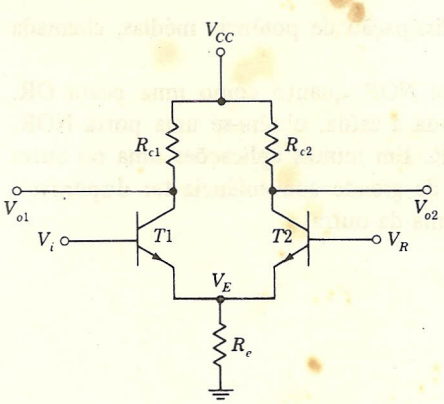


FIGURA 7.1-1
Amplificador diferencial.

Na presente aplicação como uma porta lógica, a base do transistor $T2$ é mantida em uma tensão de referência fixa V_R, enquanto uma tensão de entrada V_i é aplicada à base do transistor $T1$. Quando V_i for suficientemente menor do que V_R, o transistor $T1$ estará cortado e a corrente fluirá através de $T2$. A tensão de referência V_R e os resistores R_{c2} e R_e são escolhidos para assegurarem que $T2$ opere na sua região ativa e não esteja saturado. Quando V_i for igual a V_R, as correntes nos dois transistores serão nominalmente iguais. Finalmente, à medida que V_i aumenta, a tensão de emissor V_E aumenta, pois $V_E = V_i - V_{BE1}$ e V_{BE1} é aproximadamente constante, e eventualmente $T2$ irá para o corte. Teremos agora $T1$ operando em sua região ativa. Em resumo, uma variação de V_i irá chavear a corrente de um transistor para o outro. Na verdade, iremos mostrar que, quando V_i varia do ponto onde $T1$ está no corte ao ponto onde $T2$ está levemente cortado, a corrente de emissor total através de R_e muda menos que 2 por cento. Assim, o mecanismo de operação consiste em chavear uma corrente de emissor nominalmente fixa de um transistor para outro.

7.2 A PORTA ECL

Uma porta ECL (ECL são as iniciais em inglês de Lógica por Acoplamento de Emissor: *Emitter-coupled logic*), incorporando a estrutura básica da Fig. 7.1-1, está mostrada na Fig. 7.2-1. O transistor de entrada $T1$ na Fig. 7.2-1 está em paralelo com vários transistores para fornecer múltiplas entradas para a porta.

As saídas são obtidas dos coletores através de repetidores de emissor. Os seguidores de emissores fornecem isolamento e baixa impedância nos terminais de saída. Uma tensão de referência precisa, controlada em temperatura, $V_R = -1{,}175$ V (na temperatura ambiente) é ligada à base de $T2$. A tensão de alimentação empregada é $-V_{EE} = -5{,}2$ V. Note que, ao contrário do padrão usual, os resistores de coletor dos transistores estão ligados à terra e os emissores dos transistores estão ligados a uma fonte de tensão negativa. Assim, todas as tensões encontradas aqui serão negativas. A razão para esta inversão está discutida na seção 7.11.

Como as demais portas, as ECL são disponíveis comercialmente em vários tipos, diferindo em grande parte nos valores dos resistores. Unidades de resistências elevadas dissipam menos potência e operam em uma velocidade menor. Unidades de resistências baixas dissipam mais potência mas são mais rápidas. A porta com os componentes e a tensão de referência da

Fig. 7.2-1 é uma unidade da Motorola de velocidade e dissipação de potência médias, chamada MECL II.

A porta ECL pode operar tanto como uma porta NOR quanto como uma porta OR. Pode ser facilmente verificado que, se V_{o1} é considerada a saída, obtém-se uma porta NOR, enquanto se se utilizar V_{o2} o resultado é uma porta OR. Em muitas aplicações uma ou outra saída será utilizada, enquanto em algumas aplicações é de grande conveniência ter disponíveis ambas as saídas, que são, evidentemente, complemento uma da outra.

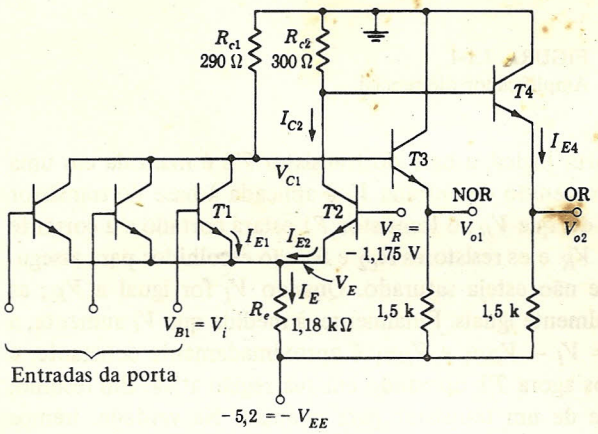


FIGURA 7.2-1
Uma porta ECL.

7.3 TENSÕES DO TRANSISTOR ECL

A corrente de saturação de um transistor é $I_{sat} = [V_{CC} - V_{CE}\,(\text{sat})]/R$, na qual V_{CC} é a tensão de alimentação e R é a resistência total em série com o transistor. Se, como usual, V_{CE} (sat) $\ll V_{CC}$, então $I_{sat} \approx V_{CC}/R$, bastante independente de qualquer característica do transistor. A tensão base-emissor V_{BE} $(= V_\sigma)$ necessária para fazer com que esta corrente I_{sat} atravesse a junção emissora depende da área da seção transversal da junção emissora. Isto é, pelo menos no início da saturação.

$$I_{sat} = I_C \approx I_E = I_{E0}\,\epsilon^{V_\sigma/V_T} \tag{7.3-1}$$

Aqui I_C e I_E são, respectivamente, as correntes de coletor e de emissor, e I_{E0} é a corrente reversa de saturação da junção emissora, que é proporcional à área desta junção. Assim, V_σ depende de V_{CC}, de R e da área da junção emissora.

Para as portas consideradas até agora, verifica-se que as tensões de alimentação, os valores dos resistores e a geometria dos transistores integrados têm sido tais que, utilizando-se $V_\sigma \approx$ $\approx$ 0,75 V, obtém-se um acordo razoável com as tensões medidas. Para as portas ECL, entretanto, um valor melhor é V_σ = 0,8 V. Este valor de tensão maior é devido principalmente às dimensões físicas menores do transistor ECL, uma característica que serve também para reduzir as capacitâncias e portanto melhorar a velocidade.

Consistente com procedimentos anteriores, podemos novamente considerar que o corte ocorre em uma tensão cerca de 100 mV menor que V_σ. Nestas condições temos $V_\gamma = 0{,}70$ V. E como tem sido nossa regra, suporemos que, quando o transistor está em sua região ativa, a tensão base-emissor, que chamaremos V_{BEA}, é $V_{BEA} = 0{,}75$ V, isto é, a média entre V_γ e V_σ. Em resumo, na temperatura ambiente, para os transistores no circuito ECL da Fig. 7.2-1, usaremos

$$V_{BE} = \begin{cases} V_\gamma = 0{,}70 \text{ V} & \text{limiar} \\ V_{BEA} = 0{,}75 \text{ V} & \text{região ativa} \\ V_\sigma = 0{,}80 \text{ V} & \text{saturação} \end{cases} \qquad (7.3\text{-}2)$$

Para outras famílias de portas ECL, as tensões correspondentes são um pouco diferentes. Desprezaremos estas diferenças. Em qualquer caso, como usual, consideraremos a sensibilidade à temperatura destas tensões como sendo -2 mV/°C.

7.4 CARACTERÍSTICAS DE TRANSFERÊNCIA: A SAÍDA OR

Com todos os transistores de entrada cortados, exceto um, a característica de transferência entre V_i e V_{o2} (a saída OR) é dada na Fig. 7.4-1*a*. Consideraremos agora como esta característica foi obtida.

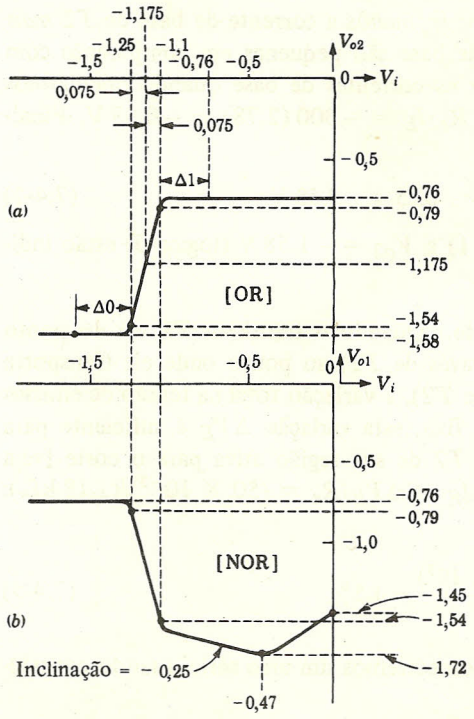


FIGURA 7.4-1
Característica de transferência de uma porta ECL.

Referindo-nos à Fig. 7.2-1, vemos que, quando V_i é suficientemente alto, $T1$ está conduzindo e $T2$ cortado. Vamos inicialmente desprezar a queda de tensão em R_{c2} devido à corrente de base de $T4$. Então, $V_{C2} = V_{B4} = 0$ V e, considerando uma tensão de 0,75 V da base para o emissor de $T4$, obtemos $V_{o2} = -0{,}75$ V. Entretanto, como veremos agora, desprezar a queda em R_{c2} não é totalmente justificável, e é necessária uma pequena correção.

A corrente de emissor de $T4$ é

$$I_{E4} = \frac{-0{,}75 + 5{,}2}{1{,}5} \approx 3 \text{ mA} \tag{7.4-1}$$

Os transistores nas portas ECL têm um ganho de corrente h_{FE} na faixa de, aproximadamente, 40 até 150. Usaremos $h_{FE} = 100$ como um valor típico. A corrente de base de $T4$ é $I_{B4} = I_{E4}/(h_{FE} + 1) = 3/101 \approx 0{,}03$ mA. Esta corrente de base flui através de $R_{c2} = 300\ \Omega$ e produz uma queda de tensão $300\,(-0{,}03 \times 10^{-3}) \approx 0{,}01$ V. Portanto, $V_{C2} = V_{B4} \approx 0{,}01$ V em vez de 0 V, e correspondentemente $V_{o2} \approx -0{,}76$ como indicada na Fig. 7.4-1*a*.

Considere agora que V_i diminua de modo que $T1$ vá para o corte e $T2$ entre em sua região ativa.

A tensão emissor-terra V_E é, então,

$$V_E = V_R - V_{BEA}(T2) = -1{,}175 - 0{,}75 = -1{,}925 \text{ V} \tag{7.4-2}$$

A corrente de emissor é

$$I_E = \frac{V_E - (-V_{EE})}{R_e} = \frac{-1{,}925 + 5{,}2}{1{,}18} = 2{,}78 \text{ mA} \tag{7.4-3}$$

A corrente em R_{c2} é igual à corrente de emissor I_E *menos* a corrente de base de $T2$ *mais* a corrente de base de $T4$. Como as duas correntes de base são pequenas em comparação com I_E e são aproximadamente iguais, podemos desprezar as correntes de base quando calcularmos V_{c2} no estado lógico **0**. Obtemos $V_{C2} = V_{B4} = -R_{c2}I_E = -300\,(2{,}78) = -0{,}83$ V. Finalmente, a tensão de saída da porta é

$$V_{o2} = V_{B4} - V_{BEA}(T4) = -0{,}83 - 0{,}75 = -1{,}58 \text{ V} \tag{7.4-4}$$

Os dois níveis lógicos $V_{o2} = -0{,}76$ V (lógica **1**) e $V_{o2} = -1{,}58$ V (lógica **0**) estão indicados na Fig. 7.4-1*a*.

Prova de que I_E varia menos que 2,0 por cento. Quando o transistor $T1$ vai do ponto de início de corte (toda corrente de emissor flui através de $T2$) ao ponto onde ele transporta toda a corrente de emissor (não há corrente através de $T2$), a variação total na tensão de emissor é $\Delta V_E = 50$ mV. Como a tensão de base de $T2$ é fixa, esta variação ΔV_E é suficiente para mudar V_{BE2} de 0,75 para 0,70 V e, portanto, levar $T2$ de sua região ativa para o corte [veja (Eq. 7.3-2)]. A variação na corrente de emissor é $\Delta I_E = \Delta V_E/R_e = (50 \times 10^{-3})/(1{,}18\ \text{k}\Omega)$; da Eq. (7.4-2), $I_E = 2{,}78$ mA. Então

$$\frac{\Delta I_E}{I_E} = \frac{(50 \times 10^{-3})/(1{,}18 \times 10^{3})}{2{,}78 \times 10^{-3}} = 1{,}5\,\% \tag{7.4-5}$$

Esta mudança relativa é tão pequena que não cometeremos um erro sério quando considerarmos que I_E é constante.

Amplitude de transição. Quando V_i aumenta, V_{o2} varia de $-1{,}58$ V (lógica **0** assumindo lógica positiva) para $-0{,}76$ V (lógica **1**). Esta mudança no nível lógico ocorre quando a entrada V_i varia através de uma região de transição, que, como mostraremos agora, tem 150 mV de amplitude. Temos

$$I_{E1} + I_{E2} = I_E = I = \text{const} \tag{7.4-6}$$

Na região de transição, tanto $T1$ como $T2$ estão na região ativa; portanto

$$I_{E1} \approx I_{E0}\epsilon^{V_{BE1}/V_T} = I_{E0}\epsilon^{(V_{B1} - V_E)/V_T} \tag{7.4-7}$$

e

$$I_{E2} \approx I_{E0}\epsilon^{(V_R - V_E)/V_T} \tag{7.4-8}$$

A relação das correntes de emissor é

$$\frac{I_{E1}}{I_{E2}} = \epsilon^{(V_{B1} - V_R)/V_T} \tag{7.4-9}$$

Combinando as Eqs. (7.4-9) e (7.4-6), temos

$$I_{E1} = \frac{I}{1 + \epsilon^{(V_R - V_{B1})/V_T}} \tag{7.4-10a}$$

e

$$I_{E2} = \frac{I}{1 + \epsilon^{(V_{B1} - V_R)/V_T}} \tag{7.4-10b}$$

Suponha que definimos um dos limites da região de transição como correspondente à condição $I_{E1} = 0{,}05I$ e $I_{E2} = 0{,}95I$, enquanto o outro limite corresponde a $I_{E1} = 0{,}95I$ e $I_{E2} = 0{,}05I$. Então, como é facilmente verificado, a diferença de tensão de entrada total $\Delta V_{B1} = \Delta V_1$, correspondente à amplitude total da região de transição, é

$$\begin{aligned} \Delta V_1 &= V_{B1}(I_{E1} = 0{,}95I) - V_{B1}(I_{E1} = 0{,}05I) \\ &\approx 2V_T \ln 20 = 6V_T = 150 \text{ mV} \end{aligned} \tag{7.4-11}$$

Como aparece na Fig. 7.4-1, esta faixa de transição é simetricamente disposta em relação à tensão de referência V_R. Os limites da região de transição ocorrem em $V_R + 0{,}075$ e $V_R - 0{,}075$, ou seja, $-1{,}1$ e $-1{,}25$ V. Os valores correspondentes de V_{o2} são $-0{,}79$ e $-1{,}54$ V.

Margem de ruído. É de interesse especial, agora, observar que a tensão de referência e os resistores da porta ECL da Fig. 7.2-1 foram selecionados de maneira que as tensões de saída da porta enquadram simetricamente a região de transição da tensão de entrada. Notamos que a média das tensões de saída é $1/2\,(-0{,}76 - 1{,}58) = -1{,}170$. Isto é quase igual à tensão de referência $V_R = -1{,}175$ V. Como resultado, as margens de ruído são aproximadamente iguais.

A saída de uma porta acionadora é $-0{,}76$ V na lógica **1**. Notamos na Fig. 7.4-1 que, para uma porta acionada reconhecer uma entrada como sendo lógica **1**, esta entrada não deve ser menor que $-1{,}1$ V. Portanto, a margem de ruído $\Delta\mathbf{1}$ é

$$\Delta\mathbf{1} = -0{,}76 - (-1{,}1) = 0{,}34 \text{ V} \tag{7.4-12}$$

De modo similar, a margem de ruído $\Delta\mathbf{0}$ é

$$\Delta\mathbf{0} = -1{,}25 - (-1{,}58) = 0{,}33 \text{ V} \tag{7.4-13}$$

Deve ser notado que estas margens de ruído são típicas e não correspondentes ao pior caso.

7.5 A SAÍDA NOR

Definimos os limites da região de transição da saída NOR como sendo os pontos onde $I_{C2} \approx I_{E2} = 0{,}05I$ e $0{,}95I$, onde I é a corrente nominalmente constante através de R_e. Como a corrente $I = I_{E1} + I_{E2}$ é constante, $I_{C1} \approx I_{E1} = 0{,}05I$ quando $I_{C2} \approx I_{E2} = 0{,}95I$ e vice-versa. Portanto, os pontos de transição para as saídas OR e NOR ocorrem nos mesmos valores da entrada V_i como mostrado na Fig. 7.4-1*b*. Além disto, se desprezarmos a pequena diferença entre R_{c1} e R_{c2}, as tensões de saída correspondentes serão também as mesmas para as saídas OR e NOR.

Quando V_i é suficientemente baixa para $T1$ estar cortado, a tensão de saída é $V_{o1} = -V_{BEA}\,(T3) - I_{B3}R_{c1} = -0{,}75 - 0{,}01 = -0{,}76$. Quando, entretanto, V_i aumentou até o ponto onde toda a corrente de emissor se transferiu para $T1$, um aumento adicional em V_i resultará em um aumento em I_{C1} e a saída V_{o1} continuará a cair. Com $T2$ cortado, o ganho A da entrada para o coletor de $T1$ é (veja seção 6.5),

$$A = \frac{\Delta V_{C1}}{\Delta V_i} = -\frac{R_{c1}}{R_e} = -\frac{0{,}290}{1{,}18} = -0{,}25 \tag{7.5-1}$$

Então, como indicado na Fig. 7.4-1, V_{o1} cai com esta inclinação negativa, até o transistor $T1$ começar a aproximar-se da saturação.

Vamos agora estimar a tensão de entrada V_i na qual a saturação começa a ser sentida. Um transistor bastante saturado tem, como já foi notado freqüentemente, uma tensão coletor-emissor na faixa de 0,1 a 0,2 V. Entretanto, como mostrado na Fig. 1.10-1, quando um transistor está começando a entrar na região de saturação, a tensão coletor-emissor é cerca de 0,3 V. Com 0,3 V entre coletor e emissor, as tensões V_{C1} e V_E são

$$V_{C1} = -(5{,}2 - 0{,}3)\frac{R_{c1}}{R_{c1} + R_e} = -\frac{4{,}9(0{,}290)}{1{,}47} = -0{,}97 \text{ V} \tag{7.5-2}$$

e

$$V_E = -0{,}97 - 0{,}3 = -1\,27 \text{ V} \tag{7.5-3}$$

A tensão de saída V_{o1} e a correspondente tensão de entrada são, então,

$$V_{o1} = V_{C1} - V_{BE3} = -0{,}97 - 0{,}75 = -1{,}72 \text{ V} \tag{7.5-4}$$

e

$$V_i = V_E + V_\sigma = -1{,}27 + 0{,}8 = -0{,}47 \text{ V} \tag{7.5-5}$$

na qual utilizamos 0,75 e 0,8, respectivamente, como a queda de tensão base-emissor para $T3$ (na região ativa) e $T1$ (na saturação).

Com um novo aumento em V_i, a saída V_{o1} começa a subir porque corrente de emissor adicional em $T1$ é desviada para a base, afastando-se do coletor. Quando $V_i = 0$ V, $T1$ está bastante saturado. Utilizando 0,8 e 0,1 V, respectivamente, como a tensão base-emissor e tensão coletor-emissor de $T1$, temos $V_E = -0{,}8$ V e $V_{C1} = -0{,}8 + 0{,}1 = -0{,}7$ V. A tensão de saída é, então,

$$V_{o1} = -0{,}7 - 0{,}75 = -1{,}45 \text{ V} \tag{7.5-6}$$

como indicada na Fig. 7.4-1*b*.

Quando, na Fig. 7.2-1, $T1$ e alguns dos transistores em paralelo conduzem, a corrente em R_{c1} pode ser um tanto maior do que a corrente em R_{c2} quando $T2$ está conduzindo. Para

reduzir a diferença correspondente nos níveis lógicos **0** das saídas OR e NOR, R_{c1} é feito menor que R_{c2}.

7.6 ESPECIFICAÇÕES DOS FABRICANTES: CARACTERÍSTICA DE TRANSFERÊNCIA

O circuito ECL mostrado na Fig. 7.2-1 corresponde em todos os aspectos, valores de componentes, tensões de alimentação e referência, etc., à linha de lógica ECL fabricada pela Motorola e designada MECL II. Os gráficos da Fig. 7.6-1 são publicados pela Motorola como características de transferência *média, típica* para a porta. Há geralmente boa concordância entre os gráficos da Fig. 7.6-1 e a característica de transferência calculada e indicada na Fig. 7.4-1.

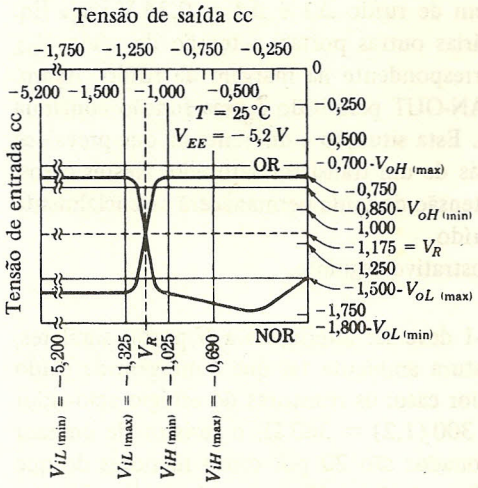


FIGURA 7.6-1
Características de transferência típicas de ECL.

A faixa máxima de variabilidade que pode ser antecipada nestas portas é indicada na Fig. 7.6-1. Assim, enquanto a tensão de saída disponível V_{oH} é nominalmente $-0{,}76$ V, a saída real pode variar de V_{oH} (max) $= -0{,}70$ V até V_{oH} (min) $= -0{,}85$ V. De modo similar, a tensão de saída V_{oL} varia de V_{oL} (max) $= -1{,}5$ V até V_{oL} (min) $= -1{,}8$ V. O fabricante especifica que uma tensão de entrada não mais negativa que V_{iH} (min) $= -1{,}025$ V é garantida à direita da região de transição e, portanto, é reconhecida pela porta como correspondendo a uma entrada de lógica **1**. A margem $\Delta\mathbf{1}$, no pior caso, é

$$\Delta\mathbf{1} = V_{oH}(\text{min}) - V_{iH}(\text{min}) = -0{,}850 + 1{,}025 = 0{,}175 \text{ V} \qquad (7.6\text{-}1)$$

em vez do valor típico 0,34 V dado na Eq. (7.4-10). De forma similar, a margem $\Delta\mathbf{0}$ no pior caso é

$$\Delta\mathbf{0} = V_{oL}(\text{max}) - V_{iL}(\text{max}) = 1{,}500 - 1{,}325 = 0{,}175 \text{ V} \qquad (7.6\text{-}2)$$

A tensão V_{iL} (min) $= -5{,}2$ V é especificada apenas para indicar que, mesmo se a tensão mais negativa disponível for ligada à entrada, não haverá nenhuma desvantagem. A tensão

V_{iH} (max) = −0,690 V é especificada para indicar que uma tensão maior que este valor fará com que o transistor $T1$ conduza uma corrente desnecessariamente grande que pode eventualmente produzir saturação.

Note, de novo, a necessidade (para assegurar margens de ruído iguais $\Delta\mathbf{0} = \Delta\mathbf{1}$) de os pontos médios das regiões de transição das saídas OR e NOR ocorrerem nas coordenadas $V_i = V_R$ e $V_{o2} = V_{o1} = V_R$.

7.7 FAN-OUT

Quando a saída de uma porta está na lógica **0**, não é necessário fornecer corrente de entrada para a porta acionada. É necessária a corrente de entrada quando o nível lógico é **1** e surge o problema do FAN-OUT permitido.

Vimos que, na lógica **1**, V_{o2} (ou V_{o1}) é −0,76 V quando *não há corrente* sendo drenada. Verificamos também que, com $V_i = -0{,}76$, a margem de ruído $\Delta\mathbf{1}$ é $\Delta\mathbf{1} = 0{,}34$ V [veja Eq. (7.4-12)]. Então, se ligássemos a saída da porta a várias outras portas, a tensão de saída V_{o2} cairia abaixo de −0,76 V e haveria uma redução correspondente na margem de ruído. Assim, no caso de ECL (assim como para portas RTL), o FAN-OUT permitido é uma função contínua do que decidirmos ser uma margem de ruído aceitável. Esta situação é diferente da que prevalece para portas DTL e TTL, onde as saídas foram obtidas de um transistor saturado. Nestes casos, enquanto o FAN-OUT permitido não for excedido, a tensão de saída permanecerá essencialmente constante, o mesmo acontecendo com a margem de ruído.

Um cálculo de FAN-OUT é dado no exemplo ilustrativo seguinte.

EXEMPLO 7.7-1. A saída V_{o2} da porta da Fig. 7.2-1 deve ser interligada a N portas similares, como mostrado na Fig. 7.7-1. Calcular N na temperatura ambiente tal que a margem de ruído $\Delta\mathbf{1}$ seja 0,3 V. Considere as seguintes condições de pior caso: os resistores do estágio acionador são 20 por cento maiores do que os típicos, $R_{c2} = 300\,(1{,}2) = 360\ \Omega$, o resistor de emissor $= 1{,}5\,(1{,}2) = 1{,}8\ \text{k}\Omega$; os resistores dos estágios acionados são 20 por cento menores do que os típicos, $R_e = 1{,}18\,(0{,}8) = 940\ \Omega$. A tensão de alimentação é 10 por cento maior, $V_{EE} = 5{,}2\,(1{,}1) = 5{,}7$ V. Os transistores têm ganho de corrente $h_{FE} = 40$. (Estes afastamentos de valores típicos são todos na direção de reduzir o FAN-OUT.)

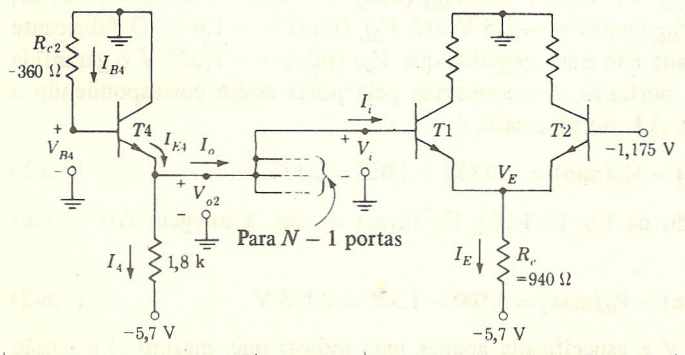


FIGURA 7.7-1
Um cálculo de FAN-OUT.

Solução. Referir-se à Fig. 7.7-1. No limiar da região de transição, $V_i = V_{o2} = -1{,}1$ V, como indicado na Fig. 7.4-1. Este valor de tensão não é afetado pela mudança no valor de R_e. Como a margem de ruído deve ser 0,3 V, precisamos que $V_i = V_{o2} = -1{,}1 + 0{,}3 = -0{,}8$ V. Supondo, como usual, que $V_{BEA} = 0{,}75$ V, temos $V_E = -0{,}8 - 0{,}75 = -1{,}55$ V,

$$I_E = \frac{-1{,}55 - (-5{,}7)}{940} = 4{,}4 \text{ mA} \qquad \text{e} \qquad I_i = \frac{I_E}{h_{FE} + 1} = \frac{4{,}4}{41} = 107\ \mu\text{A}$$

Para o estágio acionador, temos $V_{B4} = V_{o2} + 0{,}75 = -0{,}8 + 0{,}75 = -0{,}05$ V. $I_{B4} = 0{,}05/360 = 139\ \mu$A, $I_{E4} = (h_{FE} + 1)I_{B4} = 41(139) = 5{,}7$ mA, $I_4 = -0{,}8(-5{,}2)/1{,}8 = 2{,}7$ mA, de modo que

$$I_o = I_{E4} - I_4 = 5{,}7 - 2{,}7 = 3 \text{ mA}$$

O FAN-OUT é

$$N = \frac{I_o}{I_i} = \frac{3.000}{107} = 28$$

O número $N = 28$ calculado no Exemplo 7.7-1 deve ser comparado com $N = 25$ dado pelos fabricantes como um "FAN-OUT cc". Por outro lado, se permitimos que $\Delta 1$ caia para 0,1 V, então, como pode ser verificado (Prob. 7.7-1), N torna-se $N \approx 250$. Em qualquer caso, é visível que o FAN-OUT em portas ECL não é problema se nosso único interesse é a disponibilidade de corrente de acionamento suficiente. Entretanto, o principal mérito da lógica ECL é sua alta velocidade. Esta velocidade é afetada adversamente pelo aumento do FAN-OUT, pois cada porta adicional aumenta a capacitância de carga correspondentemente. Assim, os fabricantes especificam também um "FAN-OUT ca". Este FAN-OUT, geralmente cerca de 15, é o recomendado para manter os tempos de subida, descida e de propagação abaixo dos limites especificados.

7.8 VELOCIDADE DE OPERAÇÃO

De todas as portas consideradas, a ECL é a mais rápida. Quando está sem carga, uma porta MECL II exibirá um tempo de retardo de propagação da ordem de 4 ns. Uma porta ainda mais rápida (MECL III) tem um tempo de retardo de propagação de cerca de 1 a 2 ns. Entretanto, a velocidade de uma porta ECL é adversamente afetada por carga capacitiva. Esta situação é um resultado da característica dos seguidores de emissor usados nas saídas da porta. Pois, quando a tensão de base de um seguidor de emissor muda rapidamente na direção de aumentar a corrente de emissor, o emissor segue. Qualquer capacitância ligada à saída carrega rapidamente através da baixa impedância de saída ($\approx 6\ \Omega$ no MECL II) do seguidor de emissor. Quando, entretanto, a entrada muda na direção reversa, a tensão de emissor permanece fixa momentaneamente devido ao capacitor ligado a ele. Como a tensão de base caiu, o seguidor de emissor vai para o corte e a capacitância deve descarregar através da resistência de emissor que é relativamente alta (1,5 kΩ na Fig. 7.2-1). Entretanto, como podemos ver agora no caso da ECL, se a carga capacitiva for moderada, o tempo de descarga não precisará ser excessivamente grande, porque os níveis lógicos são separados por uma diferença de tensão que é pequena em comparação com a separação entre os níveis lógicos e a tensão de alimentação.

Considere a saída OR da porta ECL. Inicialmente, a saída está no nível lógico **1** com $V_{o2}(1) = -0{,}76$ V. Quando o seguidor de emissor ($T4$ na Fig. 7.2-1) corta, a saída começa a cair, tendendo assintoticamente para $-V_{EE} = -5{,}2$ V. O nível lógico **0** é atingido quando a tensão de saída se torna $V_{o2}(\mathbf{0}) = -1{,}58$ V. Pode-se provar que o tempo T necessário para fazer a transição entre os níveis lógicos é

$$T = RC \ln\left[\frac{V_{o2}(1) - (-V_{EE})}{V_{o2}(0) - (-V_{EE})}\right] \tag{7.8-1}$$

Utilizando os valores dados acima, obtemos que

$$T \approx 0{,}2RC \tag{7.8-2}$$

Considerando uma carga capacitiva C = 5 pF, obtemos $T = 1{,}5$ ns.

Considere então um sinal na entrada da porta como o da Fig. 7.8-1*a*. Com uma carga capacitiva substancial na saída da porta, a saída OR teria a característica indicada na Fig. 7.8-1*b*, onde a descida é mais lenta que a subida. Os tempos de propagação em portas ECL são medidos em uma tensão no meio dos dois níveis lógicos, sendo o ponto de 50% indicado nas figuras. Observamos que o tempo de propagação para uma saída descendente t_{pd} (*HL*) é maior que t_{pd} (*LH*), o tempo de propagação para uma saída ascendente.

No MECL II verifica-se que a capacitância de entrada de uma porta é, em média, cerca de 3,3 pF. Considerando a capacitância associada com os fios de interconexão, é razoável admitir que cada porta adicionada contribui com 5 pF. Sem FAN-OUT, verificamos que t_{pd} (*HL*) e t_{pd} (*LH*) são aproximadamente iguais, cada um sendo aproximadamente 3,5 ns. Entretanto, com um FAN-OUT de 20, correspondendo a uma carga capacitiva de 5(20) = 100 pF, o fabricante nos informa que t_{pd} (*LH*) aumenta para apenas 5 ns, enquanto t_{pd} (*HL*) aumenta para cerca de 18 ns. De forma similar, verificamos que, sem FAN-OUT, os tempos de subida e descida t_r e t_f (veja Fig. 7.8-1) são 6 e 4 ns, respectivamente. Com um FAN-OUT de 20, t_r aumenta para cerca de 8 ns, enquanto t_f aumenta para cerca de 30 ns. Os tempos t_{pd} (*HL*) e t_f podem ser reduzidos, evidentemente, colocando um resistor externo em paralelo com o resistor de emissor do seguidor de emissor de saída, às custas, entretanto, do aumento da dissipação de potência. Em qualquer caso, é visível que, se desejamos manter a alta velocidade inerente das portas ECL, devemos restringir o FAN-OUT.

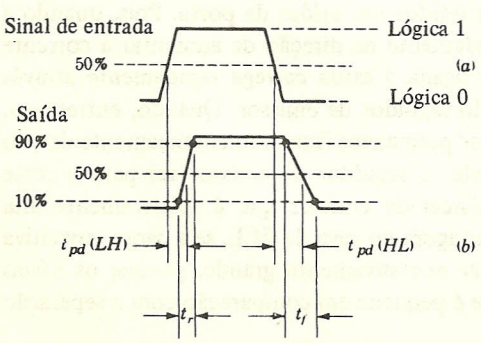


FIGURA 7.8-1
Tempos de subida, descida e de retardo de propagação.

7.9 FONTE DE POLARIZAÇÃO PARA COMPENSAÇÃO EM TEMPERATURA

Em todas as discussões precedentes, supomos operação em uma única temperatura, 25°C. Evidentemente, a característica de transferência e as demais características das portas ECL dependem da temperatura, como as outras portas. E, como as demais portas, a principal fonte de dependência é a variação com a temperatura da tensão das junções base-emissor dos transistores, polarizadas diretamente.

Há uma menção especial a ser feita em relação à variação com temperatura de uma porta ECL, que iremos considerar agora. Havíamos notado, anteriormente, que a porta ECL foi projetada de modo que as margens de ruído $\Delta\mathbf{1}$ e $\Delta\mathbf{0}$ fossem aproximadamente iguais. Se a tensão de referência V_R é mantida fixa, esta condição pode ser aplicada a apenas uma única temperatura. É possível, entretanto, fornecer uma tensão de referência que é dependente da temperatura, de modo a assegurar que a simetria das margens de ruído seja mantida em uma grande faixa de temperaturas. Um circuito da fonte de polarização que executa isto para as portas MECL II, e que é geralmente incorporado diretamente na pastilha de circuito integrado, está mostrado na Fig. 7.9-1. A operação do circuito é analisada abaixo.

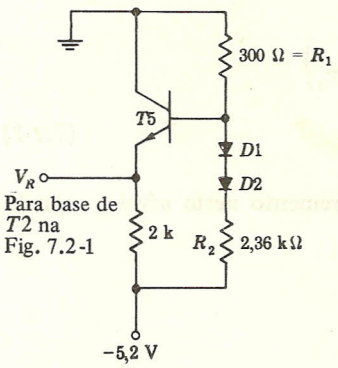


FIGURA 7.9-1
Circuito da fonte de referência para portas ECL.

Supondo que os diodos $D1$ e $D2$ operam com uma polarização direta de 0,75 V, na temperatura $T = 25°C$, verificamos (desprezando a corrente de base de $T5$) que a tensão de base de $T5$ é $-0{,}42$ V. Considerando, também, uma queda de 0,75 V da base para o emissor de $T5$, obtemos $V_R = -0{,}425 - 0{,}75 = -1{,}175$ V, como esperado.

Vamos agora supor que há uma variação de temperatura ΔT. Neste caso, cada tensão de junção polarizada diretamente varia de $\sigma = -k\Delta T$. ($k = 2$ mV/°C.) Vamos calcular agora o efeito desta variação na tensão de referência V_R e nos níveis de tensão de saída $V_O(\mathbf{1})$ e $V_O(\mathbf{0})$ correspondentes aos níveis de lógica **1** e lógica **0** da saída OR (um cálculo para saída NOR é deixado para os problemas).

O circuito da Fig. 7.9-2 inclui a fonte de polarização da Fig. 7.9-1 e a parte do circuito da porta da Fig. 7.2-1 que gera a saída OR. Para facilidade de identificação, os transistores da Fig. 7.9-2 têm a mesma designação das Figs. 7.2-1 e 7.9-1. Os geradores (σ e 2 σ), representando os *incrementos de tensão* introduzidos no circuito devido à variação de temperatura, foram também incluídos.

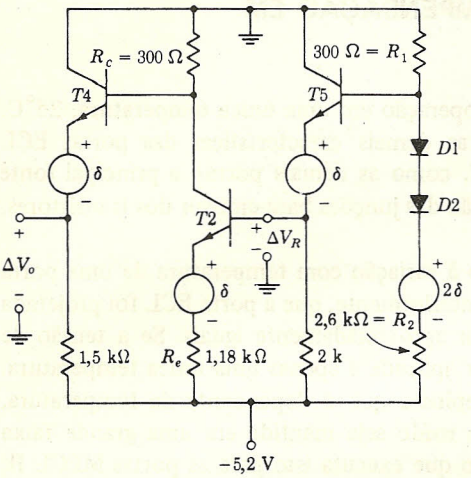


FIGURA 7.9-2
Circuito equivalente para calcular o efeito da variação de temperatura.

Supondo que o ganho do seguidor de emissor ($T5$) é unitário, calculamos a mudança na tensão de referência V_R como sendo

$$\Delta V_R = \frac{2\delta R_1}{R_1 + R_2} - \delta = \delta\left(-1 + \frac{2}{1 + R_2/R_1}\right)$$
$$= \delta\left(-1 + \frac{2}{1 + 2{,}36/0{,}3}\right) \approx -0{,}77\delta \qquad (7.9\text{-}1)$$

Quando $T2$ conduz, a saída está no nível lógico **0**. O incremento neste nível é, usando a Eq. (7.9-1),

$$\Delta V_o(0) = -\Delta V_R \frac{R_c}{R_e} + \delta \frac{R_c}{R_e} - \delta$$
$$= (0{,}77\delta + \delta)\frac{R_c}{R_e} - \delta$$
$$= \left(1{,}77\,\frac{0{,}3}{1{,}18} - 1\right)\delta = -0{,}55\delta \qquad (7.9\text{-}2)$$

Note que, nas Eqs. (7.9-1) e (7.9-2), aparecem apenas relações de resistores. Esta característica é importante porque as relações de resistores podem ser mantidas com tolerâncias menores ($\approx 2\%$) do que os valores absolutos dos resistores ($\approx 20\%$). Finalmente, quando $T2$ está cortado e a saída está no nível lógico **1**, o incremento correspondente é

$$\Delta V_o(1) = -\delta \qquad (7.9\text{-}3)$$

A partir das Eqs. (7.9-2) e (7.9-3) podemos agora calcular que o incremento *médio* dos dois níveis lógicos é

$$\frac{\Delta V_o(1) + \Delta V_o(0)}{3} = \frac{-\delta - 0{,}55\delta}{2} \approx -0{,}77\delta \qquad (7.9\text{-}4)$$

que é igual ao incremento V_R dado pela Eq. (7.9-1). Assim, quando a temperatura varia, o ponto médio da faixa do nível lógico **0** até o nível lógico **1** varia da mesma quantidade que a tensão de referência V_R.

Como a tensão de referência está no meio dos dois níveis da tensão de saída, independente da variação da temperatura, as imunidades de ruído $\Delta\mathbf{1}$ e $\Delta\mathbf{0}$ são as mesmas. Isto, portanto, maximiza a imunidade de ruído. Entretanto, a imunidade de ruído não muda com a temperatura (Prob. 7.9-2). Além disto, a análise acima despreza o efeito do FAN-OUT. Pode ser mostrado (veja Prob. 7.9-3) que o resultado é relativamente independente do FAN-OUT.

A fonte de polarização da Fig. 7.9-1 também fornece uma compensação para variação na tensão de alimentação $-V_{EE}$. Entretanto, a compensação não é tão exata como para variações de temperatura (veja Prob. 7.9-5).

7.10 VERSATILIDADE LÓGICA DAS PORTAS ECL

Como no caso da lógica DTL, é possível estender as capacidades lógicas de portas ECL simplesmente interligando as saídas das portas. Por exemplo, pode ser facilmente verificado que dois ou mais seguidores de emissor, operando em uma carga comum, constituem uma porta OR para lógica positiva.

Portanto, se as saídas de portas ECL são interligadas, esta conexão fornece a soma lógica (operação OR) das saídas que apareceriam nas portas individuais. Tal conexão é, por isso, referida como conexão OR com fiação.

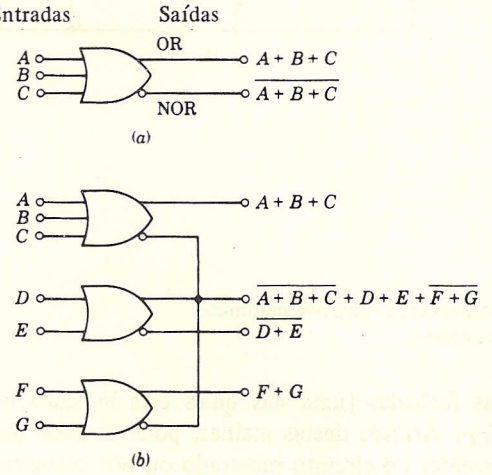


FIGURA 7.10-1
A conexão OR com fiação.

Um exemplo da conexão OR com fiação está mostrado na Fig. 7.10-1. A Fig. 7.10-1*a* mostra o símbolo da porta ECL, com duas saídas. Entretanto, por conveniência e para permitir maior FAN-OUT, algumas portas disponíveis comercialmente são fornecidas com múltiplas saídas OR e múltiplas saídas NOR. Por outro lado, algumas portas são fornecidas com apenas uma saída OR e uma saída NOR. A Fig. 7.10-1*b* mostra uma conexão OR com fiação envolvendo tanto a saída OR como a saída NOR.

7.11 A FONTE DE ALIMENTAÇÃO NEGATIVA

Em portas RTL, DTL e TTL o terminal negativo da fonte de alimentação é aterrado. Em portas ECL, como já notamos, costuma-se aterrar o terminal positivo da alimentação. Consideraremos agora as vantagens deste arranjo com portas ECL.

Vamos inicialmente colocar de lado a questão de aterramento e nos concentrar em outro assunto. Na Fig. 7.11-1 desenhamos uma porta ECL. (Para simplificar o desenho, omitimos a parte da porta que fornece a saída NOR. Esta simplificação não terá influência em nossa discussão.) Uma tensão de alimentação V_{CC} foi ligada à porta. Tínhamos considerado que a tensão de saída da porta era a tensão V_o entre o emissor de $T4$ e o lado positivo da fonte de alimentação. Mas verifica-se facilmente que não há mudança fundamental se escolhemos a tensão de saída V_o entre o emissor e o lado negativo da alimentação. Na verdade, do ponto de vista de sinal, isto é, mudanças de tensão, os lados positivo e negativo da fonte de alimentação são o mesmo ponto elétrico.

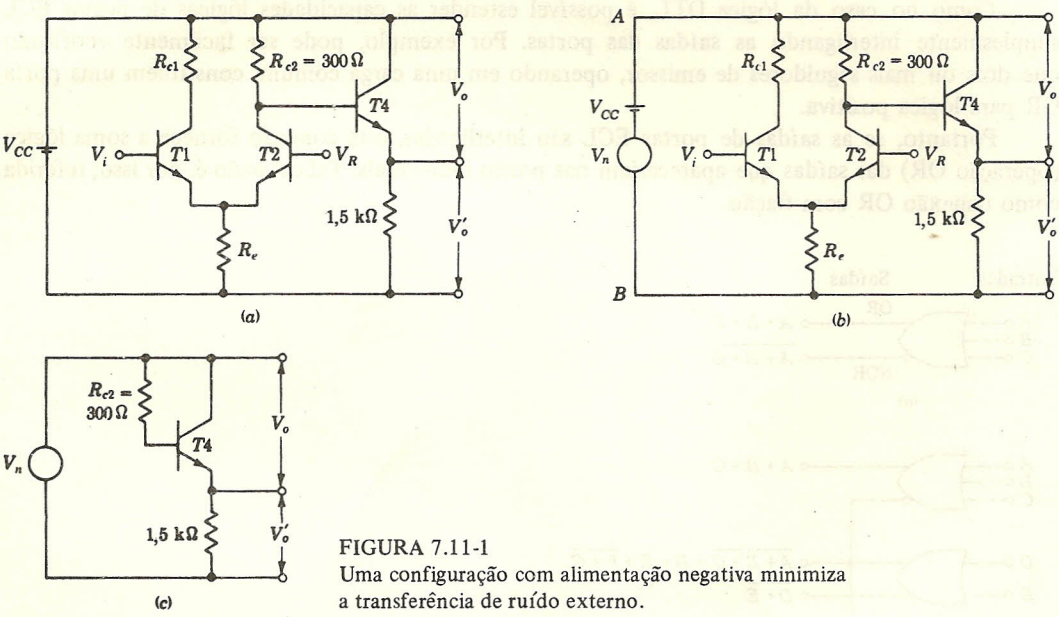


FIGURA 7.11-1
Uma configuração com alimentação negativa minimiza a transferência de ruído externo.

Em seguida, devemos reconhecer que malhas fechadas (uma das quais está indicada na Fig. 7.11-1*a*) são formadas pela conexão com V_{CC}. Através destas malhas, pode circular um fluxo magnético, o fluxo sendo produzido por correntes no circuito mostrado ou por correntes em circuitos vizinhos. Este fluxo, quando variar, produzirá um campo eletromagnético nas malhas nas quais V_{CC} está incluída. Deveríamos então, na verdade, incluir auto-indutância e indutância mútua na malha (distribuída) da fonte de alimentação. Equivalentemente, resolvemos na Fig. 7.11-1*b* incluir em série com a alimentação uma fonte de "ruído" V_n que deve representar todas as tensões induzidas. A caracterização de V_n como ruído é apropriada, pois estas tensões induzidas serão aleatórias e imprevisíveis. Uma fonte particular de ruído que V_n pode representar é a seguinte: suponha que a fonte de alimentação na Fig. 7.11-1 alimenta não só a porta dese-

nhada mas também outros circuitos que estão em paralelo com a fonte. À medida que estes outros circuitos respondem à mudança de níveis lógicos do seu sinal de entrada, a corrente que eles puxam da fonte de alimentação mudará ou de forma transitória ou mais permanentemente. Em qualquer caso, estas mudanças de corrente, fluindo através das indutâncias ou mesmo através da impedância finita da fonte de alimentação, irão gerar tensões que podem ser representadas por V_n.

Está agora claro que os dois lados A e B da fonte de alimentação não são mais equivalentes e, portanto, V_o e V_o' também não são mais equivalentes. As tensões V_o e V_o' refletirão o ruído de forma diferente. Por exemplo, vamos supor que $T2$ está cortado. Então, o circuito para calcular V_o e V_o' é o da Fig. 7.11-1*c*. A impedância entre coletor e emissor de $T4$ é $R_{c2}/(h_{FE} + 1) = 300/100 = 3\ \Omega$ para $h_{FE} = 99$. Portanto, $V_o = (3/1.500)\, V_n = 0{,}002\, V_n$, enquanto $V_o' = (1.500/1.503)\, V_n \approx V_n$. [Um cálculo correspondente para o caso em que $T2$ está conduzindo é deixado como problema (Prob. 7.11-2).] É claro que há vantagem em usar V_o ao invés de V_o'.

É bem conhecido que, quando um circuito deve operar nas proximidades de uma grande massa de metal, é eletricamente vantajoso ligar esta massa a algum nó bastante comum no circuito. O metal é, então, chamado de terra e fornece uma blindagem mesmo que não esteja fisicamente entre os elementos que devem ser blindados um do outro. Este terra é geralmente o chassi no qual o circuito é construído e incluirá o bastidor, se houver, que aloja a unidade. É também muito comum (mas não necessariamente universal) fazer com que os terminais de saída das fontes de sinais e os terminais de entrada do dispositivo de medida de sinal (por exemplo, osciloscópios de raio catódico, etc.) usem o terra como um dos terminais de sinal. Este arranjo tem a vantagem de, quando unidades são interligadas, os chassis, bastidores, etc. poderem todos ser ligados eletricamente.

Finalmente, voltando à porta ECL, verifica-se que inicialmente temos liberdade de aterrar tanto o lado positivo quanto o negativo da fonte de alimentação. Ambos fornecerão blindagem equivalente. Entretanto, vimos uma vantagem em usar o lado positivo da fonte de alimentação como um dos terminais de saída e uma outra vantagem em aterrar este terminal. Portanto, a prática é aterrar o lado positivo de V_{CC}.

Uma segunda razão menos sofisticada para preferir o aterramento normalmente empregado com ECL é a possibilidade de um curto-circuito acidental entre a saída da porta e terra. Com o lado positivo da fonte aterrado, como na Fig. 7.11-1, este curto coloca toda a alimentação de 5,2 V no resistor de emissor de 1,5 kΩ do seguidor de emissor de saída. A porta é capaz de tolerar este curto. Por outro lado, com o lado negativo da fonte de alimentação aterrado (Fig. 7.11-1), um curto da saída da porta para terra colocaria toda a tensão de alimentação no transistor de saída e, ao mesmo tempo, aplicaria a tensão de alimentação à base do transistor através de R_{c1} ou R_{c2} (290 ou 300 Ω). Este curto iria aquecer e queimar o transistor $T4$ imediatamente.

7.12 TRANSLAÇÃO DE NÍVEL

Freqüentemente é necessário interconectar dois sistemas lógicos diferentes tais como ECL e TTL (ou DTL). Um exemplo de aplicação é a multiplexação por divisão no tempo de M sinais digitais para formar um único sinal digital. Apesar de a razão de bit de cada um dos M sinais poder ser processada por TTL, a razão de bit do sinal composto é M vezes mais rápida e pode necessitar de ECL para processá-la.

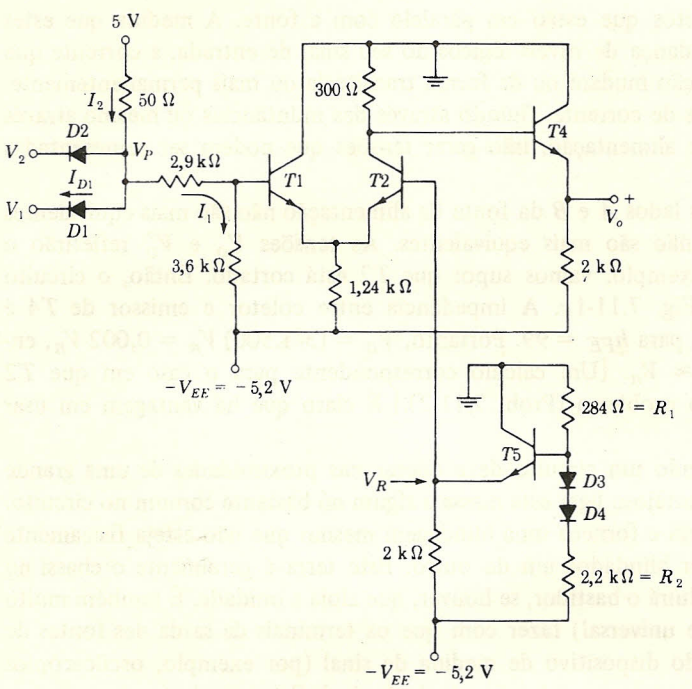


FIGURA 7.12-1
Tradutor de lógica saturada para ECL.

Translação de lógica saturada para ECL. O circuito de uma unidade comercial utilizada para fazer a translação de lógica saturada (TTL ou DTL) para ECL está mostrado na Fig. 7.12-1. O circuito envolvendo $T1$, $T2$ e $T4$ é reconhecido como a porta ECL na qual o transistor usado para fornecer a saída NOR ($T3$ na Fig. 7.2-1) foi omitido. Os valores dos componentes são um pouco diferentes daqueles que aparecem no circuito da Fig. 7.2-1. O resistor de coletor de $T1$ foi omitido pois não há sinal sendo retirado do coletor. Esta omissão tem a vantagem de assegurar que $T1$ nunca irá saturar. O circuito associado com $T5$ fornece a tensão de referência compensada em temperatura. Quando se trata de uma única variável, um dos diodos de entrada é ligado a 5 V e está, portanto, cortado. Se duas variáveis lógicas são aplicadas, então, como é facilmente verificado, além de translação de nível, o circuito executa a operação AND. Os níveis de V_1 e V_2 da lógica saturada são $V_{oL} \approx 0{,}2$ V e $V_{oH} \approx 3{,}5$ V (para TTL; DTL é geralmente maior). É deixado como um exercício para o estudante (Prob. 7.12-1) verificar que estas tensões, correspondendo à lógica **0** e à lógica **1**, respectivamente, produzirão, na base de $T1$, tensões que correspondem à lógica **1** e lógica **0** em ECL. Realmente, a translação é feita pelos diodos de entrada e os três resistores ligados entre +5 e −5,2 V. O resto do circuito fornece compensação de temperatura e isolamento para permitir um FAN-OUT grande.

A característica de transferência resultante do tradutor da Fig. 7.12-1 é dada na Fig. 7.12-2.

Translação de ECL para lógica saturada. Um tradutor de ECL para lógica saturada está mostrado na Fig. 7.12-3. O circuito mostrado é capaz de operar tanto no modo lógico OR quanto no NOR. Para fornecer a operação NOR, V_4 é conectada na tensão de referência V_R e V_3 é

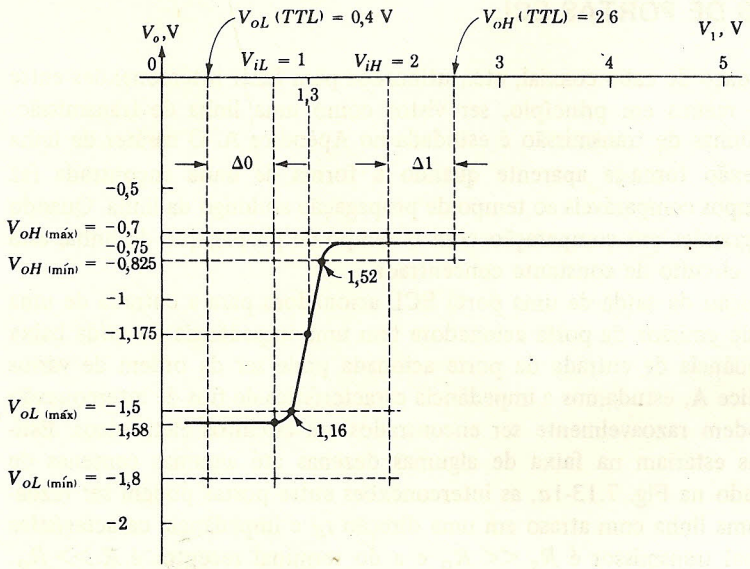


FIGURA 7.12-2
Característica de transferência do tradutor da Fig. 7.12-1.
$V_{iL} = 1$ V e $V_{iH} = 2$ V são as especificações do fabricante do tradutor.

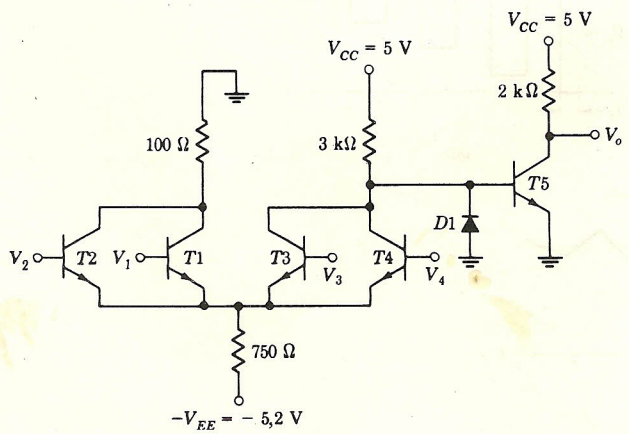


FIGURA 7.12-3
Tradutor de ECL para lógica saturada.

ligada na lógica **0**. Então, $V_O = V_1$ NOR V_2. De forma similar, se V_2 é ligada à tensão de referência e V_1 é ligada à lógica **0**, $V_O = V_3$ OR V_4.

A operação deste tradutor é bastante direta, a translação ocorrendo no coletor dos transistores $T3$ e $T4$, pois o resistor de coletor é ligado ao 5 V em vez de à terra. O diodo $D1$ é introduzido, como em TTL, para amortecer qualquer oscilação produzida no circuito. Os detalhes destes cálculos e a determinação da função de transferência são deixados como problemas.

7.13 INTERCONEXÕES DE PORTAS ECL

Um par de fios, um pedaço de cabo coaxial, etc., utilizados para fazer interconexões entre pares terminais devem, pelo menos em princípio, ser vistos como uma linha de transmissão. A propagação de sinais em linhas de transmissão é estudada no Apêndice A. O caráter de linha de transmissão da interconexão torna-se aparente quando a forma de onda encontrada faz transição entre níveis, em tempos comparáveis ao tempo de propagação ao longo da linha. Quando os tempos de transição são grandes em comparação com o tempo de propagação da linha, esta pode ser aproximada por um circuito de constante concentrada.

Considere, então, a ligação da saída de uma porta ECL acionadora para a entrada de uma porta acionada. O seguidor de emissor da porta acionadora tem uma impedância de saída baixa ($< 10\ \Omega$), enquanto a impedância de entrada da porta acionada pode ser da ordem de vários milhares de ohms. No Apêndice A, estudamos a impedância característica de fios de interconexão com geometrias tais que podem razoavelmente ser encontrados em circuitos eletrônicos. Estimamos que tais impedâncias estariam na faixa de algumas dezenas até algumas centenas de ohms. Portanto, como indicado na Fig. 7.13-1*a*, as interconexões entre portas podem ser razoavelmente representadas por uma linha com atraso em uma direção t_d e impedância característica R_O. A impedância do terminal transmissor é $R_s << R_O$ e a do terminal receptor é $R >> R_O$.

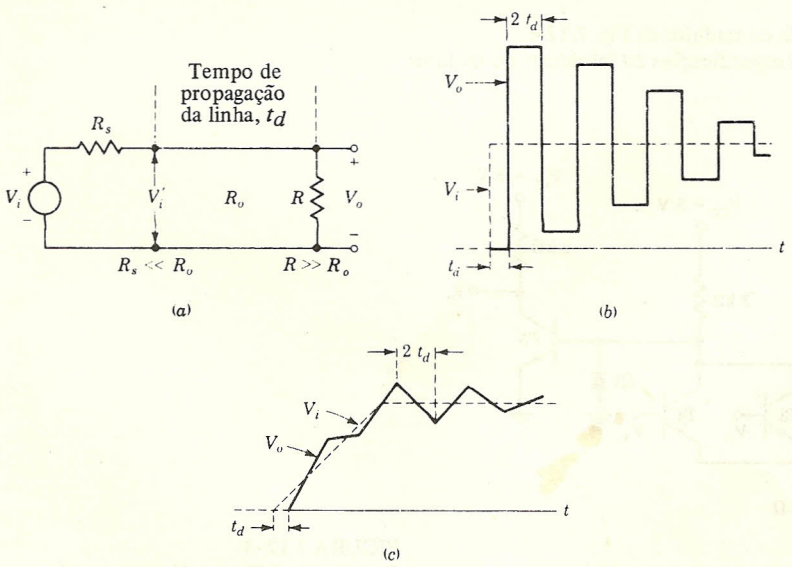


FIGURA 7.13-1
(*a*) Uma linha de tempo de atraso t_d e impedância característica R_O. A impedância no terminal transmissor é $R_S \ll R_O$ e no terminal receptor é $R \gg R_O$. (*b*) A resposta na saída para um degrau na entrada. (*c*) A resposta para uma rampa na entrada que sobe em um intervalo de tempo longo, em comparação com t_d.

Se a entrada da linha V_i faz uma transição abrupta entre níveis de tensão, como indicada pela forma de onda tracejada da Fig. 7.13-1*b*, a saída V_O tem a forma de onda de oscilação amortecida indicada pela linha cheia. É então aparente que uma transição de uma lógica **0** para

lógica 1 pode ser interpretada pela porta acionada como uma seqüência de várias transições. Se, por outro lado, a forma de onda de entrada faz sua transição em um tempo que é bastante longo em comparação com t_d, então, como mostrado na Fig. 7.13-1*c*, a saída segue a entrada mais proximamente; as oscilações de V_o em torno de V_i não são muito pronunciadas.

Já havíamos notado oscilações do tipo indicado na Fig. 7.13-1*b* em relação a portas TTL (veja seção 6.12). Em ECL o problema é ainda mais premente devido a sua alta velocidade. Tempos de transição entre níveis lógicos da ordem de 1 ns podem ocorrer em ECL. Dependendo da constante dielétrica do isolamento utilizado para suportar as linhas, atrasos de ns podem ocorrer em linhas de apenas 10 a 15 cm de comprimento.

As oscilações podem ser suprimidas terminando a linha no lado receptor com sua impedância característica. Na ausência de tal terminação, para uma variação lógica na entrada com tempo de subida fixo, as oscilações se tornam mais pronunciadas à medida que a linha fica maior. Por esta razão, os fabricantes geralmente fornecem orientação a respeito do máximo comprimento de linha permitido sem terminação. Este comprimento permitido depende do tempo de subida, do FAN-OUT, da impedância característica da linha e do tempo de atraso de propagação por unidade de comprimento da linha. Por exemplo, para o tipo MECL 10.000 da Motorola, que tem um tempo de subida de 3,5 ns, usando uma linha *MICROSTRIP* com $R_o = 50\ \Omega$ e com um FAN-OUT de 1, o comprimento permitido é 21 cm. Para o tipo MECL III da Motorola, que tem um tempo de subida de 1 ns, usando de novo uma linha MICROSTRIP agora com $R_o = 100\ \Omega$ e com um FAN-OUT de 8, o comprimento permitido é apenas 2,5 mm.

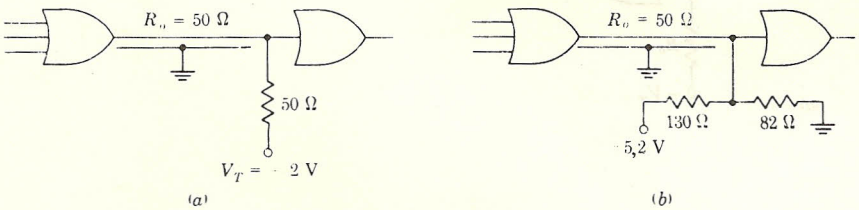


FIGURA 7.13-2
(*a*) Uma linha de transmissão casada para interconexão entre portas usando uma tensão de alimentação auxiliar V_T para o terminal. (*b*) Um arranjo que evita a tensão auxiliar.

Uma interconexão entre portas com linha de transmissão está indicada na Fig. 7.13-2. Aqui, uma linha de 50 Ω e um terminal de casamento foram utilizados. Do ponto de vista da operação cc, um lado deste resistor terminal está ligado ao emissor do seguidor de emissor de saída da porta acionadora. Se este resistor terminal fosse grande, seria possível ligar o outro lado ao $-5{,}2$ V de alimentação. Neste caso, este resistor estaria em paralelo com o resistor do emissor do seguidor de emissor de saída da porta acionadora. No nosso caso, entretanto, devido a pequena resistência terminal, tal ligação resultaria em uma corrente excessiva através do seguidor de emissor de saída, e conseqüentemente, excessiva dissipação tanto no transistor como no resistor terminal. Para contornar esta dificuldade, o resistor terminal é ligado a uma tensão auxiliar V_T, que é comumente $-2{,}0$ V, como indicada na Fig. 7.13-2*a*. Quando o uso de $-2{,}0$ V não justifica uma fonte de alimentação separada, o arranjo da Fig. 7.13-2*b* pode ser utilizado. Como pode ser verificado, a fonte de $-5{,}2$ V e os resistores de 130 e 82 Ω têm um circuito Thevenin

equivalente, consistindo em -2 V em série com 50 Ω. Este último arranjo limita a corrente no seguidor de emissor de saída mas às custas de considerável dissipação nos resistores adicionados. Finalmente, podemos notar que em portas ECL rápidas, onde é virtualmente certo que uma terminação como na Fig. 7.13-2 será usada, os fabricantes geralmente omitirão o resistor de emissor na porta acionadora. Em qualquer caso, parte da corrente de saída é desviada para a terminação e portanto não é disponível às portas acionadas; este fato tem que ser levado em consideração ao estimar o FAN-OUT permitido.

A Fig. 7.13-3 mostra várias formas em que podemos dispor o FAN-OUT. Na Fig. 7.13-3*a* todas as portas acionadas estão fisicamente montadas muito próximas uma da outra e estão em paralelo no terminal receptor de uma linha de transmissão casada. Na Fig. 7.13-3*b* uma porta aciona três linhas de transmissão, duas não casadas e uma casada. As linhas não casadas devem ter um comprimento limitado de acordo com as recomendações do fabricante. Em um caso representativo em um arranjo como na Fig. 7.13-3*b*, verificamos com a lógica Motorola MECL III, utilizando linhas microstrip de 50 Ω, que a linha não terminada com um FAN-OUT de 1 não

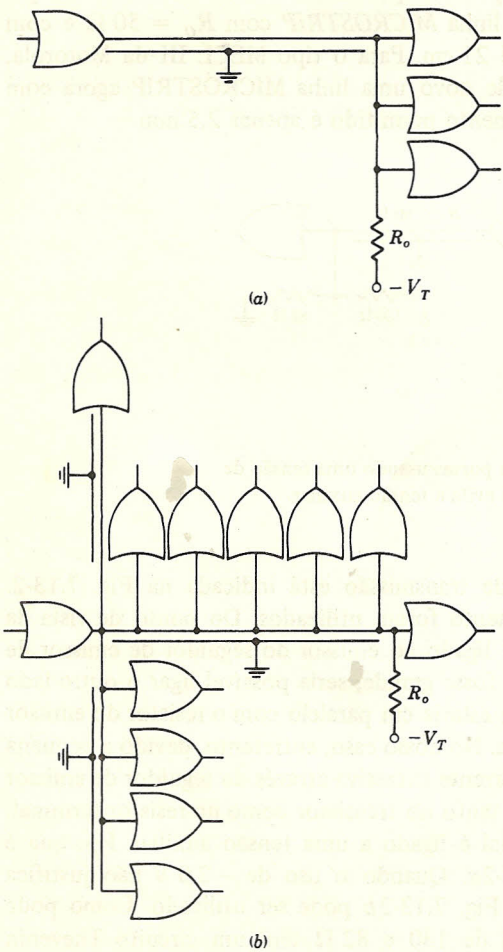


FIGURA 7.13-3
Arranjos de FAN-OUT para portas ECL: (*a*) as portas acionadas concentradas no fim de uma linha casada; (*b*) portas distribuídas ao longo de linhas casada e não casada.

pode ser maior que 4 cm. A outra linha não terminada, com um FAN-OUT de 4 e as portas de carga distribuídas, nominalmente, uniformemente ao longo da linha, não pode ter um comprimento total maior que 1,8 cm.

Na Fig. 7.13-3*b* as cargas alimentadas pela linha casada estão distribuídas ao longo da linha. Uma consideração especial que deve ser tomada em relação a tal arranjo está discutida no seguinte exemplo ilustrativo.

EXEMPLO 7.13-1. A linha casada na Fig. 7.13-3*b* tem 24 cm de comprimento e aciona 6 portas espaçadas em múltiplos de 4 cm do terminal de entrada da linha. A linha tem as seguintes capacitância por unidade de comprimento e indutância por unidade de comprimento: $C = 1$ pF/cm e $L = 0{,}01$ μH/cm. A capacitância de entrada de uma porta é 5 pF. Estimar o valor da terminação resistiva necessária para a linha.

Solução. Utilizando a Eq. (A.1-4), obtemos que a impedância característica da linha é

$$R_0 = \sqrt{\frac{L}{C}} = \sqrt{\frac{0{,}01 \times 10^{-6}}{1 \times 10^{-12}}} = 100\ \Omega$$

As seis portas têm uma capacitância total de entrada de $6(5) = 30$ pF. Como o comprimento da linha é 24 cm, as portas adicionam uma capacitância por unidade de comprimento $C' = 30/24 = 1{,}25$ pF/cm. Se esta capacitância adicionada fosse uniformemente distribuída ao longo da linha, a impedância da linha seria dada exatamente pela Eq. (A.1-4) com C substituída por $C + C'$. Apesar de não ser o caso, podemos esperar que esta substituição nos dê uma boa aproximação. Obtemos então

$$R_0 = \sqrt{\frac{0{,}01 \times 10^{-6}}{2{,}25 \times 10^{-12}}} = 66{,}6\ \Omega$$

O retardo de propagação por unidade de comprimento [o inverso da velocidade na Eq. (A.1-5)] é

$$I_{pd} = \sqrt{L(C + C')} = \sqrt{(0{,}01 \times 10^{-6})(2{,}25 \times 10^{-12})} = 0{,}15\ \text{ns/cm}$$

Terminação série. Uma linha terminada no lado receptor é chamada de *linha terminada em paralelo* pois, como pode ser visto na Fig. 7.13-1, o resistor de casamento R está ligado em paralelo com a linha. Alternativamente, uma linha pode ser casada no seu terminal de entrada selecionando $R_s = R_o$ na Fig. 7.13-1, caso em que a linha é chamada de *linha terminada em série*. É possível fornecer este casamento na entrada, pois a impedância de saída de uma porta (veja Fig. 7.2-1) é aproximadamente $R_{c2}/h_{FE} = 300/50 = 6\ \Omega$. Havíamos observado que as impedâncias das linhas estão na faixa desde 50 Ω até várias centenas de ohms. Portanto, o casamento permite a inserção de um resistor adicional R_s em série com a saída da porta acionadora, como indicado na Fig. 7.13-4. Observe que o casamento série tem a vantagem de não necessitar fonte de tensão auxiliar. Por outro lado, o resistor série limita a corrente de saída disponível e, portanto, restringe o FAN-OUT a cerca de 10.

Quando várias portas são acionadas em uma linha terminada em paralelo, algumas dificuldades podem aparecer pois os sinais do acionador chegam nas diferentes portas em instantes diferentes. Em linhas terminadas em série, evidentemente, uma situação similar prevalece. Entretanto, há uma dificuldade adicional quando se empregam linhas terminadas em série, o que não

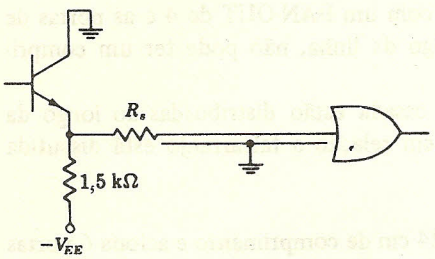


FIGURA 7.13-4
Uma linha casada em seu terminal de entrada.

ocorre no caso de terminação paralela. Considere que, na Fig. 7.13-1*a*, $R_s = R_O$, $R = \infty$, e V_i tem a forma indicada na Fig. 7.13-5*a*, isto é, a porta acionadora muda seu nível lógico, mas a mudança persiste apenas por um tempo τ. Suponha além disso que uma das portas acionadas está localizada no lado de entrada da linha, onde a tensão é V_i. É deixado como problema (Prob. 7.13-3) verificar que as formas de onda de entrada e do fim da linha são aquelas dadas na Fig. 7.13-5.

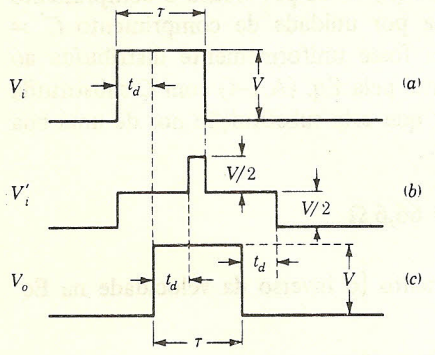


FIGURA 7.13-5
(*a*) Um pulso de duração τ é aplicado a uma linha casada em seu terminal de entrada e aberta em seu terminal de receptor. Também estão mostradas as formas de onda; (*b*) no terminal de entrada; (*c*) no terminal receptor da linha.

Desenhamos as formas de onda para $\tau = 2{,}5\,t_d$, t_d sendo o atraso da linha em um sentido. Note que a mudança de nível em V_O persiste pelo mesmo tempo τ, como em V_i, apesar de haver um atraso relativo t_d. Por outro lado, em V_i a mudança total persiste apenas por um intervalo de tempo $\tau - 2\,t_d$ que aparece apenas depois de um atraso de $2\,t_d$. Então, se acontecer que $\tau \leqslant 2\,t_d$, a mudança total em nível nunca iria aparecer em V_i. A dificuldade pode ser atenuada fazendo com que o espaçamento entre as portas acionadas seja pequeno em comparação com o espaçamento das portas do lado de entrada da linha. Quando devem ser acomodadas várias portas a serem acionadas, a configuração da Fig. 7.13-6 é mais eficiente. Aqui, várias linhas paralelas são utilizadas cada uma com sua terminação série própria.

Terminação com diodo. Um método adicional de suprimir oscilações está indicado na Fig. 7.13-7. Este método é uma extensão bastante natural do uso de diodos de entrada, encontrado antes em conexão com portas TTL. Evidentemente, são utilizados diodos Schottky. Havíamos notado que os níveis de ECL são simétricos em relação à tensão de referência (veja Fig. 7.6-1). Portanto, os diodos são ligados a esta tensão de referência V_R. Os diodos Schottky que têm uma

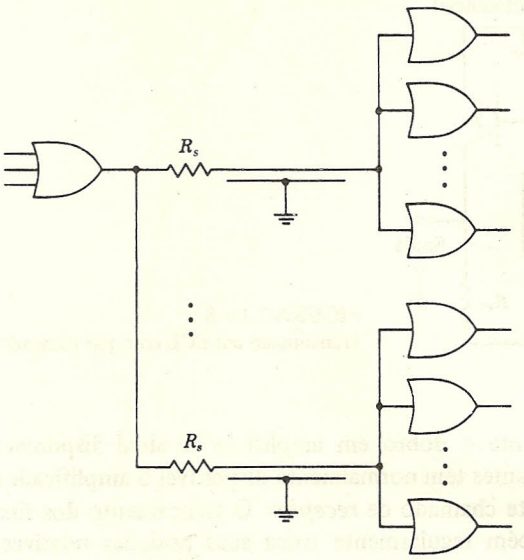


FIGURA 7.13-6
Várias linhas terminadas em série utilizadas para acomodar um grande FAN-OUT.

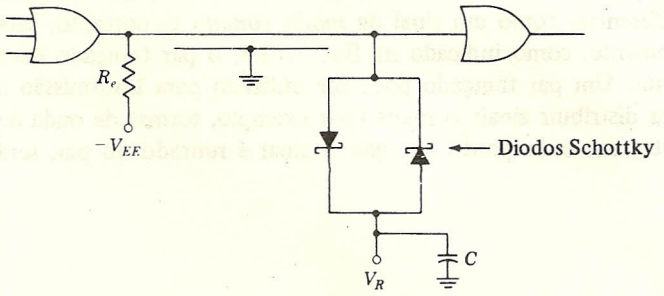


FIGURA 7.13-7
Linha com terminação a diodo.

tensão de limiar $V_\gamma \approx 0{,}3$ V permitiriam a tensão da linha variar livremente através da faixa $V_R \pm V_\gamma$, enquanto oscilações fora desta faixa seriam fortemente amortecidas.

Linhas com par trançado. Uma segunda dificuldade associada com a transmissão de formas de onda de ECL é a *conversa cruzada* (*cross talk*), ou acoplamento indesejável de sinais entre circuitos. Devido à velocidade dos sinais, pode haver acoplamento de um circuito para outro através de uma pequena capacitância parasita ou indutância mútua. A conversa cruzada pode, evidentemente, ser minimizada utilizando cabos coaxiais, mas estes cabos são volumosos e certamente não permitem uma fácil distribuição por derivação para acionar portas.

Uma característica de portas ECL que é de grande utilidade em suprimir conversa cruzada é o fato de que as portas possuem duas saídas (OR e NOR) que são de polaridade oposta. Qualquer que seja a mudança em tensão de uma saída, a mudança na outra saída será igual e oposta.

Tiramos vantagem desta característica como indicado na Fig. 7.13-8. A *diferença* entre as saídas OR e NOR é transmitida através de um par de fios trançados para um amplificador

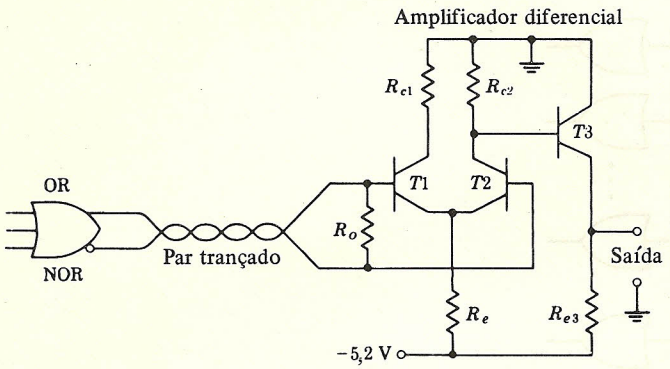


FIGURA 7.13-8
Transmissão em ECL com par trançado.

diferencial. Esta tensão diferença é nominalmente o dobro em amplitude do sinal disponível das saídas OR ou NOR separadamente. Os fabricantes têm normalmente disponível o amplificador diferencial para esta finalidade, que é geralmente chamado de *receptor*. O trançamento dos fios de transmissão mantém os fios juntos e também regularmente troca suas posições relativas. Assim, qualquer circuito no qual possa haver indução de um dos fios do par deverá ter indução igual e oposta do outro fio. Portanto, a conversa cruzada do par trançado para outro circuito deverá ser mínima. De forma similar, a conversa cruzada de outros sinais para o par trançado será introduzida no amplificador diferencial como um sinal de *modo comum* e, portanto, será muito atenuado na saída. Evidentemente, como indicado na Fig. 7.13-8, o par trançado deve estar casado no seu terminal receptor. Um par trançado pode ser utilizado para transmissão a vários metros e pode ser usado para distribuir sinais comuns (por exemplo, formas de onda de relógio) a vários pontos. Geralmente, em cada ponto em que o sinal é retirado do par, será necessário um receptor.

REFERÊNCIA

1. Blood, W. R., Jr. *MECL System Design Handbook.* Motorola Semiconductor Products, Inc, Phoenix, Ariz., out. 1971.

CAPÍTULO 8
Portas MOS

Os dispositivos do tipo MOS, da mesma maneira que os transistores de junção bipolares (BJT), aplicam-se a portas lógicas. Neste capítulo, discutimos a operação das portas PMOS (canal p), NMOS (canal n) e CMOS (simetria complementar). O CMOS, ultimamente, vem sendo o mais preferido devido a sua baixa dissipação de potência, menor retardo na propagação e menores tempos de subida e descida.

8.1 EQUAÇÕES ANALÍTICAS PARA OS MOSFETS

No MOSFET, por definição, os portadores de carga se movem a partir da *fonte* em direção ao *dreno*. Assim, em um dispositivo de canal n, onde os portadores são negativos, a direção convencional de circulação de corrente no dispositivo é do dreno à fonte. Assim, o dreno é positivo em relação à fonte, isto é, V_{DS} e I_{DS} são positivos. As características típicas de MOSFETS de canal tipo n estão na Fig. 8.1-1. Nas Figs. 8.1-1a e b as características do MOSFET se referenciam a um dispositivo *enriquecido* (*enhancement*). Neste dispositivo não há canal entre fonte e dreno para $V_{GS} = 0$ V. Não há circulação de corrente I_{DS} entre dreno e fonte até que a tensão porta-fonte ultrapasse o potencial de barreira V_T. Esta tensão de barreira tem a mesma polaridade em relação a que é normalmente aplicada ao dreno. Assim, um dispositivo de canal n onde V_{DS} é positivo, também o é V_T, e há a formação de canal quando $V_{GS} > V_T$.

Em um dispositivo de canal p, onde os portadores são positivos, V_{SD} e I_{SD}, ao invés de V_{DS} e I_{DS}, são positivos. Ainda mais, há a formação de um canal que permite a passagem da corrente I_{SD} quando a tensão entre fonte e porta V_{SG} (no lugar de V_{GS}), está acima de uma tensão V_T, isto é, quando $V_{SG} > V_T$. Estamos usando o símbolo V_T com dois significados. Em um dispositivo de canal n, V_T é definido como um valor particular de V_{GS}, enquanto em um dispositivo de canal p, V_T representa um valor particular de V_{SG}. Onde puder haver confusão, usaremos então os símbolos $V_T(n)$ e $V_T(p)$. O simbolismo que estamos empregando evita o inconveniente de sinais negativos e sinais de valor absoluto.

Nas Figs. 8.1-1c e d, características típicas são mostradas (para um dispositivo de canal n) para um transistor em *depleção*. Aqui, há a existência de um canal quando $V_{GS} = 0$ e a tensão V_T for negativa. Um transistor de canal n operará no modo de depleção, quando V_{GS} for

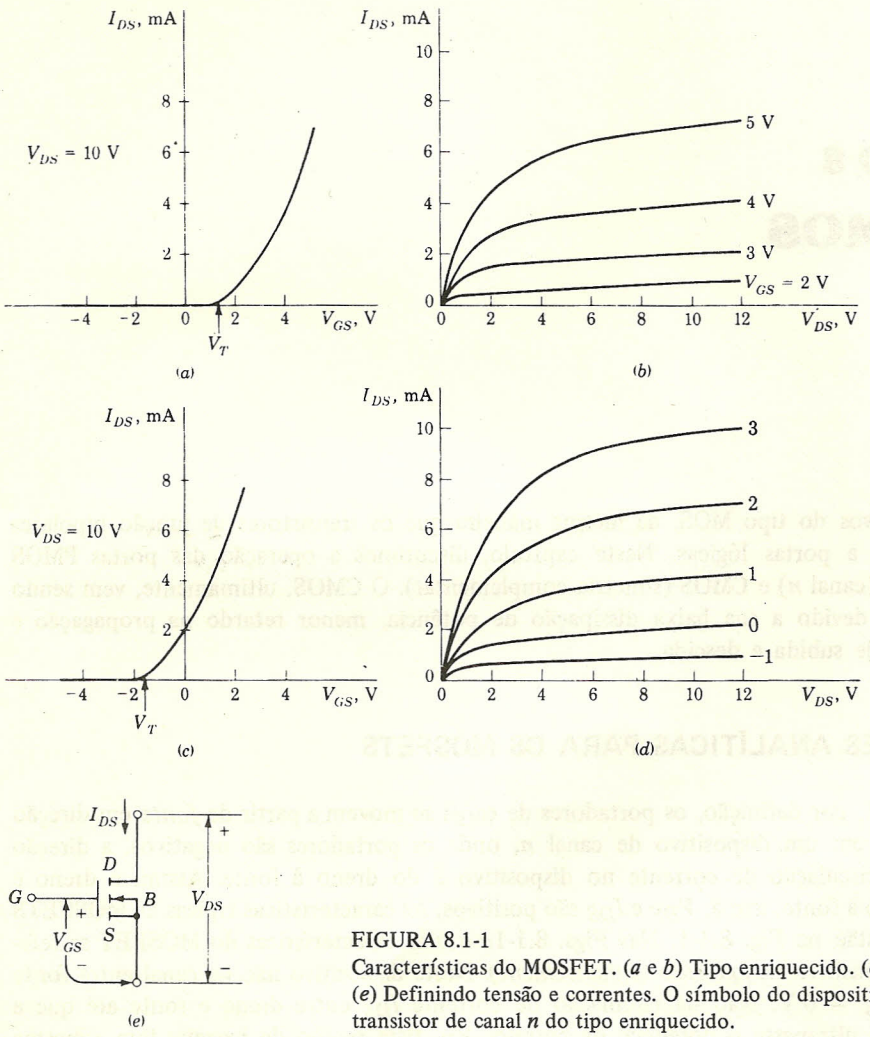


FIGURA 8.1-1
Características do MOSFET. (*a* e *b*) Tipo enriquecido. (*c* e *d*) Tipo depleção. (*e*) Definindo tensão e correntes. O símbolo do dispositivo representa um transistor de canal *n* do tipo enriquecido.

negativo, e em modo enriquecido, quando V_{GS} for positivo. É costumeiro, entretanto, nos referenciarmos a este dispositivo simplesmente como um MOSFET em depleção. Ambos os transistores são usados em portas lógicas.

Qualquer um dos tipos de transistores pode operar na região de não-saturação (também referida como zona *triodo* em memória a este tipo de válvula) ou na região de saturação. Na região triodo há um canal contínuo entre fonte e dreno e I_{DS} varia linearmente com V_{DS}, para um V_{GS} fixo. Na fonte, a profundidade do canal é proporcional à diferença existente entre a tensão V_{GS} e a tensão V_T; portanto, é proporcional a $V_{GS} - V_T$. Para um V_{GS} fixo, a profundidade do canal é fixa. No dreno, a profundidade do canal é proporcional à diferença entre a tensão porta-dreno V_{GD} e V_T. Assim, no dreno, a profundidade do canal é proporcional a $V_{GD} - V_T = V_{GS} - V_{DS} - V_T$. O canal é estrangulado no dreno quando $V_{GD} - V_T \leqslant 0$ ou quando

$$V_{DS} \geq V_{GS} - V_T \tag{8.1-1}$$

Quando $V_{DS} \geqslant V_{GS} - V_T$ o transistor está na *saturação*. A corrente I_{DS}, por causa do estrangulamento do canal, permanece aproximadamente constante, aumentando muito pouco com o aumento de V_{DS}.

Assim, como achamos conveniente termos expressões analíticas para os transistores bipolares (as equações de Ebers-Moll), nos será útil termos também expressões analíticas para o MOSFET. Na região triodo, é encontrado que, para um dispositivo de canal n,

$$I_{DS} = k[2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \qquad 0 \leq V_{DS} \leq V_{GS} - V_T \tag{8.1-2}$$

Na região de saturação

$$I_{DS} = k(V_{GS} - V_T)^2 \qquad 0 \leq V_{GS} - V_T \leq V_{DS} \tag{8.1-3}$$

A constante k é dada por

$$k = \frac{\mu\varepsilon}{2t}\frac{W}{L} \tag{8.1-4}$$

onde μ = mobilidade dos portadores no canal (elétrons em dispositivos de canal n)
ε = constante dielétrica na camada de óxido isolante
t = espessura do óxido na porta
W = largura do canal
L = comprimento do canal

Tipicamente, para dispositivos de canal n, $\mu\varepsilon/2t \approx 12\,\mu\text{A/V}^2$ e para dispositivos de canal p é 3 vezes menor. A razão largura por comprimento W/L pode variar desde 0,1 para um transistor de carga até 20 ou 40 para dispositivos excitadores (veja a seção 1.13).

Em um transistor de canal p operando na região triodo as equações para a corrente no dispositivo são mais convenientemente escritas sob a forma

$$I_{SD} = k[2(V_{SG} - V_T)V_{SD} - V_{SD}^2] \qquad 0 \leq V_{SD} \leq V_{SG} - V_T \tag{8.1-5}$$

Na região de saturação

$$I_{SD} = k(V_{SG} - V_T)^2 \qquad 0 \leq V_{SG} - V_T \leq V_{SD} \tag{8.1-6}$$

Estas equações, como as Eqs. (8.1-2) e (8.1-3), são aproximações e não incluem todos os efeitos que possuem influência na corrente do dispositivo; entretanto, elas são integralmente adequadas para a nossa finalidade de explorarmos a operação de portas lógicas FET.

8.2 EFEITOS DA TEMPERATURA

As Eqs. (8.1-2), (8.1-3), (8.1-5) e (8.1-6) para a corrente I_{DS} (e I_{SD}) são afetadas pela temperatura, porque ambos V_T e o parâmetro k são sensíveis à temperatura. A dependência à temperatura de V_T é aproximadamente dada por

$$\frac{dV_T}{dT} \approx -2{,}5\ \text{mV/°C} \tag{8.2-1}$$

A sensibilidade de k à temperatura resulta quase que integralmente da sensibilidade de μ (a mobilidade do portador), em relação à temperatura [veja a Eq. (8.1-4)]. A mobilidade diminui

aproximadamente com o inverso da temperatura absoluta, da mesma maneira que k. Quando há um aumento na temperatura, I_{DS} (ou I_{SD}) aumenta porque V_T diminui, e diminui porque a mobilidade dos portadores diminui. Em um caso típico, encontramos que o efeito de μ é cinco vezes maior do que o efeito de V_T. O resultado final é que, geralmente, com o aumento da temperatura a corrente diminui. Em relação a isto, o MOSFET se diferencia do transistor bipolar, onde um aumento na temperatura resulta em um aumento na corrente, porque o ganho de corrente h_{FE} aumenta e as tensões de junção diminuem.

8.3 O INVERSOR MOS

Conforme foi discutido no Capítulo 1, a configuração básica de um circuito chaveador MOS é um inversor que consiste em um excitador de chave MOSFET que excita uma carga que também é um dispositivo MOSFET, em vez de um resistor passivo. O excitador é invariavelmente um dispositivo enriquecido, desde que é de grande conveniência que o excitador esteja cortado quando a tensão na porta estiver em terra ou próxima a ela.

Quando o excitador conduz, invariavelmente ele vai à região triodo. Isto é devido ao fato de a tensão na porta (fornecida por uma outra porta excitadora) estar na tensão de alimentação, ou próxima a ela, e a tensão dreno-fonte possuir valor mínimo. A carga, por outro lado, pode ser um dispositivo enriquecido ou de depleção e pode operar tanto na região triodo como na região de saturação.

Na Fig. 8.3-1 mostramos as características entrada-saída calculadas para o inversor PMOS nos três casos típicos.

Na Fig. 8.3-1*a* ambos os transistores são do tipo enriquecido (*enhancement*) e ambos os transistores, de carga e excitador, têm $V_T = 2{,}3$ V. Como os transistores são dispositivos de canal p, aplicamos o critério dado na Eq. (8.1-6) para determinarmos se o transistor está na região triodo ou na de saturação. Assim, para estarmos na região triodo, necessitamos que $V_{SD} \leqslant V_{SG} - V_T$. Esta condição pode ser escrita sob a forma

$$V_{DG} \geq V_T \tag{8.3-1}$$

Como $V_{DG} = V_D - V_G = -5 - (-17) = 12$ V é maior do que $V_T = 2{,}3$ V, o transistor de carga está polarizado para trabalhar na região triodo. Na Fig. 8.3-1*b*, o transistor excitado permanece como o da Fig. 8.3-1*a*, mas neste caso o transistor de carga opera na região de *saturação* (a prova desta afirmação é deixada para problemas). Na Fig. 8.3-1*c*, o transistor de carga é um dispositivo em depleção com uma tensão de barreira negativa $V_T = -6{,}9$ V. A polarização da carga o coloca na região triodo quando $V_o \leqslant -10{,}1$ V e na região de saturação quando $V_o > -10{,}1$ V.

Da discussão da seção 1.14 (veja a Fig. 1.14-1), deveríamos esperar que a forma da característica entrada-saída dependesse principalmente do parâmetro λ_R definido por

$$\lambda_R \equiv \frac{\lambda_D}{\lambda_L} \equiv \frac{(W/L)_D}{(W/L)_L} \tag{8.3-2}$$

onde $(W/L)_D$ = razão largura por comprimento do canal do transistor excitador
$(W/L)_L$ = razão largura por comprimento para a carga

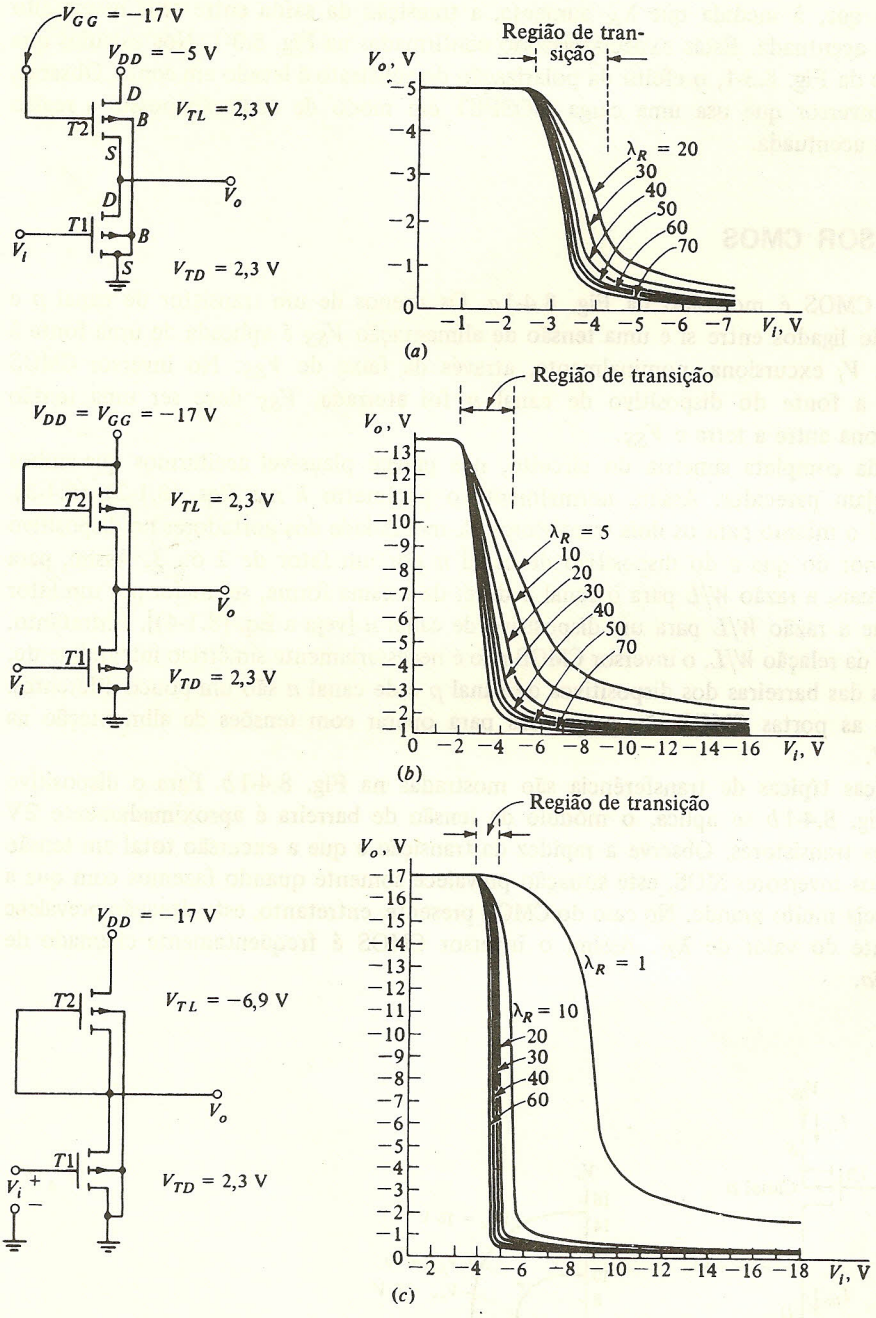


FIGURA 8.3-1
Características entrada-saída. (De *MOS/LSI Design and Applications*, W. N. Carr e J. P. Mize, McGraw-Hill, Cap. 4, 1972.)

Observamos que, à medida que λ_R aumenta, a transição da saída entre seus níveis alto e baixo fica mais acentuada. Estas expectativas são confirmadas na Fig. 8.3-1. Nos cálculos que levam aos gráficos da Fig. 8.3-1, o efeito da polarização do substrato é levado em conta. Observe, também, que o inversor que usa uma carga MOSFET em modo de depleção possui a região de transição mais acentuada.

8.4 O INVERSOR CMOS

O inversor CMOS é mostrado na Fig. 8.4-1*a*. Os drenos de um transistor de canal *p* e de um canal *n* são ligados entre si e uma tensão de alimentação V_{SS} é aplicada de uma fonte à outra. A entrada V_i excursiona, nominalmente, através da faixa de V_{SS}. No inversor CMOS mostrado, como a fonte do dispositivo de canal *n* foi aterrada, V_{SS} deve ser uma tensão positiva e excursiona entre a terra e V_{SS}.

Por causa da completa simetria do circuito, nos parece plausível aceitarmos que ambos os transistores sejam parecidos. Assim, normalmente o parâmetro *k* nas Eqs. (8.1-2), (8.1-3), (8.1-5) e (8.1-6) é o mesmo para os dois transistores. A mobilidade dos portadores no dispositivo de canal *p* é menor do que a do dispositivo de canal *n* por um fator de 2 ou 3. Assim, para que os *k* sejam iguais, a razão *W*/*L* para o canal *p* deve, da mesma forma, ser maior por um fator de 2 ou 3 do que a razão *W*/*L* para um dispositivo de canal *n* [veja a Eq. (8.1-4)]. Entretanto, apesar dos ajustes da relação *W*/*L*, o inversor CMOS não é necessariamente simétrico integralmente, porque as tensões das barreiras dos dispositivos de canal *p* e de canal *n* são um pouco diferentes.

Geralmente as portas CMOS são projetadas para operar com tensões de alimentação na faixa de 5 a 15 V.

Características típicas de transferência são mostradas na Fig. 8.4-1*b*. Para o dispositivo para o qual a Fig. 8.4-1*b* se aplica, o módulo da tensão de barreira é aproximadamente 2V para cada um dos transistores. Observe a rapidez da transição e que a excursão total em tensão é igual a V_{SS}. Nos inversores MOS, esta situação prevalece somente quando fazemos com que a *razão* λ_R dos λ seja muito grande. No caso do CMOS presente, entretanto, esta situação prevalece independentemente do valor de λ_R. Assim, o inversor CMOS é freqüentemente chamado de *inversor sem razão*.

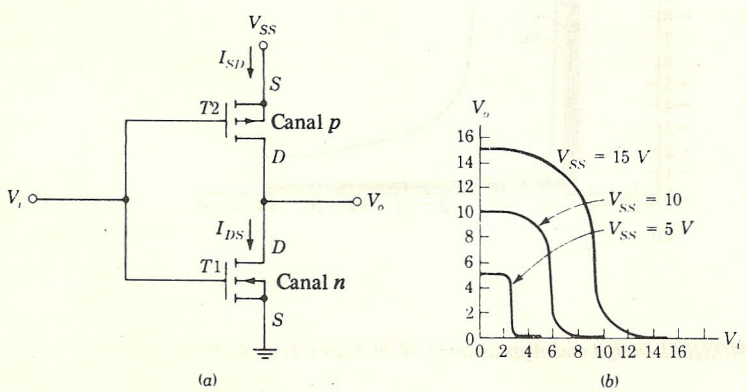


FIGURA 8.4-1
(*a*) Um inversor CMOS e (*b*) sua característica de transferência.

8.5 CÁLCULO DA CARACTERÍSTICA DE TRANSFERÊNCIA DE UM INVERSOR CMOS

É instrutivo usarmos as equações de corrente do dispositivo para calcularmos a característica de transferência de um inversor CMOS em um caso típico. Referenciando-nos à Fig. 8.4-1, temos que, para $V_i \leqslant V_T(n)$, $T1$ está cortado, $T2$ conduz e $V_o = V_{SS}$. Da mesma forma, para $V_i \geqslant V_{SS} - V_T(p)$, $T2$ está cortado, $T1$ conduz e $V_o = 0$ V. $T1$ estará saturado quando $V_{DS1} \geqslant V_{GS1} - V_T$, isto é

$$V_T(n) \leq V_i \leq V_o + V_T(n) \tag{8.5-1}$$

enquanto $T2$ estará saturado quando $V_{SD2} \geqslant V_{SG2} - V_T$, isto é,

$$V_o - V_T(p) \leq V_i \leq V_{SS} - V_T(p) \tag{8.5-2}$$

Assim, se $V_T(n) = V_T(p) = 2$ V e $V_{SS} = 10$ V, teríamos $T1$ saturado quando $2 \leqslant V_i \leqslant V_o + 2$ e $T2$ saturado quando $V_o - 2 \leqslant V_i \leqslant 8$. Poderíamos colocar o assunto, também, sob a forma de que $T1$ estaria saturado quando

$$V_o \geq V_i - 2 \tag{8.5-3}$$

e $T2$ saturaria quando

$$V_o \leq V_i + 2 \tag{8.5-4}$$

As correntes I_{SD} e I_{DS}, indicadas na Fig. 8.4-1*a*, são sempre iguais. Da mesma forma, quando $T1$ está saturado e $T2$ não, usando as Eqs. (8.1-3) e (8.1-5), temos que

$$k_n[V_i - V_T(n)]^2 = k_p\{2[V_{SS} - V_i - V_T(p)](V_{SS} - V_o) - (V_{SS} - V_o)^2\} \tag{8.5-5}$$

Aqui levamos em conta o fato de que, para o transistor de canal p, $V_{SG} = V_{SS} - V_i$ e $V_{SD} = V_{SS} - V_o$. Da mesma forma, achamos que, quando $T2$ está saturado e $T1$ não, temos

$$k_p[V_{SS} - V_i - V_T(p)]^2 = k_n\{2[V_i - V_T(n)]V_o - V_o^2\} \tag{8.5-6}$$

Finalmente, quando ambos os transistores estão na saturação, encontramos que:

$$k_n[V_i - V_T(n)]^2 = k_p[V_{SS} - V_i - V_T(p)]^2 \tag{8.5-7}$$

Usando as Eqs. (8.5-5) a (8.5-7), podemos traçar o gráfico da Fig. 8.5-1, que nos dá a característica entrada-saída para um inversor CMOS para $V_T(n) = V_T(p) = 2$ V, $V_{SS} = 10$ V, e $k_p/k_n = 1$. Acima da linha $V_o = V_i - 2$ [Eq. (8.5-3)] $T1$ está saturado. Abaixo da linha $V_o = V_i + 2$ [Eq. (8.5-4)] $T2$ esta saturado. Na região entre as duas linhas, ambos os transistores estão saturados.

Observe que a saturação simultânea de ambos os transistores nos define uma tensão única $V_i(\text{sat})$, calculada a partir da Eq. (8.5-7) e que vale

$$V_i(\text{sat}) = \frac{\sqrt{k_p/k_n}[V_{SS} - V_T(p)] + V_T(n)}{1 + \sqrt{k_p/k_n}} \tag{8.5-8}$$

Na Fig. 8.5-1, com $k_p/k_n = 1$, $V_T(n)$, $V_i(\text{sat}) \doteq 5$ V.

Esta tensão, na qual ocorre uma transição abrupta na tensão de saída, é a metade da tensão situada entre 0 e V_{SS} porque escolhemos $k_p = k_n$.

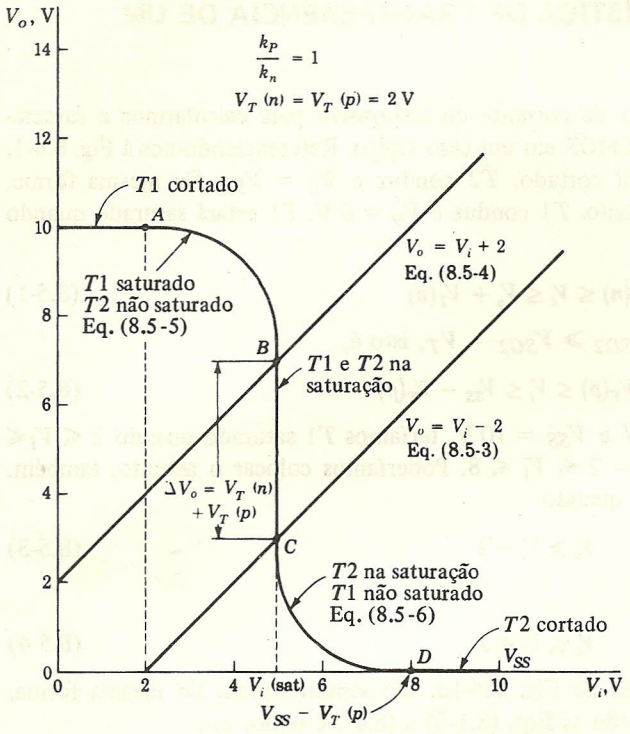


FIGURA 8.5-1
Função de transferência de um inversor CMOS, $k_p/k_n = 1$.

Se k_p não fosse igual a k_n, então, ainda que $V_T(n)$ fosse igual a $V_T(p)$, a simetria completa não prevaleceria.

De qualquer maneira, achamos, a partir das Eqs. (8.5-1) e (8.5-2), que o módulo da transição abrupta é dado por

$$\Delta V_o = V_T(n) + V_T(p) \tag{8.5-9}$$

A declividade infinita mostrada na Fig. 8.5-1 é resultado de nossa hipótese de que, na região de saturação, a corrente no dispositivo é absolutamente independente da tensão dreno-fonte, isto é, o dispositivo é uma fonte de corrente constante. Obviamente, isto não se dá exatamente desta maneira e a transição de B a C em uma situação física real não seria abrupta, mas ainda seria rápida.

8.6 PORTAS MOS

Supondo agora que a lógica positiva será usada, o circuito NMOS da Fig. 8.6-1 é uma porta NAND de duas entradas. As tensões de alimentação V_{DD} e V_{GG} e a tensão V_T são todas positivas. A lógica **0** é representada por uma tensão menor do que a tensão de barreira (limiar) V_T e a lógica **1** por uma tensão acima de V_T. A tabela da verdade da Fig. 8.6-1 pode ser verificada

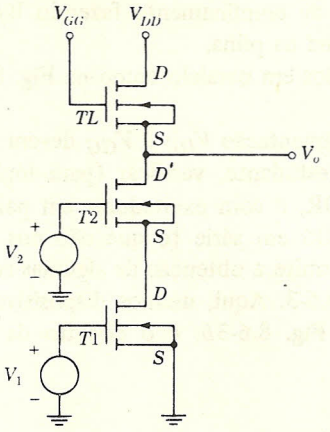


Tabela da verdade

V_1	V_2	V_o
0	0	1
0	1	1
1	0	1
1	1	0

FIGURA 8.6-1
Uma porta NAND NMOS.

facilmente. Quando V_1 ou V_2, ou ambos, são menores do que V_T, somente TL conduz. Neste caso, V_o é $V_{GG} - V_T$ ou V_{DD}, assumindo então o valor do menor. Quando ambos V_1 e V_2 estão acima de V_T, então $T1$ e $T2$ conduzem.

A tensão de saída V_o é a soma das tensões em $T1$ e $T2$ e está presumivelmente abaixo do limiar.

Entradas adicionais podem ser obtidas pela inclusão de dispositivos adicionais em série com $T1$ e $T2$. A saída V_o, quando em nível lógico **0**, é a soma das tensões em todos os dispositivos série. É obviamente necessário que V_o seja mantido abaixo do limiar V_T para o nível **0**. Assim, quanto mais dispositivos em série forem incluídos, a tensão individual deve ser reduzida. Isto é obtido pelo aumento da razão largura-comprimento W/L dos dispositivos, com a finalidade de reduzir a resistência do canal. Assim, vamos supor que, iniciando com um projeto para uma porta de duas entradas, gostaríamos de modificá-la para acomodar três entradas. As duas portas iniciais deveriam ser substituídas por três, cada uma, então, com uma razão W/L do dispositivo original.

Como a mesma tensão na entrada (em relação à terra) é aplicada a cada um dos terminais da entrada, a tensão porta-fonte é máxima para o excitador que está na parte inferior da pilha e diminui à medida que subimos (veja a Fig. 8.6-1). Conforme foi observado, os transistores excitados operam na região triodo onde a resistência do dispositivo é uma função da tensão na

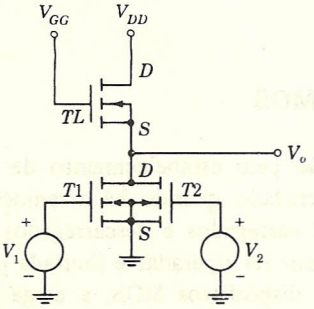


Tabela da verdade

V_1	V_2	V_o
0	0	1
0	1	0
1	1	0
1	0	0

FIGURA 8.6-2
O efeito de empilhamento.

porta. Assim sendo, podemos compensar este efeito de empilhamento fazendo W/L progressivamente maior para os transistores que estão mais acima na pilha.

Se os transistores excitadores NMOS são colocados em paralelo como na Fig. 8.6-2, então, como pode ser verificado, obtemos uma porta NOR.

Se utilizarmos dispositivos PMOS, as tensões de alimentação V_{DD} e V_{GG} devem ser negativas em relação à terra. É deixado como exercício, ao estudante, verificar (para lógica positiva) que, com excitadores em série, temos uma porta NOR, e com excitadores em paralelo, temos uma porta NAND. A praticidade de empilharmos MOS em série [o que não nos é permitido com dispositivos bipolares (veja o Prob. 8.6-3)] nos permite a obtenção de algumas configurações interessantes de portas, como as mostradas na Fig. 8.6-3. Aqui, usamos dispositivos PMOS. O circuito da Fig. 8.6-3*a* realiza a lógica indicada na Fig. 8.6-3*b*, e o circuito da Fig. 8.6-3*c* realiza a lógica da Fig. 8.6-3*d*.

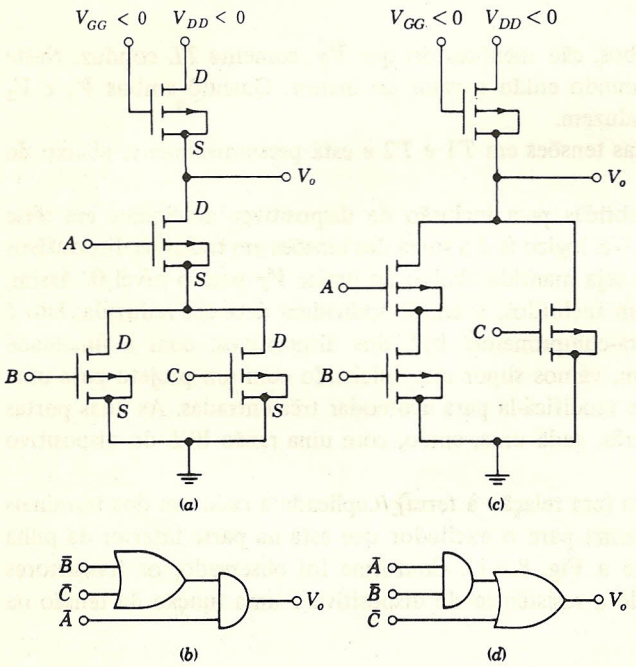


FIGURA 8.6-3
Ilustrando a praticidade do empilhamento de MOSFETs.

8.7 TEMPO DE SUBIDA EM UMA PORTA MOS

Um transistor bipolar é colocado em condução pelo estabelecimento de uma carga de portadores minoritários na base do transistor, e é cortado quando há a remoção desta carga minoritária. Adicionalmente, capacitores deverão ser carregados e descarregados. A velocidade com a qual as portas com transistores bipolares podem ser operadas é limitada pela velocidade com que estas operações podem ser realizadas. Em dispositivos MOS, a carga de portadores

minoritários não é envolvida e a velocidade é determinada apenas pela velocidade com que os capacitores se carregam.

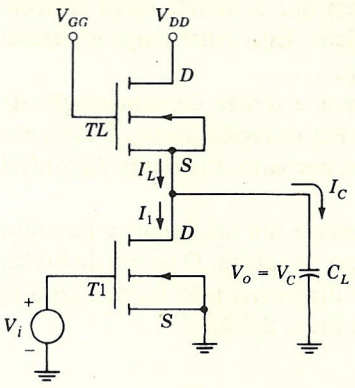


FIGURA 8.7-1
Uma porta MOS excitando um capacitor C_L.

Considere, agora, a situação representada na Fig. 8.7-1. Este inversor básico transforma-se em uma porta de múltiplas entradas se transistores adicionais são colocados em paralelo ou em série com $T1$. A capacitância C_L representa a carga capacitiva na porta e pode, inclusive, ser a capacitância de entrada da porta subseqüente. Nossa atenção se volta, agora, para o tempo de subida de tensão de saída V_o (= V_C, a tensão no capacitor) à medida que $T1$ é cortado. É admitido que V_C parte de 0 V. Consideramos primeiro o caso onde o transistor de carga TL opera na região de saturação, como seria o caso se $V_{GG} = V_{DD}$.

Na região de saturação temos, como na Eq. (8.1-3),

$$I_L = I_C = k_L(V_{GS} - V_T)^2 \tag{8.7-1}$$

A tensão porta-fonte do transistor de carga com parâmetro $k = k_L$ é $V_{GG} = V_{DD} - V_C$. Temos, então, a razão de subida de V_C dada por $dV_C/dt = I_C/C_L$ igual a

$$\frac{dV_C}{dt} = \frac{I_C}{C_L} = \frac{k_L}{C_L}(V_{DD} - V_T - V_C)^2 \tag{8.7-2}$$

É conveniente introduzirmos a tensão $V_f \equiv V_{DD} - V_T$. Esta tensão V_f é a tensão (final) para a qual V_C tenderá assintoticamente. A solução da Eq. (8.7-2), sujeita à condição inicial de que $V_C = 0$ para $t = 0$, é determinada como sendo (Prob. 8.7-1)

$$V_C = \frac{(k_L t/C_L)V_f^2}{1 + (k_L t/C_L)V_f} \tag{8.7-3}$$

Se definimos o tempo de subida t_r como sendo o tempo necessário para que V_C vá desde 0 V até 0,9 V_f encontramos a partir da Eq. (8.7-3) que

$$t_r = \frac{9C_L}{k_L V_f} \tag{8.7-4}$$

Como exemplo, se $C_L = 5$ pF (que é a capacitância típica de uma porta) e $k_L = 20\,\mu A/V^2$ (um valor típico para um transistor de carga), e se $V_f = 10$ V, encontramos para $t_r \approx 0{,}2\,\mu s$. O tempo de subida é extremamente longo em comparação ao tempo de subida em portas BJT. A razão para esta resposta vagarosa é basicamente a necessidade de fazermos o canal longo e estreito no transistor de carga, sendo que isto é necessário para que a característica entrada-saída da porta exiba uma transição abrupta entre os níveis lógicos. Este canal longo e estreito limita o total de corrente disponível para carregar o capacitor C_L.

Se considerássemos um transistor de carga e aumentássemos a tensão de alimentação da porta V_{GG} ao ponto onde $V_{GG} - V_T > V_{DD}$, o transistor operaria na região triodo. O aumento de V_{GG} ocasionaria um aumento da corrente que circula por TL e, portanto, a corrente disponível para carregar o capacitor de carga.

Um pequeno aumento em V_{GG}, entretanto, resultaria somente em um pequeno aumento de corrente, e não haveria nenhuma melhora substancial no tempo de subida. O tempo de subida ainda estaria basicamente limitado devido à restrição na corrente disponível pelo longo e estreito canal da carga. [A equação para $V_C(t)$ no caso triodo é dada no Prob. 8.7-2.]

8.8 O TEMPO DE DESCIDA

Quando no inversor da Fig. 8.7-1 o transistor $T1$ começa a conduzir, o capacitor se descarrega através de $T1$ e eventualmente atinge a terra. Enquanto $T1$ descarrega, a corrente através de TL é no sentido de carga de C_L. Como vimos, a razão W/L do transistor excitador é muito maior do que a do transistor de carga. Assim, a corrente de descarga através de $T1$ será muito maior do que a corrente de carga através de TL e, portanto, poderemos desprezar esta corrente de carga.

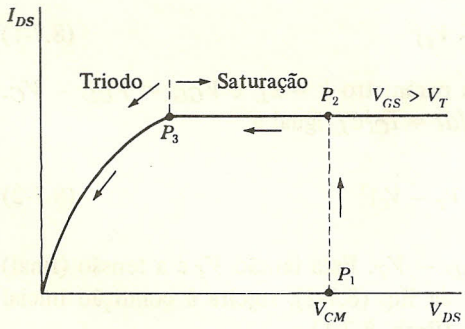


FIGURA 8.8-1
A curva de operação de $T1$ à medida que o capacitor C_L se descarrega.

Vamos supor agora que $T1$, que inicialmente estava cortado, inicia a conduzir pela aplicação de uma tensão na porta $V_{GS} > V_T$. A característica volt-ampère do transistor, para esta tensão na porta, é indicada na Fig. 8.8-1. Inicialmente o transistor está cortado e operando em P_1, onde $V_{DS} = V_{CM}$ que é a tensão máxima no capacitor. Quando $T1$ inicia a sua condução, o

ponto de operação se move rapidamente a P_2 desde que a tensão no capacitor não pode variar instantaneamente. A tensão no capacitor $V_C = V_{DS}$ então diminui e o transistor faz uma excursão através da região de saturação, como é mostrado na Fig. 8.8-1. [Idealizamos a região de saturação para corresponder exatamente à Eq. (8.1-3), a qual supõe I_{DS} como sendo constante e independente de V_{DS}.] Em P_3, se dá o início da região triodo e o transistor e o capacitor seguem a característica triodo, eventualmente para a tensão zero.

Usando a Eq. (8.1-3), que se aplica à região de saturação, chegamos a

$$V_C(t) = V_{CM} - \frac{I_{DS}}{C_L}\, t = V_{CM} - \frac{k_D}{C_L}(V_{GS} - V_T)^2 t \tag{8.8-1}$$

O ponto P_3 é atingido quando $V_{DS} = V_{GS} - V_T$. O tempo $t \equiv t_{\text{sat}}$, no qual $V_C(t) = V_{GS} - V_T$, é calculado a partir da Eq. (8.8-1) como sendo

$$t_{\text{sat}} = \frac{C_L}{k_D}\left[\frac{V_{CM} - V_{GS} + V_T}{(V_{GS} - V_T)^2}\right] \tag{8.8-2}$$

Na região triodo, usando-se a Eq. (8.1-2), encontramos

$$\frac{dV_C}{dt} = -\frac{I_{DS}}{C_L} = -\frac{k_D}{C_L}[2(V_{GS} - V_T)V_C - V_C^2] \tag{8.8-3}$$

O tempo na região triodo para que $V_C(t)$ caia de V_{CM} a 0,1 V_{CM} é

$$t_{\text{triodo}} = -\int_{V_{CM}}^{0,1V_{CM}} \frac{dV_C}{(k_D/C_L)[2(V_{GS} - V_T)V_C - V_C^2]} = \frac{1{,}15C_L}{k_D(V_{GS} - V_T)}$$

Vamos supor $k_D = 1$ mA/V^2. Como admitimos $k_L = 0{,}5\ \mu$A/V^2, temos que $k_D/k_L = 50$, o que é razoável para uma porta MOS. Suporemos também que $V_{CM} = 10$ V, $V_{GS} - V_T = 5$ V e $C_L = 5$ pF. Calculamos então, a partir das Eqs. (8.8-2) e (8.8-4), que $t_{\text{sat}} = 0{,}004\ \mu$s e $t_{\text{triodo}} = 0{,}016\ \mu$s. O tempo total de descida é então $t_f = 20$ ns. O tempo de descida é portanto muito menor do que aquele tempo de subida que calculamos anteriormente e que era de 0,2 μs. A razão principal para esta grande diferença é o fato de que $k_D \geqslant k_L$, porque o canal do excitador é muito mais largo e mais curto do que o canal do transistor de carga.

8.9 A PORTA CMOS

Uma porta NAND CMOS com duas entradas é mostrada na Fig. 8.9-1. Observe que os transistores excitadores estão conectados em série, enquanto os de carga estão em paralelo. A entrada individual é aplicada simultaneamente a um par de transistores, um excitador e um de carga. Supondo lógica positiva e tomando a lógica **0** como sendo a tensão de terra, e a lógica **1** como sendo V_{SS}, podemos facilmente verificar que o circuito, sem dúvida, é uma porta NAND. A saída V_o estará na lógica **0** (terra) somente quando ambos os transistores NMOS excitadores estiverem conduzindo e, neste caso, ambos os transistores PMOS de carga estarão cortados. O circuito da Fig. 8.9-2, onde os dispositivos de carga estão em série e os transistores excitadores estão em paralelo, pode facilmente ser verificado corresponder a uma porta NOR.

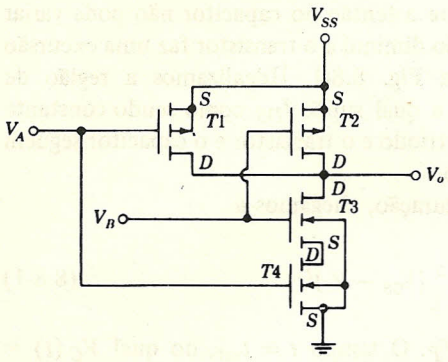


FIGURA 8.9-1
Uma porta NAND CMOS.

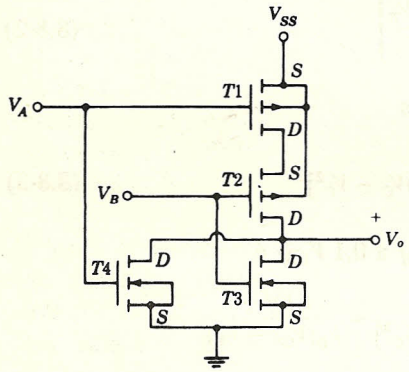


FIGURA 8.9-2
Uma porta NOR CMOS.

8.10 TEMPOS DE SUBIDA E DESCIDA EM PORTAS CMOS

Considerando os NMOS e os PMOS, o canal nos dispositivos de carga deverá ser muito mais longo e estreito do que no excitador, isto é, $k_L << k_D$. Este fator, no projeto, é necessário para assegurar que, quando o excitador conduz, a tensão no transistor excitador é uma pequena fração de tensão da fonte de alimentação.

Em CMOS, por outro lado, quando o excitador conduz, a carga é simultaneamente cortada. Assim, em CMOS, conforme já foi observado, $k_L \approx k_D$. Como o excitador tem canal n e a carga, canal p, as razões W/L são projetadas para serem inversamente proporcionais à razão de suas mobilidades.

Uma das maiores vantagens do CMOS é que sempre há um caminho de baixa resistência pelo canal, para carregar e descarregar uma carga capacitiva na saída da porta. Esta carga na saída de um CMOS inversor é mostrada na Fig. 8.10-1. Em uma porta NMOS ou em uma PMOS, os tempos de carga do capacitor de carga são muito diferentes por causa da diferente geometria existente entre o canal do excitador e o da carga, isto é, k_D e k_L. Em CMOS, por outro lado, os tempos de carga e descarga são da mesma ordem de grandeza.

Os cálculos para a carga do capacitor, conforme dados anteriormente para um inversor NMOS, podem ser diretamente aplicados ao caso presente. Referenciando-nos à Fig. 8.10-1,

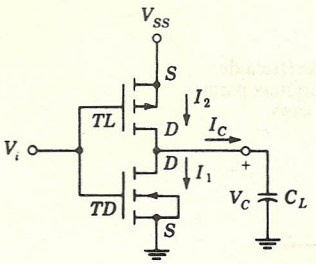


FIGURA 8.10-1
Uma porta CMOS excitando um capacitor C_L.

digamos que *TL* esteja conduzindo e que *TD* esteja cortado, de tal maneira que $V_C = V_{SS}$. O capacitor C_L se descarregará quando a tensão de entrada na porta (que é a saída da porta precedente) for a $V_{GS} = V_{SS}$, e por conseguinte cortando *TL* e levando *TD* à condução. O tempo de descida t_f é $t_f = t_{\text{sat}} + t_{\text{triodo}}$ como dado pelas Eqs. (8.8-2) e (8.8-4). Nestas equações, V_C (máx) $= V_{GS} = V_{SS}$. Podemos observar que estas equações se aplicam mais exatamente ao presente caso do que no caso para o qual elas foram deduzidas (de NMOS ou PMOS); quando de sua dedução, desprezamos a pequena corrente de carga através do transistor de carga, enquanto o capacitor se descarregava. No presente caso não há corrente através do dispositivo de carga.

O parâmetro k para ambos os transistores, de carga e excitador, será comparável ao valor de k comumente projetado para o transistor excitador sem simetria complementar. Assim, em CMOS, o tempo de descida será comparável ao tempo de descida calculado na seção 8.7. Por causa da simetria da estrutura do CMOS na Fig. 8.10-1, entretanto, o tempo de subida será o mesmo que o tempo de descida se $k_L = k_D$.

Como pode ser verificado, exceto pela direção na qual $V_L(t)$ está variando, as equações que descrevem a carga de C_L são idênticas às equações que descrevem sua descarga.

8.11 ESPECIFICAÇÕES DOS FABRICANTES

As especificações fornecidas pelos fabricantes para os dispositivos CMOS são similares àquelas fornecidas para as portas BJT. Estas especificações se relacionam com correntes e tensões de entrada e saída, retardos de propagação, tempos de subida e de descida, etc. As especificações para a porta NAND de baixa potência, tipo Motorola 4012, são dadas na Fig. 8.11-1. (As especificações para a porta NOR do tipo 4001 são idênticas.) Estas especificações se aplicam considerando que uma tensão de alimentação $V_{SS} = 5$ V seja empregada. As definições dos parâmetros V_{iH}, V_{iL}, V_{oH}, V_{oL} são dadas na seção 4.11.

A corrente I_{iH} define a corrente mínima que deve ser fornecida por uma fonte excitadora para que a entrada de uma porta CMOS seja mantida em um nível alto de tensão, isto é, mantida em V_{iH}, e mais, para que a porta reconheça esta entrada como o nível lógico **1**. Os outros símbolos de corrente possuem significados similares. Observe que as correntes de entrada, sendo somente da ordem de 10 pA, podem geralmente ser ignoradas. Referenciando-nos agora às especificações de saída, observamos que a saída da porta está apta a drenar um máximo de 0,4 mA e ainda permanecer em um nível de tensão na região do nível lógico **0**, isto é, $V_o \leqslant$

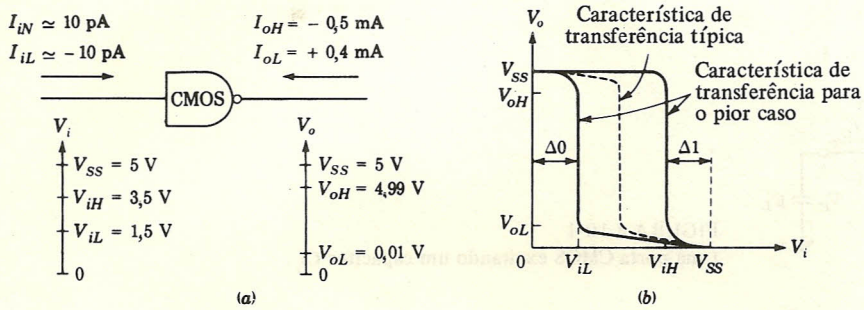


FIGURA 8.11-1
(*a*) Algumas especificações de fabricantes. (*b*) Característica de transferência típica para o pior caso.

$\leqslant V_{oL}$. Por outro lado, a porta está apta a servir como uma fonte de, no máximo, 0,5 mA e ainda permanecer na região do nível lógico **1**.

A Fig. 8.11-1*b* mostra o pior caso da característica de transferência da porta. A característica de transferência de uma porta típica estará limitada pelas curvas do pior caso, conforme é mostrado. Com uma fonte de alimentação de 5 V, o fabricante especifica que

$$\mathbf{\Delta 0} = V_{iL} - V_{oL} \approx 1{,}5 \text{ V} \qquad (8.11\text{-}1a)$$

$$\mathbf{\Delta 1} = V_{oH} - V_{iH} \approx 1{,}5 \text{ V} \qquad (8.11\text{-}1b)$$

Sendo de nosso interesse os valores típicos sobre imunidades ao ruído no pior caso, encontramos que, com $V_{SS} = 5$ V, estas são de aproximadamente 2,25 V. Assim, as imunidades ao ruído são maiores do que as encontradas com portas BJT com tensões de alimentação comparáveis.

Os tempos de retardo da programação e de transição para as portas Motorola são dados na Tabela 8.11-1, supondo uma carga consistindo em um capacitor $C_L = 15$ pF em paralelo com um resistor $R_L = 200\,\text{k}\Omega$. Supomos que a impedância de entrada de uma porta CMOS é um capacitor de 5 pF, de tal maneira que esta carga capacitiva representa um FAN-OUT de 3. Aumentando o FAN-OUT, os tempos de transição e de retardo aumentam linearmente desde que a constante de tempo do circuito é diretamente proporcional à capacitância total de carga.

TABELA 8.11-1

	Tempo, ns
$t_{pd}\,(LH)$	30
$t_{pd}\,(HL)$	30
t_r	60
t_f	60

A porta CMOS, referenciada na Tabela 8.11-1, é relativamente lenta. Entretanto, portas CMOS de alta velocidade já são fabricadas tendo tempos de retardo de propagação da ordem de 20 ns. Avanços recentes nas técnicas de fabricação, nas quais o material empregado para o

substrato é *safira*, resultaram em portas CMOS mais rápidas e de baixa potência. Estas portas chamadas de SOS/CMOS (Silício sobre Safira) possuem tempos de subida e descida que são menores do que 20 ns. Portas CMOS de alta velocidade são hoje comparáveis às portas DTL e algumas são ditas serem tão velozes como as versões lentas do TTL.

A dissipação de potência quiescente típica destas unidades CMOS de baixa potência é de 50 nW. A operação em 100 kHz, entretanto, nos dá a potência dissipada como sendo 30 μW. Esta dissipação aumenta na razão de 20 dB/década e também é uma função da carga capacitiva. Gráficos da dissipação do Motorola 4012 são mostrados na Fig. 8.11-2 (veja também a seção 1.15).

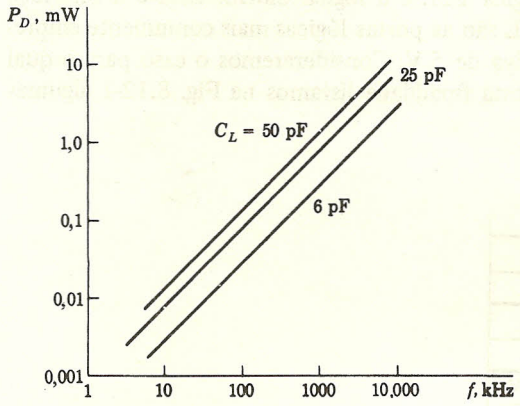


FIGURA 8.11-2
Dissipação de potência em função da freqüência.

Buffers. A porta CMOS é uma porta de baixa corrente, projetada para excitar outras portas CMOS. Quando uma porta CMOS é usada para excitar uma porta TTL ou DTL, freqüentemente é empregado um BUFFER CMOS. Um BUFFER RCA 4009A é capaz de drenar uma corrente de carga de 4 mA (I_{oL}) quando em seu estado baixo, e pode fornecer 1,75 mA quando a tensão de saída for 2,5 V. Este valor de 2,5 V é especificado desde que ele representa V_{iH} para muitas portas TTL.

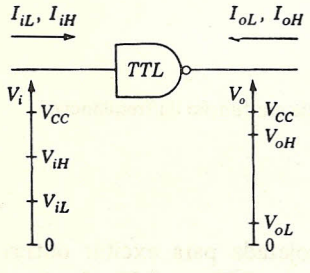
A configuração do circuito para o BUFFER é a mesma da porta original. Para se obter uma capacidade extra de corrente, entretanto, as dimensões dos dispositivos CMOS usados são aumentadas.

8.12 INTERFACE ENTRE AS PORTAS BJT E CMOS

As portas MOS e (até o momento da redação deste texto) as portas CMOS são mais lentas do que as portas BJT. Por outro lado, as portas MOS podem ser fabricadas com uma densidade de componentes em uma pastilha de silício que excede aquela que é possível com dispositivos BJT. Há mérito em se conservar espaço em uma pastilha de silício. À medida que a área da superfície aumenta, também aumenta a probabilidade de que uma imperfeição do

cristal torne o dispositivo defeituoso, isto é, rejeitado. Como resultado, há vantagem em usarmos ambos os dispositivos BJT e MOS em combinação. Os dispositivos BJT são usados onde há a necessidade de alta velocidade, e os dispositivos MOS são usados onde operação lenta for permitida. Como os dispositivos BJT e MOS geralmente operam com níveis de tensão e corrente diferentes, alguma consideração deverá ser dada para o interfaceamento correto. Em muitos casos, há a necessidade de se colocar, entre os dois tipos, circuitos com transistores bipolares discretos, para a realização da interface. Este seria o caso, por exemplo, se necessitássemos fazer a interface de um ECL lógico, operando entre 0 e $-5{,}2$ V com um MOS lógico operando entre 0 e $+14$ V. Em casos mais simples, a interface pode necessitar de acomodações mais simples entre a porta BJT e a MOS.

Para ilustrarmos algumas das medidas que podem servir para efetuar uma acomodação necessária, consideraremos a interface entre a lógica TTL e a lógica CMOS. Esta é a interface mais comumente empregada, porque as portas TTL são as portas lógicas mais comumente empregadas. O TTL opera a partir de uma fonte positiva de 5 V. Consideraremos o caso para o qual também o CMOS opera a partir de $+5$ V. Para esta finalidade listamos na Fig. 8.12-1 algumas das especificações para a porta TTL.



(a)

	TTL	
V_{iH}	2,8 V	
I_{iH}	100 μA	
V_{iL}	0,4 V	
I_{iL}	$-$ 1,3 mA	
V_{oH}	2,4 V	3 V
I_{oH}	$-$0,7 mA	0
V_{oL}	0,4 V	
I_{oL}	10 mA	

(b)

FIGURA 8.12-1
(*a*) Características de entrada e saída. (*b*) Tabela de valores típicos.

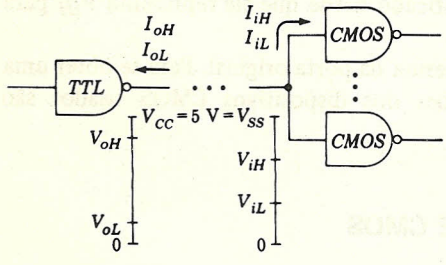


FIGURA 8.12-2
Uma porta TTL excitando N portas CMOS.

Consideraremos primeiro o caso de uma porta TTL excitando N portas CMOS, como na Fig. 8.12-2. Assim, o FAN-OUT é N. Para que este arranjo opere com sucesso, é necessário que

$$-I_{oH}(\text{TTL}) \geq NI_{iH}(\text{CMOS}) \qquad (8.12\text{-}1a)$$

$$I_{oL}(\text{TTL}) \geq -NI_{iL}(\text{CMOS}) \qquad (8.12\text{-}1b)$$

$$V_{oL}(\text{TTL}) \leq \quad V_{iL}(\text{CMOS}) \qquad (8.12\text{-}1c)$$

$$V_{oH}(\text{TTL}) \geq \quad V_{iH}(\text{CMOS}) \qquad (8.12\text{-}1d)$$

É prontamente verificado, dos dados das Figs. 8.11-1 e 8.12-1, que as Eqs. (8.12-1*a*) e (8.12-1*b*) são satisfeitas para qualquer FAN-OUT N razoável. Adicionalmente, a Eq. (8.12-1*c*) também é satisfeita. A Eq. (8.12-1*d*), entretanto, não é satisfeita, já que mesmo "sem carga", $V_{oH}\,(TTL) = 3$ V, enquanto V_{iH} (CMOS) = 3,5 V. Uma modificação do circuito, freqüentemente empregada, eleva $V_{oH}\,(TTL)$ acima de 3,5 V e é mostrada na Fig. 8.12-3, onde um resistor externo R liga V_{CC} à saída. Tipicamente, R está na faixa de 2 a 6 kΩ.

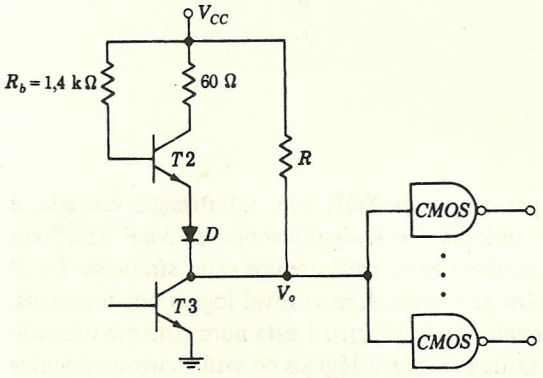


FIGURA 8.12-3
Um TTL com um PULL-UP passivo.

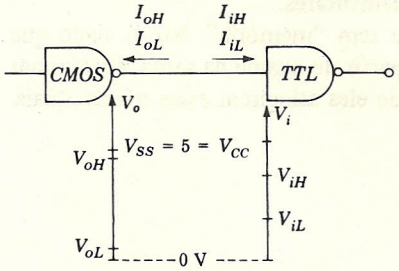


FIGURA 8.12-4
Um CMOS excitando um TTL.

Quando consideramos uma porta CMOS excitando uma porta TTL (veja a Fig. 8.12-4), encontramos que a condição I_{oL} (CMOS) $\geqslant NI_{iL}\,(TTL)$ não é verificada nem para $N = 1$, desde que I_{oL} (CMOS) = 0,4 mA, enquanto $-I_{iL}\,(TTL) = 1{,}34$ mA. Há, entretanto, a disponibilidade de vários BUFFERS CMOS possuindo uma saída disponível de corrente adequada (até 6 mA).

REFERÊNCIAS

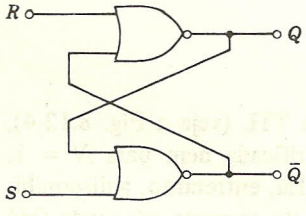
1. Carr, W. N; e J. P. Mize. *MOS/LSI Design and Applications.* McGraw-Hill, cap. 4, 1972.
2. RCA Solid State Databook. SSD-203B, COS/MOS Digital Integrated Circuits.

CAPÍTULO 9
Flip-Flops

9.1 INTRODUÇÃO

O circuito da Fig. 9.1-1, mostrando um par de portas NOR com interligação cruzada, é chamado *flip-flop*. Tem um par de terminais de entrada S e R significando "acionar" (SET em inglês) e "restabelecer" (RESET em inglês), respectivamente. Utilizaremos estes símbolos S e R não apenas para designar os terminais mas também para especificar o nível lógico nos terminais. Assim, $S = 1$ indica que uma tensão correspondendo ao nível lógico **1** está normalmente presente no terminal S. De forma similar, os terminais de saída e os níveis lógicos de saída correspondentes são Q e $\overline{Q}$. Nesta notação levamos em consideração explicitamente o fato de que, em operação normal, como veremos, os níveis lógicos nas saídas são complementares.

A característica fundamental de um flip-flop é que ele tem "memória". Isto é, dado que os níveis lógicos presentes em S e R são **0** e **0**, é possível, a partir do exame da saída, determinar quais eram os níveis lógicos em S e R imediatamente antes de eles atingirem estes níveis atuais.



(a)

S	R	Q_{n+1}	$\overline{Q}_{n+1}$
0	0	Q_n	$\overline{Q}_n$
0	1	0	1
1	0	1	0
1	1	Não usada	

(b)

FIGURA 9.1-1
(*a*) Um flip-flop *SR* e (*b*) tabela da verdade.

9.2 TERMINOLOGIA

Em relação à discussão que se segue é conveniente introduzir alguma terminologia útil, e será benéfico estar ciente de uma atitude geralmente corrente entre projetistas de sistemas lógicos.

Em portas NAND e NOR (assim como em portas AND e OR) podemos selecionar arbitrariamente um terminal de entrada e considerá-lo como uma *entrada habilitar-impossibilitar* (*enable-disable*). Assim, considere uma porta NOR ou OR. Se a entrada selecionada está na lógica **1**, a saída da porta é independente de todas as outras entradas. Esta entrada selecionada assume o controle da porta que está impossibilitada em relação a qualquer outra entrada. (Utiliza-se o termo "inibir" – do inglês *inhibit* – como sinônimo de "impossibilitar".) Alternativamente, se a entrada selecionada está na lógica **0**, ela não assume o controle, e a porta está habilitada a responder a outras entradas. Em uma porta NAND ou AND, a entrada selecionada assume o controle e impossibilita a porta, em relação às outras, quando esta entrada vai para lógica **0**. Pois com a entrada selecionada na lógica **0**, a saída da porta não pode responder às outras entradas. A diferença entre a porta NOR ou OR por um lado, e a porta NAND ou AND, por outro lado, deve ser notada. No primeiro caso, a entrada de controle assume o controle quando vai para lógica **1**; no segundo caso, assume o controle quando vai para lógica **0**.

Há uma atitude corrente, geral em sistemas digitais, de ver a lógica **0** como um estado básico, não perturbado, quiescente; e de ver a lógica **1** como um estado ativo, excitado, efetivo, ou seja, ao estado que se chega "depois que alguma coisa aconteceu". Assim, quando se produzir um efeito, a inclinação é definir o estado resultante como aquele no qual alguma variável lógica foi para a lógica **1**. A variável lógica está na lógica **0** quando "nada aconteceu". Similarmente, se um efeito deve ser produzido por uma mudança em uma variável lógica, é preferível que a variável lógica envolvida seja definida, de tal maneira que o efeito é obtido quando a variável lógica vai para lógica **1**. Veremos exemplos deste comportamento em nossa discussão de flip-flops.

9.3 O FLIP-FLOP COMO ELEMENTO DE MEMÓRIA

No circuito flip-flop da Fig. 9.1-1, S e R são as entradas de controle. Vamos supor que $S = R = \mathbf{0}$. Neste caso, como se trata de portas NOR, as entradas de controle não têm ação e podemos ignorá-las. As saídas das portas dependem apenas dos níveis lógicos presentes nas duas outras entradas. Vamos então supor que $\overline{Q} = \mathbf{1}$. Neste caso, a saída da porta NOR superior está na lógica **0**. Portanto, como foi antecipado, as saídas são realmente complementares, e temos $Q = \mathbf{0}$. Supomos que $\overline{Q} = \mathbf{1}$, e devemos agora verificar que esta hipótese é consistente. Realmente isto é verdade, pois as duas entradas da porta inferior são $S = \mathbf{0}$ e $Q = \mathbf{0}$; portanto, a saída da porta é $\overline{Q} = \mathbf{1}$, como suposto.

Com $S = R = \mathbf{0}$, se tivéssemos suposto que $\overline{Q} = \mathbf{0}$, teríamos encontrado que $Q = \mathbf{1}$; esta hipótese, como a hipótese anterior, é autoconsistente. Resumindo, verifica-se que, com $S = R = \mathbf{0}$, o flip-flop pode permanecer em uma de duas situações (geralmente chamadas de *estados estáveis*), uma com $Q = \mathbf{0}$ e $\overline{Q} = \mathbf{1}$, a outra com $Q = \mathbf{1}$ e $\overline{Q} = \mathbf{0}$. Chamaremos o primeiro destes estados de *estado restabelecido* (RESET) e o segundo de *estado acionado* (SET). O estado RESET é geralmente chamado de estado *limpo* (CLEAR) e é definido como o estado no qual $Q = \mathbf{0}$. Estes termos são utilizados em analogia com seus usos, digamos, com uma calculadora de mesa. Quando se aciona a tecla de limpar (CLEAR), todos os registros voltam para zero, isto é, o estado inicial onde nada aconteceu, e a máquina está pronta para outro cálculo. Portanto, correspondentemente, este estado em um flip-flop é identificado por $Q = \mathbf{0}$.

Se fizermos com que $S = \mathbf{0}$ enquanto $R = \mathbf{1}$, então, como pode ser verificado, o flip-flop pode permanecer em apenas um estado possível, ou seja, o estado RESET com $Q = \mathbf{0}$. De forma similar, com $S = \mathbf{1}$ e $R = \mathbf{0}$, o flip-flop se encontrará no estado SET com $Q = \mathbf{1}$.

Em seguida, vamos supor que o flip-flop está no estado RESET com $S = \mathbf{0}$ e $R = \mathbf{1}$, de modo que $Q = \mathbf{0}$, e então em algum instante, digamos $t = T$, a entrada R vai para $R = \mathbf{0}$. Como pode ser verificado da Fig. 9.1-1, esta mudança em R não alterará o estado do flip-flop, pois a mudança está ocorrendo na entrada de uma porta NOR cuja outra entrada é $\bar{Q} = \mathbf{1}$. Assim, verificamos agora, com $S = R = \mathbf{0}$, que o flip-flop permanece no estado RESET, e deste fato podemos deduzir que, em um instante anterior a $t = T$, os níveis de entrada eram $S = \mathbf{0}$ e $R = \mathbf{1}$. Assim, o flip-flop relembra quais eram os níveis de entrada antes de $t = T$. Em outras palavras, com $S = R = \mathbf{0}$, o estado do flip-flop depende da história anterior dos níveis de entrada. De forma similar, se inicialmente $S = \mathbf{1}$ e $R = \mathbf{0}$, o flip-flop estaria no estado SET com $Q = \mathbf{1}$; e se depois S mudasse de modo que $S = R = \mathbf{0}$, o flip-flop permaneceria no estado SET.

Finalmente, considere que tanto S como R são colocados em $S = R = \mathbf{1}$. Agora, ambas as saídas estarão na lógica **0**. (Neste caso, a insinuação da Fig. 9.1-1 de que as saídas são complementares é incorreta.) Se agora ambas as entradas mudarem simultaneamente para $S = R = \mathbf{0}$, o estado resultante do flip-flop não será previsível. Pois com $S = R = \mathbf{0}$ são possíveis dois estados e o estado alcançado é tão imprevisível quanto o resultado de um lançamento de moeda resultando em cara ou coroa. Devido a esta ambigüidade, o caso $S = R = \mathbf{1}$ não é usado.

Os resultados destas discussões de operação de flip-flop estão sumariados na tabela da verdade mostrada na Fig. 9.1-1*b*. Aqui consideramos que as entradas S e R estão mudando seus níveis lógicos de uma maneira arbitrária. Haverá intervalos de tempo nos quais $S = \mathbf{0}$ e $R = \mathbf{0}$, intervalos em que $S = \mathbf{0}$ e $R = \mathbf{1}$, etc. Vamos numerar os intervalos $1, 2, \ldots, n, n + 1, \ldots$ Então, no intervalo $n + 1$, quando $S = \mathbf{0}$ e $R = \mathbf{1}$, verificamos que $Q_{n+1} = \mathbf{0}$ ($\bar{Q}_{n+1} = \mathbf{1}$) qualquer que seja o passado de S e R nos intervalos precedentes. De forma similar, com $S = \mathbf{1}$ e $R = \mathbf{0}$, teremos $Q_{n+1} = \mathbf{1}$. Entretanto, se $S = R = \mathbf{0}$ no intervalo $n + 1$, então o estado do flip-flop será o mesmo que o do intervalo n.

Suponha que tínhamos $S = R = \mathbf{1}$ no intervalo n, enquanto no intervalo $n + 1$, $S = R = \mathbf{0}$. Aqui imaginamos uma mudança simultânea em S e R. Na verdade, uma mudança simultânea exata não é realizável fisicamente. Se realmente S mudasse primeiro de modo que vamos de $S = R = \mathbf{1}$ para $S = \mathbf{0}$, $R = \mathbf{1}$ e então para $S = \mathbf{0}$, $R = \mathbf{0}$, verificaríamos que $Q_{n+1} = \mathbf{0}$. Se R tivesse mudado primeiro, teríamos $Q_{n+1} = \mathbf{1}$

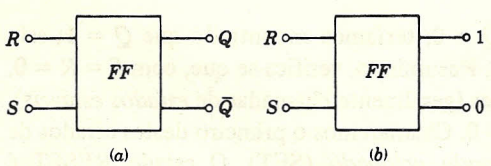


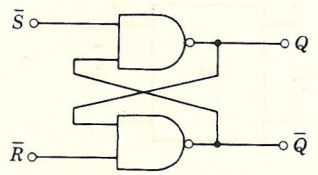
FIGURA 9.3-1
Representação típica de um flip-flop.

A representação do elemento do circuito flip-flop está mostrada na Fig. 9.3-1*a*. Na Fig. 9.3-1*b* as saídas estão marcadas pelos níveis lógicos **1** e **0** correspondendo a Q e $\bar{Q}$, respectivamente. Evidentemente não pretendemos implicar que há níveis lógicos fixos nestes terminais de saída. A intenção é dar a entender que o terminal marcado com **1** está no nível lógico 1 (a situação SET) quando o terminal SET está excitado, isto é, $S = \mathbf{1}$ ($R = \mathbf{0}$).

9.4 FLIP-FLOP USANDO PORTAS NAND

Um flip-flop utilizando portas NAND está mostrado na Fig. 9.4-1*a*. Podemos verificar facilmente que a tabela da verdade para este flip-flop é a dada na Fig. 9.4-1*b*. Neste caso, $\overline{S} = \overline{R} = \mathbf{0}$ faz com que os níveis lógicos nas saídas das duas portas sejam iguais (nível lógico **1**) e, portanto, não é usado. Nesta tabela da verdade suprimimos a coluna $\overline{Q}$ que é redundante quando a coluna Q é disponível. Como são empregadas portas NAND, as entradas exercem controle no nível lógico **0**. Isto é, o flip-flop muda de estado quando uma das entradas é colocada na lógica **0**. Como esta situação é inconsistente com a preferência discutida anteriormente, chamamos as entradas de controle de $\overline{S}$ e $\overline{R}$ em vez de S e R.

As variáveis não-complementadas S e R não aparecem no circuito da Fig. 9.4-1*a*. Entretanto, podemos imaginar duas variáveis S e R das quais $\overline{S}$ e $\overline{R}$ são os complementos, e então considerar que $S = \mathbf{1}$, $R = \mathbf{0}$ e $S = \mathbf{0}$, $R = \mathbf{1}$, respectivamente, acionam e restabelecem o flip-flop.



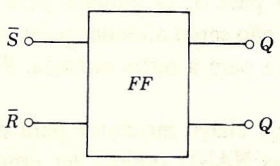
(*a*)

$\overline{S}$	$\overline{R}$	Q_{n+1}
0	0	Não usado
0	1	1
1	0	0
1	1	Q_n

(*b*)

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	Não usado

(*c*)



(*d*)

FIGURA 9.4-1
(*a*) Um flip-flop *SR* usando portas NAND; (*b*) tabela da verdade do flip-flop *SR* em função de $\overline{S}$ e $\overline{R}$; (*c*) tabela da verdade em função de S e R; (*d*) símbolo do flip-flop *SR* mostrado em (*a*).

Usando estas duas variáveis virtuais ou fictícias e utilizando a informação da tabela da verdade da Fig. 9.4-1*b*, podemos construir a tabela da verdade da Fig. 9.4-1*c*, agora idêntica à tabela da Fig. 9.1-1*b*, que foi aplicada diretamente quando portas NOR foram empregadas. Assim, em função de variáveis reais ou virtuais, a tabela da verdade da Fig. 9.1-1*b* torna-se uma tabela "universal" que se aplica a um flip-flop independentemente do tipo de porta utilizada. Uma representação do circuito do flip-flop está mostrada na Fig. 9.4-1*d*.

9.5 A CHAVE SEM VIBRAÇÃO

Como um exemplo simples, mas útil, de aplicação do flip-flop *SR*, considere a situação representada na Fig. 9.5-1. Na Fig. 9.5-1*a* uma chave é utilizada para se obter uma tensão de saída $V_o = 0$ ou $V_o = V_S$. Estas tensões podem ser as correspondentes aos níveis lógicos em um sistema digital. A função do circuito é nos permitir fornecer manualmente um ou outro nível lógico à entrada de algum sistema digital. Entretanto, uma característica de uma chave mecânica é que, quando o braço é deslocado de uma posição para outra, o contato do braço *fecha* e *abre* sucessivamente, ou *vibra* várias vezes até atingir o repouso na posição de contato. Por exemplo, suponha que deslocamos a chave fazendo com que V_o vá do nível lógico **0** para o nível lógico **1**. Então, tipicamente, a chave fará contato com a posição *A*, se afasta de *A* (mas *não* volta para *B*), e faz várias transições entre os níveis antes de atingir o repouso. Note que, quando a chave está na posição *A*, a tensão de saída é V_S, enquanto se a chave não está tocando *A*, a tensão de saída é 0 V pois não há corrente fluindo através do resistor *R*.

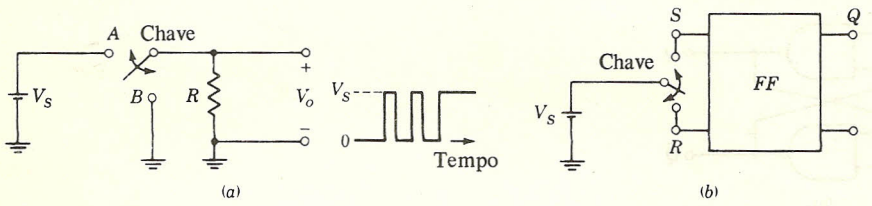


FIGURA 9.5-1
(*a*) Uma chave de 1 pólo e 2 posições e (*b*) uma chave sem vibração.

Uma *chave sem vibração* está mostrada na Fig. 9.5-1*b*. Consideramos aqui que o flip-flop opera de acordo com a tabela da verdade da Fig. 9.1-1. Este seria o caso se o flip-flop fosse construído, digamos, com portas NOR RTL. Neste caso, um terminal de entrada da porta não tendo ligação externa (deixado "flutuando") pode ser considerado como estando na lógica **0**. A chave mostrada na Fig. 9.5-1*b* pode ser deslocada em um sentido ou no outro para estabelecer um nível lógico **1** tanto em *S* como em *R*. É agora facilmente verificado que, se a chave está, digamos, em *R*, então $Q = \mathbf{0}$, e se a chave é então deslocada para *S*, *Q* mudará para $Q = \mathbf{1}$. Ambas as mudanças de estados ocorrerão ao primeiro contato e não serão afetadas pelas vibrações do contato, pois a chave raramente se afasta totalmente de volta para a outra entrada. Portanto, durante a vibração da chave, $S = R = \mathbf{0}$.

É comum o emprego de um flip-flop *SR* depois de uma chave mecânica para evitar os efeitos da vibração. Flip-flops com portas NOR ou com portas NAND podem ser empregados para este propósito.

9.6 FLIP-FLOP SÍNCRONO

Vamos agora examinar a situação mostrada na Fig. 9.6-1 para apreciar um problema que surge regularmente em relação à operação de flip-flops. Seja um flip-flop *SR* que opera de acordo com a tabela da verdade da Fig. 9.1-1*b*. O circuito mostrado deve ser considerado como

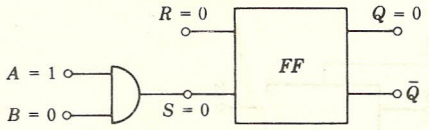


FIGURA 9.6-1
Ilustração da necessidade de um flip-flop síncrono.

parte de um sistema digital e as entradas do flip-flop vêm de várias partes deste sistema. Supomos que, no instante de interesse, $R = \mathbf{0}$ e que também $S = \mathbf{0}$, sendo o resultado combinatório de dois sinais lógicos A e B que são $A = \mathbf{1}$ e $B = \mathbf{0}$.

Como $S = R = \mathbf{0}$, os dois estados de saída são possíveis, e supomos para efeito de ilustração que $Q = \mathbf{0}$.

Suponha agora que tanto A como B mudam mais ou menos no mesmo instante e que esta mudança simultânea não deve mudar o estado do flip-flop. Para isto, é necessário que A mude *antes* que B, mantendo desta forma $S = \mathbf{0}$. Mas no projeto do sistema pode ser difícil assegurar esta seqüência. Se A mudar *depois* de B, o flip-flop será acionado involuntariamente com a mudança em A e *permanecerá acionado* "RESET" apesar de subseqüente mudança em B. Em um sistema digital, grandes retardos de propagação através de portas e outros (não previsíveis facilmente) retardos, geralmente causam dificuldades do tipo aqui discutido (veja Fig. 4.12-3).

Estes retardos causam algumas dificuldades mesmo em circuitos combinatórios simples, isto é, circuitos sem memória, mas a dificuldade é muito maior quando for envolvida memória. Por exemplo, na Fig. 9.6-1, deseja-se que S permaneça em $S = \mathbf{0}$. Se B muda em um instante Δt antes que A, então S estará errada apenas durante este intervalo Δt. Por outro lado, o flip-flop pode permanecer no estado errado indefinidamente.

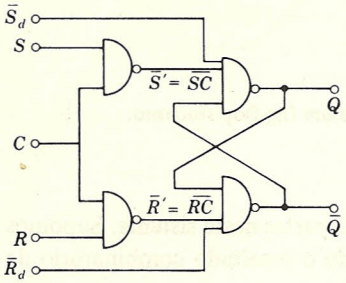
É portanto bastante vantajoso ser capaz de montar um flip-flop no qual as entradas S e R determinam o estado eventual do flip-flop, mas o momento exato da resposta do flip-flop a estas entradas é determinado por um sinal auxiliar. As transições de estado podem então ser adiadas até que todos os níveis lógicos de entrada que podem influenciar um flip-flop tenham sido estabelecidos.

Um flip-flop que contorna as dificuldades em relação ao tempo discutidas acima está mostrado na Fig. 9.6-2. Duas portas adicionais foram acrescentadas ao circuito básico, e portas NAND são empregadas no lugar de portas NOR. As entradas SET e RESET do flip-flop básico são aqui chamadas $\bar{S}'$ e $\bar{R}'$ para reservar os símbolos S e R para os terminais SET e RESET de acesso ao mundo externo.

Também disponíveis como terminais externos estão $\bar{S}_d$ e $\bar{R}_d$, que são *entradas diretas* para as portas do flip-flop básico. Estas entradas não são essenciais para a operação e vamos adiar brevemente as considerações sobre suas funções. Consideraremos, por enquanto, que $\bar{S}_d = \bar{R}_d = \mathbf{1}$, de modo que as portas de saída estão *habilitadas*; ou seja, quando $\bar{S}_d = \bar{R}_d = \mathbf{1}$, tanto $\bar{S}_d$ quanto $\bar{R}_d$ não afetam a operação do flip-flop.

A entrada lógica auxiliar, designada pela letra C, é geralmente chamada de entrada do relógio (em inglês, *Clock*). Quando o sinal do relógio aplicado a esta entrada está no nível lógico $\mathbf{0}$, $\bar{S}' = \bar{R}' = \mathbf{1}$, independentemente de S e R. Qualquer estado do flip-flop é possível, e o estado resultante depende da história anterior.

Suponha agora que, enquanto o relógio está na lógica $\mathbf{0}$ ($C = \mathbf{0}$), fazemos $S = \mathbf{1}$ e $R = \mathbf{0}$. Então, no instante em que C se tornar $C = \mathbf{1}$, o flip-flop irá para o estado SET (se já não estiver neste estado). Assim, fazendo $S = \mathbf{1}$ e $R = \mathbf{0}$, determinamos que o flip-flop deve ir para o

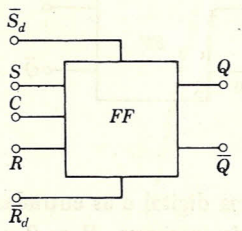


(a)

Tabela da verdade

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	Não usado

(b)



(c)

FIGURA 9.6-2
(*a*) Um flip-flop síncrono com portas NAND; (*b*) tabela da verdade para a parte (*a*); (*c*) representação do circuito de um flip-flop síncrono com entradas diretas.

estado SET, mas o momento em que a transição ocorre é determinado pelo relógio, mais especificamente, no instante de ocorrência de uma *transição positiva do relógio*. Similarmente, suponha que $S = \mathbf{0}$ e $R = \mathbf{1}$; então, na transição positiva do relógio o flip-flop será restabelecido (ou permanecerá restabelecido). Em qualquer caso, como é facilmente verificado, uma volta subseqüente do relógio para $C = \mathbf{0}$ deixará o estado do flip-flop inalterado. As entradas $S = R = \mathbf{1}$ não são usadas; pois, neste caso, com $C = \mathbf{1}$ teríamos $\overline{S}' = \overline{R}' = \mathbf{0}$ e quando C voltar para $C = \mathbf{0}$, o estado para o qual o flip-flop iria seria imprevisível.

Para preservar a característica de acordo com a qual as mudanças de estado ocorrem apenas no instante da transição positiva do relógio, é geralmente necessário que S e R não devam mudar, exceto quando o relógio está no nível baixo ($C = \mathbf{0}$). Pode, portanto, ser conveniente fazer com que a forma de onda do relógio permaneça em $C = \mathbf{1}$ o tempo estritamente necessário para assegurar que o flip-flop faça sua mudança de estado. Neste caso, a forma de onda seria uma seqüência de pulsos positivos relativamente estreitos; isto é, o intervalo entre pulsos é grande, em comparação com a duração dos pulsos individuais. Neste caso, a forma de onda do relógio é descrita como sendo uma seqüência de *pulsos de relógio*.

Em um sistema digital usando flip-flops síncronos, como na Fig. 9.6-2, cada pulso de relógio avança o processamento digital de um passo. A razão pela qual o processamento avança é então determinada pela *razão* na qual estes pulsos ocorrem e, portanto, o nome relógio é bastante apropriado. Em muitos sistemas, os pulsos de relógio ocorrem com uma taxa regular, lembrando a batida de um relógio, e o termo é ainda mais apropriado. Como todo sistema digital opera em sincronismo com o relógio, o sistema é chamado *sistema síncrono*.

A operação do flip-flop está sumariada na tabela da verdade mostrada na Fig. 9.6-2*b*.

O símbolo Q_n representa o estado do flip-flop antes da transição positiva do n-ésimo pulso de relógio e Q_{n+1} o seu estado depois da n-ésima transição. Assim, quando $S = R = \mathbf{0}$, o estado não muda e portanto $Q_{n+1} = Q_n$.

Alternativamente, vamos considerar que um ciclo da forma de onda do relógio termina na transição que induz a uma mudança de estado, se realmente há um comando para mudança. (No caso atual, o ciclo termina quando o relógio volta para a lógica **1**.) O símbolo Q_n então representa o estado do flip-flop durante o n-ésimo ciclo de relógio e Q_{n+1} o estado durante o seguinte, o $(n + 1)$-ésimo ciclo.

Entradas diretas. As entradas diretas $\bar{S}_d$ e $\bar{R}_d$, mostradas na Fig. 9.6-2*a*, são usadas para estabelecer um estado inicial para o flip-flop ou para manter o flip-flop em um estado particular independente dos dados presentes aos terminais de entrada de dados S e R. Assim, na ausência de um pulso de relógio, o estado do flip-flop é inteiramente determinado pelas entradas diretas.

As entradas diretas podem ser usadas para suplantar as entradas de dados, pois vemos que, se $\bar{R}_d = \bar{S}_d = 1$, as entradas de dados assumem o controle. Entretanto, se fizermos com que $\bar{S}_d = 1$ e $\bar{R}_d = 0$ ou $\bar{S}_d = 0$ e $\bar{R}_d = 1$, o flip-flop estará no estado RESET ou SET, respectivamente, no fim do pulso de relógio, ou seja, depois que C volta para a lógica **0**, independentemente dos níveis lógicos em S e R. Como S e R são feitos para operar em conexão com o pulso de relógio enquanto S_d e R_d operam independentes do relógio, S e R são geralmente chamados entradas *síncronas* e $\bar{S}_d$ e $\bar{R}_d$ são chamadas entradas *assíncronas*. O símbolo para o circuito está mostrado na Fig. 9.6-2*c*.

O arranjo de entrada direta da Fig. 9.6-2*a* tem uma característica que é algumas vezes inaceitável. Considere, digamos, que $\bar{S}_d = 1$ e $\bar{R}_d = 0$, antes, durante, e depois de um pulso de relógio. Então, antes do pulso de relógio, o flip-flop está no estado RESET com $Q = 0$ e $\bar{Q} = 1$ independentemente de S e R. Além disto, verificaremos que, após o pulso (C de novo está na lógica **0**), o flip-flop estará no estado RESET. Entretanto, se fizermos $S = 1$ e $R = 0$, então durante o pulso de relógio ($C = 1$), enquanto $\bar{Q}$ permanece $\bar{Q} = 1$, Q mudará de **0** para **1**. Pois quando o pulso de relógio está na lógica **1**, $\bar{S}'$ torna-se $\bar{S}' = 0$ e Q tem que ir para $Q = 1$.

A Fig. 9.6-3 mostra um flip-flop no qual esta característica está ausente e a saída é totalmente independente do pulso de relógio, quando as entradas diretas são aplicadas. É deixado como problema para o estudante verificar que, se $\bar{S}_d = 0$ e $\bar{R}_d = 1$, então $Q = 1$, ou se $\bar{S}_d = 1$ e $\bar{R}_d = 0$, então $Q = 0$, independente dos estados de C, S e R. Além disto, o estudante pode mostrar que, apenas se $\bar{R}_d = \bar{S}_d = 1$, as entradas C, S e R controlam a operação do flip-flop. Note também que, devido aos novos pontos de aplicação de $\bar{S}_d$ e $\bar{R}_d$, as posições destes terminais de entrada são diferentes nas Figs. 9.6-3 e 9.6-2.

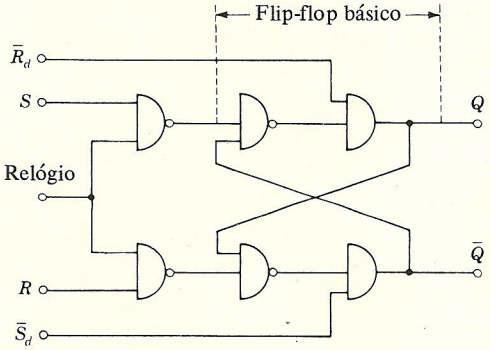


FIGURA 9.6-3
Um flip-flop com entradas diretas onde $\bar{R}_d$ e $\bar{S}_d$ sobrepõem-se ao relógio.

9.7 INTERCONEXÃO DE FLIP-FLOPS: O FLIP-FLOP MESTRE-ESCRAVO

Em um flip-flop síncrono há um nível da forma de onda do relógio no qual as portas de entrada estão impossibilitadas e o flip-flop está, portanto, isolado dos dados presentes nos

terminais de entrada. (No circuito da Fig. 9.6-2, este nível de relógio é $C = \mathbf{0}$ mas em outros flip-flops poderá ser $C = \mathbf{1}$.) No circuito da Fig. 9.6-2, a mudança nas saídas Q e $\bar{Q}$ acontece quando o relógio faz uma transição do nível em que as portas de entrada estão impossibilitadas para o nível em que as portas estão habilitadas. Chamaremos esta transição de *transição de disparo*; ou seja, o flip-flop responde a uma transição do relógio *de impossibilitar para habilitar*. Esta operação é freqüentemente inaceitável. Geralmente prefere-se uma operação na qual o flip-flop responde a uma transição de relógio *de habilitar para impossibilitar*. Explicaremos agora a razão para preferir a segunda alternativa, e descreveremos um circuito de flip-flop que opera desta maneira. Outros circuitos de flip-flop que satisfazem esta condição serão discutidos em seções posteriores.

Duas características são bastante gerais em sistemas digitais: (1) uma forma de onda de relógio comum é usada para todos os flip-flops do sistema, e (2) os dados de entrada de flip-flops podem ser derivados totalmente, ou em parte, de saídas de outros flip-flops. Onde estas duas características prevalecem, um flip-flop que responde quando o relógio vai de impossibilitar para habilitar apresenta uma dificuldade. O problema é que o flip-flop responde não apenas ao dado presente na sua entrada antes da transição do relógio mas também ao *novo dado* que se apresenta devido ao fato de outros flip-flops terem mudado a saída.

Para esclarecer este ponto com um exemplo simples, consideremos a situação representada na Fig. 9.7-1, onde estão mostrados dois flip-flops síncronos em cascata. Os flip-flops são do

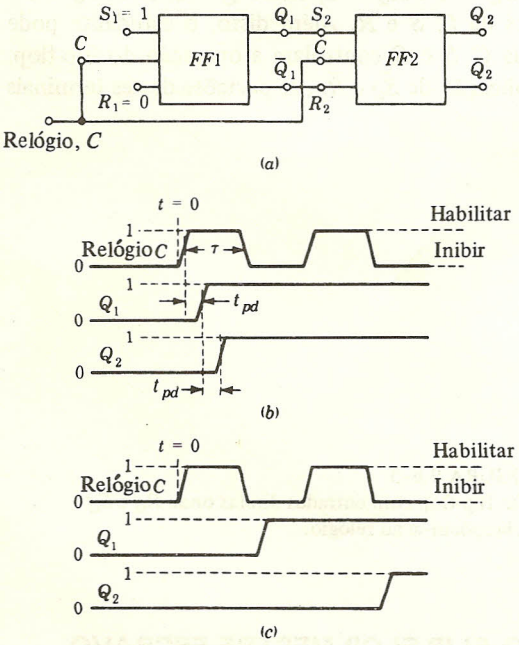


FIGURA 9.7-1
(*a*) Uma cascata de dois flip-flops; (*b*) formas de onda para a cascata mostrada na parte (*a*); (*c*) formas de onda desejadas.

tipo mostrado na Fig. 9.6-2, que respondem quando o relógio vai de $C = \mathbf{0}$ (portas de entrada impossibilitadas) para $C = \mathbf{1}$ (portas habilitadas). Supomos que as entradas diretas (que não são mostradas) foram usadas para colocar cada flip-flop inicialmente no estado RESET, de modo que $Q_1 = \mathbf{0}$ e $Q_2 = \mathbf{0}$. Desejamos que o circuito opere da seguinte maneira. Quando a forma de onda do relógio é aplicada, durante o primeiro ciclo do relógio, Q_1 deve ir para $Q_1 = \mathbf{1}$, enquanto Q_2 deve permanecer em $Q_2 = \mathbf{0}$. Durante o segundo ciclo de relógio, Q_1 deve permanecer em $Q_1 = \mathbf{1}$, mas Q_2 deve tornar-se $Q_2 = \mathbf{1}$. Isto é, os dados de entrada ($S_1 = \mathbf{1}$, $R_1 = \mathbf{0}$) devem ser transferidos para *FF*1 durante o primeiro ciclo de relógio e transferido também para *FF*2 durante o segundo ciclo de relógio. (Note que, se esta cascata de dois flip-flops funcionasse, poderíamos acrescentar flip-flops adicionais à cascata e ter então um circuito que a cada ciclo de relógio deslocaria os dados de entrada através da cascata. Este circuito é chamado de *registrador de deslocamento* e será discutido na seção 10-1.)

Podemos, entretanto, ver, como mostrado na forma de onda da Fig. 9.7-1*b*, que esta seqüência antecipada não ocorrerá. Nesta figura, tempos de subida e descida finitos, bem como retardos de propagação, foram indicados. A forma de onda do relógio é aplicada em $t = \mathbf{0}$, e na primeira transição de C (de $C = \mathbf{0}$ para $C = \mathbf{1}$) Q_1 vai para $Q_1 = \mathbf{1}$ pois $S_1 = \mathbf{1}$ e $R_1 = \mathbf{0}$. Inicialmente, Q_2 não muda pois $S_2 = Q_1 = \mathbf{0}$ e $R_2 = \bar{Q}_1 = \mathbf{1}$. Entretanto, após o retardo de propagação através de *FF*1, S_2 torna-se $S_2 = \mathbf{1}$ e $R_2 = \mathbf{0}$. Como C está *ainda* em $C = \mathbf{1}$, o nível de habilitação, *FF*2 faz uma transição para $Q_2 = \mathbf{1}$. Portanto, verificamos que *FF*2 responde e Q_2 vai para $Q_2 = \mathbf{1}$ durante o primeiro ciclo de relógio e não durante o segundo ciclo de relógio como desejado. (Se houvesse flip-flops adicionais na cascata, eles também responderiam depois de cada sucessivo retardo de propagação do flip-flop, desde que C permanecesse em $C = \mathbf{1}$).

Um meio de atenuar a dificuldade é fazer com que o relógio fique no nível habilitar por um tempo muito curto. Neste caso, a forma de onda do relógio na Fig. 9.7-1 teria o aspecto de um trem de pulsos positivos, a duração do pulso sendo muito curta em comparação com o intervalo entre os pulsos. Assim, se a duração do pulso de relógio fosse menor do que o retardo de propagação através de um flip-flop, o circuito operaria como desejado; pois em tal situação teríamos C retornando ao nível de impossibilitar $C = \mathbf{0}$ antes que a resposta do *FF*1 ao pulso de relógio se tornasse aparente em $Q_1 = S_2$ e $\bar{Q}_1 = R_2$. Esta solução, entretanto, requer a geração e transmissão através de um sistema digital de pulsos muito estreitos. Na verdade, em ECL, onde retardos de propagação de apenas 2 ns são comuns, gerar e processar apropriadamente pulsos estreitos pode bem representar o estado de arte do circuito. Em muitas situações, pode-se verificar que pulsos estreitos o suficiente para evitar a dificuldade com tempos descrita acima podem também ser muito estreitos para disparar o flip-flop com confiabilidade.

Uma solução melhor é obtida através do uso de flip-flops projetados de modo que a transição de disparo é a transição *do nível de habilitar para o de impossibilitar*. As formas de onda correspondentes são mostradas na Fig. 9.7-1*c*. Aqui o *FF*1 responde quando o relógio vai para o nível impossibilitar. Esta resposta do *FF*1 muda Q_1 de $Q_1 = \mathbf{0}$ para $Q_1 = \mathbf{1}$ e muda $\bar{Q}_1$ de $\bar{Q}_1 = \mathbf{1}$ para $\bar{Q}_1 = \mathbf{0}$. Entretanto, estas mudanças em $S_2 = Q_1$ e $R_2 = \bar{Q}_1$ somente ocorrem *depois* da transição de disparo; e depois desta transição as portas de entrada do *FF*2 estão impossibilitadas, e portanto *FF*2 não pode responder. Entretanto, como mostrado, no instante da segunda transição de disparo o *FF*1 teve tempo para se estabelecer no estado SET, fixando S_2 em $S_2 = \mathbf{1}$ e R_2 em $R_2 = \mathbf{0}$, de modo que esta segunda transição de disparo produz uma resposta em *FF*2.

Vimos a utilidade em fazer com que o disparo ocorra na transição do relógio do nível habilitar para o nível impossibilitar em relação a acoplamento de flip-flops. Encontramos este princípio igualmente útil quando são feitas conexões da saída de um flip-flop de volta para a entrada deste mesmo flip-flop. Esta é a situação no caso de flip-flops *JK* a ser discutido na seção 9.12.

Um tipo de flip-flop que responde quando o relógio faz uma transição para o nível impossibilitar é um flip-flop *mestre-escravo*. O flip-flop mestre-escravo, mostrado na Fig. 9.7-2, emprega dois flip-flops síncronos, cada um do tipo mostrado na Fig. 9.6-2. Um flip-flop é chamado *mestre* e o outro, *escravo*. O relógio C é aplicado às portas de entrada do mestre e o complemento do relógio $\overline{C}$ é aplicado às portas de entrada do escravo. Quando o relógio está no nível alto ($C = \mathbf{1}$), o complemento do relógio está no nível baixo ($\overline{C} = \mathbf{0}$). Portanto, quando as portas $1A$ e $1B$ estão habilitadas ($C = \mathbf{1}$), as portas $3A$ e $3B$ estão impossibilitadas, e vice-versa.

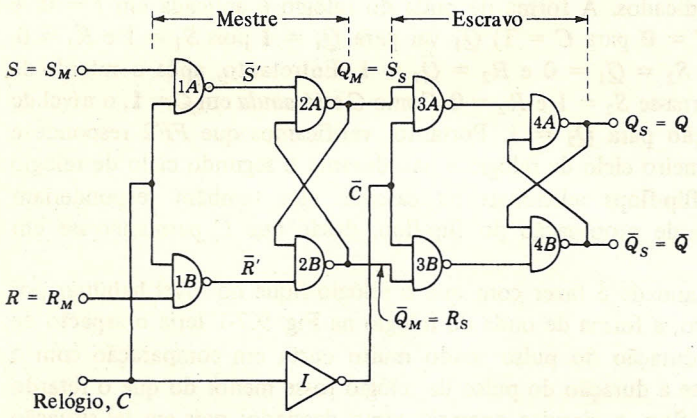


FIGURA 9.7-2
Um flip-flop mestre-escravo.

Quando o relógio está no nível alto, os dados em S ($= S_M$) e R ($= R_M$) são transferidos para o flip-flop mestre. Por exemplo, se $S = \mathbf{1}$ e $R = \mathbf{0}$, então, quando o relógio vai para o nível alto, Q_M se tornará $Q_M = S_S = \mathbf{1}$ e $\overline{Q}_M$ se tornará $\overline{Q}_M = R_S = \mathbf{0}$. Estes níveis Q_M e $\overline{Q}_M$ não podem afetar o escravo pois, quando o relógio está em nível alto, as portas do escravo $3A$ e $3B$ estão impossibilitadas ($C = \mathbf{0}$). Mas Q_M e $\overline{Q}_M$ são as entradas de dados S_S e R_S do flip-flop escravo. Portanto, quando o relógio vai para o nível baixo, de modo que $\overline{C}$ vai para o nível alto, os dados em Q_M e $\overline{Q}_M$ serão transferidos para a saída do escravo. Assim, resumindo, quando C vai para o nível alto, os dados nos terminais de entrada de dados S e R são registrados no mestre mas impedidos de passar para o escravo. Quando o pulso de relógio volta para a lógica **0**, instante em que as portas de entrada são impossibilitadas, os dados no mestre (Q_M) são transferidos para o flip-flop escravo e aparecem nas saídas Q_S e $\overline{Q}_S$.

A tabela da verdade para o flip-flop mestre-escravo da Fig. 9.7-2 é idêntica à tabela da verdade da Fig. 9.6-2. A característica diferente do circuito mestre-escravo, entretanto, é que, se houver mudança nas saídas Q e $\overline{Q}$, ela ocorrerá quando o relógio for para o estado **0**. Essencial

à operação do circuito é a necessidade de, quando C muda de $C = \mathbf{0}$ para $C = \mathbf{1}$, as portas $3A$ e $3B$ tornarem-se impossibilitadas *antes* que os dados entrando pelas portas $1A$ e $1B$ possam ser transmitidos às portas $3A$ e $3B$. É aparente da Fig. 9.7-2 que, se o tempo de retardo de propagação de cada porta no flip-flop é t_{pd}, então as portas $3A$ e $3B$ são impossibilitadas em um instante t_{pd} antes que o estado de Q_M possa mudar. Portanto, o circuito sempre funciona corretamente.

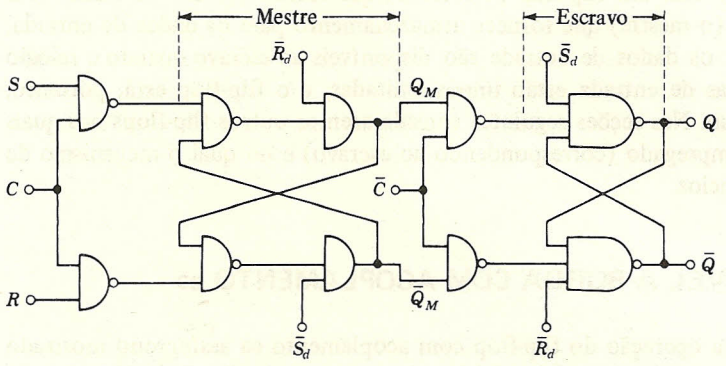


FIGURA 9.7-3
Um flip-flop mestre-escravo com entradas diretas que suplantam as entradas síncronas.

Entradas diretas. Quando houver entradas de dados diretas (assíncronas) em um flip-flop mestre-escravo, elas devem ser conectadas *tanto* no mestre *como* no escravo, como mostrado na Fig. 9.7-3, para *suplantar* o relógio. Pode ser verificado para este circuito que, quando as duas entradas $\bar{S}_d$ estão em $\bar{S}_d = \mathbf{1}$ e ambas as entradas $\bar{R}_d$ estão em $\bar{R}_d = \mathbf{0}$, então $Q = Q_M = \mathbf{0}$ e $\bar{Q} = \bar{Q}_M = \mathbf{1}$. Além disto, nesta situação, os dois flip-flops, mestre e escravo, são independentes do nível lógico em S e R e não respondem ao pulso de relógio. De forma similar, com $\bar{S}_d = \mathbf{0}$ e $\bar{R}_d = \mathbf{1}$, $Q = Q_M = \mathbf{1}$ e $\bar{Q} = \bar{Q}_M = \mathbf{0}$. O flip-flop é liberado do controle direto fazendo $\bar{S}_d = \bar{R}_d = \mathbf{1}$. Entradas diretas com níveis $\bar{S}_d = \bar{R}_d = \mathbf{0}$ não são utilizadas.

Alguns flip-flops mestre-escravo disponíveis comercialmente fornecem terminais de controle direto apenas para o flip-flop escravo. Neste caso, a situação em relação com o escravo é inteiramente similar à situação mostrada na Fig. 9.6-2. Aqui, como descrito na seção 9.6, as entradas diretas não suplantam completamente os níveis de transição dos pulsos do relógio.

O símbolo para o flip-flop da Fig. 9.7-3 está mostrado na Fig. 9.7-4. As entradas diretas SET e RESET exercem controle na lógica **0**, e esta característica é indicada tanto pela barra

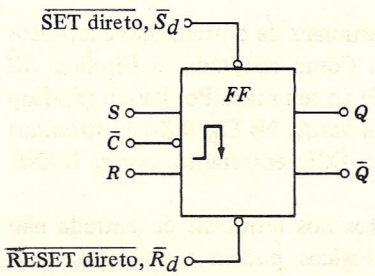


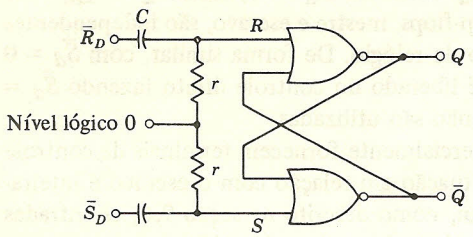
FIGURA 9.7-4
Símbolo para um flip-flop síncrono.

de complemento em cima das palavras SET e RESET como pelos círculos de complementação nos fios SET e RESET. Há, evidentemente, redundância neste simbolismo. De forma similar, o fato de a mudança na saída ocorrer na transição negativa do relógio é geralmente indicado tanto pela barra de complemento sobre o relógio como pelo círculo de complementação. Em relação ao relógio, às vezes a redundância é removida e apenas um dos símbolos é utilizado. Às vezes, também, nenhum destes simbolismos é utilizado, empregando-se o símbolo que aparece no retângulo do flip-flop mostrado na figura.

O flip-flop mestre-escravo tem um flip-flop (o escravo) que fornece o sinal de saída. Tem também um segundo flip-flop (o mestre) que fornece armazenamento para os dados de entrada. Devido a este armazenamento, os dados de entrada são disponíveis ao escravo quando o relógio está no nível no qual as portas de entrada estão impossibilitadas, e o flip-flop está, portanto, desconectado do mundo externo. Nas seções seguintes consideraremos outros flip-flops nos quais apenas um único flip-flop é empregado (correspondendo ao escravo) e no qual o mecanismo de inibir é fornecido por outros meios.

9.8 O FLIP-FLOP SENSÍVEL À BORDA COM ACOPLAMENTO ca

Nesta seção estudaremos a operação do flip-flop com acoplamento ca assíncrono mostrado na Fig. 9.8-1. Este circuito representa o conceito básico de operação do flip-flop ECL de alta velocidade. Um estudo do circuito ECL real é adiado para a seção 9.18. Na seção 9.9 consideramos o flip-flop síncrono com acoplamento ca que tem a mesma função de um flip-flop mestre-escravo, porém utiliza um único flip-flop.



(a)

$\bar{S}_D$	$\bar{R}_D$	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	Não usado

(b)

FIGURA 9.8-1
(*a*) Um flip-flop com acoplamento capacitivo (ca) e (*b*) tabela da verdade.

Um flip-flop com *acoplamento ca* é aquele no qual os terminais de entrada são acoplados capacitivamente a um flip-flop *RS*, como mostrado na figura. Como resultado, o flip-flop *RS* muda de estado devido à *transição* das entradas *R* ou *S* em vez de ao seu nível. Por isso, o flip-flop com acoplamento ca é geralmente chamado de flip-flop *sensível à borda*. Na Fig. 9.8-1*a* utilizamos portas NOR, pois o circuito é geralmente construído utilizando ECL; entretanto, portas NAND podem ser empregadas também (veja Fig. 9.8-3).

Devido ao acoplamento capacitivo dos dados, níveis fixos nos terminais de entrada não terão efeito no flip-flop. Entretanto, *mudanças* nos níveis lógicos podem ter efeitos. Para

indicar que a resposta, se houver, é relacionada com *mudanças*, as entradas de dados são chamadas (seguindo uso comum) S_D e R_D, os subscritos tendo o significado *Dinâmico*. Isto não deve ser confundido com as entradas *diretas* S_d e R_d discutidas anteriormente.

Notamos anteriormente que, nos casos onde o nível de um sinal lógico é importante, o costume é associar símbolos lógicos aos terminais como variáveis complementada ou não-complementada, de tal maneira que a lógica **1** corresponda à situação em que alguma coisa pode acontecer. No caso onde a *mudança* de um nível para outro é importante, em vez do próprio nível, não há convenção aceita de uma forma geral. Verificamos que é mais consistente, com a prática, geralmente, dar símbolos dinâmicos, de tal maneira que onde um símbolo dinâmico *não-complementado* aparece, ele indica que a mudança será efetiva quando a mudança é *do* nível lógico **1** *para* o nível lógico **0**. De forma correspondente, uma mudança do nível lógico **0** para o nível lógico **1** será não-efetiva. Se a transição efetiva (ou a transição não-efetiva) é positiva ou negativa depende do tipo de portas empregadas.

Finalmente, combinando as convenções que adotamos, notamos o seguinte, por meio de um exemplo. Suponha que um terminal está marcado R_D e está especificado que $R_D = \mathbf{1}$. Iremos então interpretar a afirmação para significar que houve uma transição efetiva no terminal, ou seja, de **1** para **0**. Se, por outro lado, está especificado que $R_D = \mathbf{0}$, entendemos que *ou* houve uma transição *não-efetiva* de **0** para **1** ou *não* houve transição. Uma transição *efetiva* em um terminal marcado $\overline{S}_D$ iria de **0** para **1** e seria representada por $\overline{S}_D = \mathbf{1}$.

Vamos considerar que as portas NOR da Fig. 9.8-1 operam com lógica positiva. Suponha, então, que a tensão em $\overline{S}_D$ ou em $\overline{R}_D$ faça uma transição negativa da lógica **1** para a lógica **0**. Então, uma forma de onda do tipo pulso negativo aparecerá em S ou em R. Como a lógica **0** não é um nível fixo de tensão mas é representada por qualquer tensão menor que uma dada

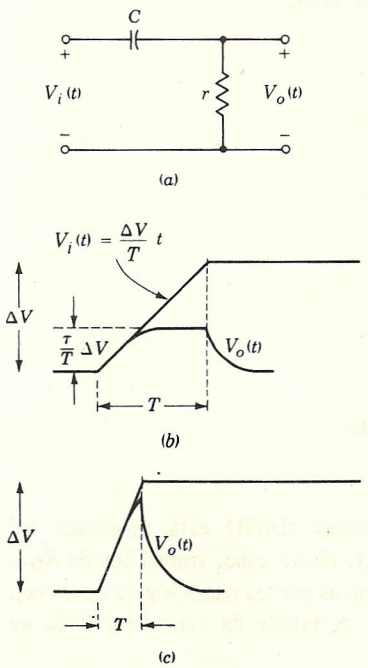


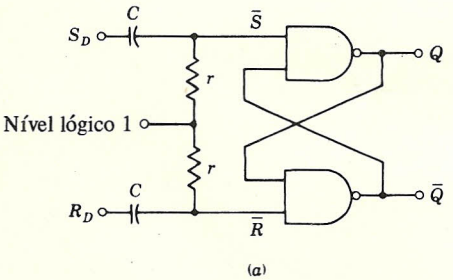
FIGURA 9.8-2
(*a*) O circuito de entrada rC; (*b*) $T \gg \tau$; (*c*) $T \ll \tau$.

tensão limiar, o pulso negativo simplesmente deixará R ou S na lógica **0**. Portanto, uma transição negativa em $\bar{S}_D$ ou $\bar{R}_D$ não terá efeito no flip-flop. Em seguida, suponha que há uma transição positiva, digamos, somente em $\bar{S}_D$ ($\bar{S}_D = \mathbf{1}$, $\bar{R}_D = \mathbf{0}$). Então aparecerá um pulso positivo em S. Se este pulso é de amplitude adequada, S será levado ao nível lógico **1** e o flip-flop irá para o estado SET ou ficará no estado SET se já estiver nele. A queda subseqüente do pulso que retornará S para a lógica **0** não afetará o flip-flop. De forma similar, uma transição positiva somente em $\bar{R}_D$ ($\bar{R}_D = \mathbf{1}$, $\bar{S}_D = \mathbf{0}$) irá restabelecer (RESET) o flip-flop ou o deixará no estado RESET se já estiver nele. A tabela da verdade para o flip-flop é dada na Fig. 9.8-1*b*.

Como na Fig. 9.8-1*a*, $\bar{R}_D$ e $\bar{S}_D$ são aplicadas a um flip-flop RS através de capacitores, é apropriado considerar a situação representada na Fig. 9.8-2*a*. Considere a tensão de entrada $V_i(t)$ como sendo um pulso positivo tendo uma transição positiva que aparenta uma *rampa* de tensão. Então, se o pulso muda em tensão de uma quantidade ΔV em um intervalo de tempo T, a tensão de entrada pode ser escrita como $V_i(t) = (\Delta V/T)t$ durante este intervalo de transição.

A Fig. 9.8-2*b* mostra a tensão de saída $V_o(t)$ quando o tempo de subida é muito maior que a constante de tempo do filtro $\tau = rC$. Neste caso, o filtro atua como um diferenciador, e a saída é um pulso tendo uma amplitude $\tau\Delta V/T$ e uma duração aproximadamente igual a T. A Fig. 9.8-2*c* mostra a tensão de saída $V_o(t)$ quando $T \ll \tau$. Neste caso, a tensão de saída segue a tensão de entrada bastante proximamente e, portanto, atinge um pico de tensão aproximadamente igual a ΔV.

Vemos que, à medida que o tempo de subida do pulso de entrada aumenta, a amplitude do pulso nos terminais R ou S diminui. Como o flip-flop RS necessita uma dada tensão mínima de entrada para mudar de estado, o tempo de subida do sinal de entrada T deve ser menor que um dado valor mínimo. Por exemplo, considere que é necessária uma mudança de nível em S ou R de 0,75 V para mudar o estado do flip-flop; então, se a tensão de entrada varia de 3 V e $\tau = 2$ ns, o tempo de subida T deve ser menor que 8 ns.



(*a*)

S_D	R_D	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	Não usado

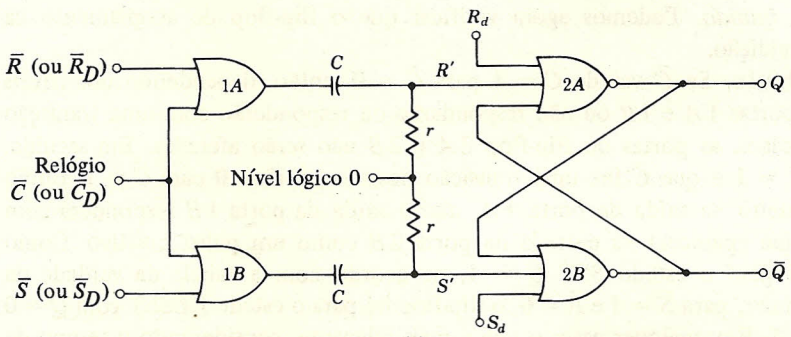
(*b*)

FIGURA 9.8-3
(*a*) Flip-flop sensível à borda utilizando portas NAND e (*b*) tabela da verdade.

Um flip-flop com acoplamento capacitivo utilizando portas NAND está mostrado na Fig. 9.8-3*a*. Note que os resistores estão ligados ao nível lógico **1**. Neste caso, transições de S_D e R_D da lógica **1** para lógica **0** serão efetivas (transições negativas se as portas usam lógica positiva). Portanto, as variáveis dinâmicas aparecem não-complementadas. A tabela da verdade é dada na Fig. 9.8-3*b*.

9.9 O FLIP-FLOP SÍNCRONO COM ACOPLAMENTO ca

Um flip-flop síncrono com acoplamento ca está mostrado na Fig. 9.9-1*a*. O circuito é uma evolução do flip-flop ca da Fig. 9.8-1, a modificação consistindo na adição de duas portas de entrada $1A$ e $1B$. Este flip-flop síncrono tem a configuração básica do flip-flop ECL com acoplamento ca que será discutido na seção 9.18. O circuito pode ser controlado pelos seus terminais diretos de SET e RESET, ou pode ser usado como um flip-flop síncrono ou como um flip-flop assíncrono com acoplamento ca. Como há três modos de utilização, são necessárias três tabelas da verdade para descrever sua operação.



(*a*)

S_d	R_d	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	Não usado

(*b*)

$\overline{S}$	$\overline{R}$	Q_{n+1}
0	0	Não usado
0	1	1
1	0	0
1	1	Q_n

(*c*)

$\overline{C} = 0$		
$\overline{S}_D$	$\overline{R}_D$	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	Não usado

(*d*)

FIGURA 9.9-1
(*a*) Flip-flop síncrono com acoplamento ca; (*b*) operação assíncrona usando as entradas diretas S_d e R_d; (*c*) operação síncrona; (*d*) operação ca assíncrona: $\overline{C} = 0$ quando se deseja este modo de operação.

A tabela da verdade para as entradas diretas de SET e RESET, dada na Fig. 9.9-1*b*, supõe que R' e S' são mantidos em $R' = S' = 0$. Uma forma de assegurar esta condição é manter o relógio $\overline{C}$ na lógica **1**, de modo que as duas portas de entrada estejam impossibilitadas.

A tabela da verdade para operação síncrona está dada na Fig. 9.9-1*c*. Para verificar que a tabela está correta, considere, por exemplo, que $\overline{S} = 0$ e $\overline{R} = 1$. Então a porta $1A$ está inibida, e R' não será afetada pelo relógio, permanecendo sempre em $R' = 0$. Suponha, então, que o relógio $\overline{C}$ faz uma transição da lógica **0** para a lógica **1**. Então S' irá brevemente de **0** para **1**. Com $R' = 0$ e $S' = 1$, Q vai para $Q = 1$, o estado SET. As outras entradas da tabela da verdade podem ser verificadas de forma similar.

Se o nível lógico do relógio é mantido em $C = \mathbf{0}$, as duas portas de entradas são habilitadas e os dados de entrada $\overline{R}$ e $\overline{S}$ podem ser usados exatamente como no flip-flop ca da Fig. 9.8-1. Quando se deseja este tipo de operação, é apropriado, como indicado, remarcar as entradas $\overline{R}$ e $\overline{S}$ com $\overline{R}_D$ e $\overline{S}_D$, respectivamente. A tabela da verdade para esta operação assíncrona sensível à borda é a mesma da Fig. 9.8-1*b* e é repetida na Fig. 9.9-1*d*.

Anteriormente, na seção 9.7, notamos que, em sistemas digitais síncronos, a situação que geralmente prevalece é aquela na qual os dados de entrada de um flip-flop são derivados totalmente, ou em parte, de saídas de outros flip-flops. Notamos além disto que, para assegurar operação correta em tais circunstâncias, os flip-flops do sistema devem ser projetados de tal maneira que a transição de disparo do relógio é a transição que leva as portas de entrada *do nível habilitado para o nível inibido*. Podemos agora verificar que o flip-flop de acoplamento ca realmente satisfaz esta condição.

Referir-se à Fig. 9.9-1*a*. Se $\overline{C}$ vai de $\overline{C} = \mathbf{1}$ para $\overline{C} = \mathbf{0}$, então, dependendo dos níveis em $\overline{S}$ e $\overline{R}$, as saídas das portas $1A$ e $1B$ ou não responderão ou responderão com uma transição negativa. Em ambos os casos, as portas do flip-flop $2A$ e $2B$ não serão afetadas. Em seguida, suponha que $\overline{S} = \mathbf{0}$ e $\overline{R} = \mathbf{1}$ e que $\overline{C}$ faz uma transição positiva de $\overline{C} = \mathbf{0}$ para $\overline{C} = \mathbf{1}$. Então esta transição não terá efeito na saída da porta $1A$, mas a saída da porta $1B$ responderá com uma transição positiva que aparecerá na entrada da porta $2B$ como um pulso positivo. Como resultado, o flip-flop irá para o estado SET $Q = \mathbf{1}$, de acordo com a tabela da verdade da Fig. 9.9-1*c*. De forma similar, para $\overline{S} = \mathbf{1}$ e $\overline{R} = \mathbf{0}$, o flip-flop irá para o estado RESET com $Q = \mathbf{0}$ quando $\overline{C}$ vai de **0** para **1**. Em qualquer caso, o que é mais relevante, considerando o tempo de propagação através do flip-flop, *quando a saída do flip-flop atinge seu novo estado, as portas de entrada já estarão em uma condição inibida como necessário.*

Já mostramos uma diferença entre o flip-flop mestre-escravo e o flip-flop de acoplamento ca, ou seja, que no flip-flop com acoplamento ca há um tempo de transição mínimo para o relógio. Consideramos, agora, uma segunda diferença. No mestre-escravo, os dados de entrada podem mudar a qualquer instante. Os dados podem mudar quando as portas de entrada estão inibidas ou habilitadas. Não interessa quando estas mudanças são feitas e nenhuma mudança aparecerá na saída, exceto na transição de disparo do relógio. Neste instante, os dados aos quais o flip-flop responderá são os dados mais recentes presentes exatamente antes da transição de disparo. Considere agora o flip-flop com acoplamento ca da Fig. 9.9-1; quando $\overline{C} = \mathbf{1}$, de modo que as portas de entrada estão inibidas, estamos novamente livres para atualizar os dados de entrada. Mas, suponha que $\overline{C} = \mathbf{0}$; então uma mudança no sentido positivo em $\overline{S}_D$ ou $\overline{R}_D$ pode afetar as portas $2A$ ou $2B$ do flip-flop, dependendo do estado em que se encontra o flip-flop. Portanto, em um flip-flop com acoplamento ca deve haver precaução de que os dados mudem apenas quando as portas de entrada estão inibidas, isto é, $\overline{C} = \mathbf{1}$.

9.10 UM FLIP-FLOP COM ARMAZENAMENTO CAPACITIVO

Um segundo método pelo qual capacitores são usados em um flip-flop para obter disparo por borda e operação mestre-escravo está mostrado na Fig. 9.10-1. Esta técnica é geralmente empregada com circuitos TTL.

O nível de inibição do relógio é $C = \mathbf{0}$ ($\overline{C} = \mathbf{1}$), pois neste nível de relógio as portas $1A$ e $1B$ estão inibidas. Com $C = \mathbf{0}$, S' e $R' = \mathbf{0}$. Agora, suponha por meio de um exemplo que,

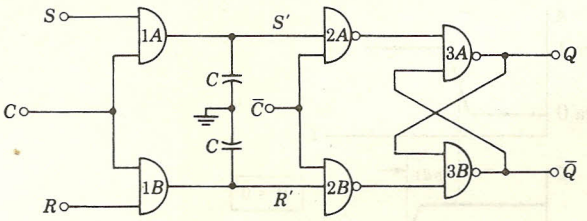


FIGURA 9.10-1
Um flip-flop com armazenamento capacitivo.

quando $C = \mathbf{0}$, $S = \mathbf{1}$ e $R = \mathbf{0}$. Então, quando o relógio for para $C = \mathbf{1}$, carregaremos os capacitores de modo que $S' = \mathbf{1}$ e $R' = \mathbf{0}$. Estes níveis S' e R' não podem ter efeito na saída do flip-flop, pois quando o relógio vai para $C = \mathbf{1}$, $\overline{C}$ torna-se $\overline{C} = \mathbf{0}$ e as portas $2A$ e $2B$ estão inibidas.

Façamos agora o relógio voltar para seu nível de inibição, $C = \mathbf{0}$. Então, se os capacitores não estivessem presentes, S' e R' voltariam imediatamente para $S' = R' = \mathbf{0}$, inibindo as portas $2A$ e $2B$. Os capacitores, entretanto, manterão os níveis $S' = \mathbf{1}$ e $R' = \mathbf{0}$ por um curto intervalo de tempo. Assim quando o relógio voltar para $C = \mathbf{0}$, $\overline{C}$ irá para o estado **1**, a saída da porta $2A$ irá para o nível lógico **0** e a saída da porta $2B$ permanecerá no nível lógico **1**. Portanto, o flip-flop irá para o estado SET, $Q = \mathbf{1}$, se já não estiver nele.

Assim, observamos que os capacitores aqui fornecem o mesmo armazenamento de dados que o fornecido pelo circuito mestre no flip-flop mestre-escravo.

Este circuito com armazenamento capacitivo tem duas limitações. Primeiro, há uma restrição no máximo tempo de descida permitido na forma de onda do relógio C, pois o tempo de descida deve ser pequeno o suficiente para que neste intervalo os capacitores não tenham oportunidade de descarregarem apreciavelmente. Uma segunda restrição é que a largura do pulso de relógio deve exceder um valor mínimo especificado, necessário para assegurar que os capacitores se carregaram a uma tensão suficientemente grande. Os valores típicos são tempo de descida do relógio $t_f \leqslant 150$ ns e a largura do pulso do relógio $\geqslant 20$ ns. Por esta razão, circuitos TTL de velocidades muito altas que operam na faixa de 50 MHz ou acima não empregam armazenamento de carga capacitiva.

9.11 FLIP-FLOPS COM RETARDO DE PROPAGAÇÃO

Discutiremos agora um método adicional de construir um flip-flop sensível à borda. Esta técnica é geralmente empregada com portas RTL. Considere inicialmente o circuito porta da Fig. 9.11-1*a*. Se $B = \mathbf{1}$, então $C = \mathbf{0}$ e $D = \mathbf{0}$, independentemente de A. Então, $B = \mathbf{1}$ *inibe* esta configuração. Em seguida, seja $B = \mathbf{0}$. Neste caso, as duas entradas A e C da porta 2 são sempre complementares. Então, parece que, novamente, D é sempre $D = \mathbf{0}$. Isto não é verdade. Para ilustrar este ponto, suponha que $B = \mathbf{0}$ e que há uma transição de nível em A de $A = \mathbf{0}$ para $A = \mathbf{1}$ como na Fig. 9.11-1*b*. Então (considerando lógica positiva) haverá, como mostrado, uma transição negativa em C. Entretanto, devido ao *retardo de propagação* através da porta 1, a transição em C será um pouco atrasada. Portanto, haverá um intervalo t_{pd1}, como mostrado, onde tanto A como C serão $A = C = \mathbf{1}$, e neste intervalo (depois de algum atraso através da porta 2) teremos $D = \mathbf{1}$.

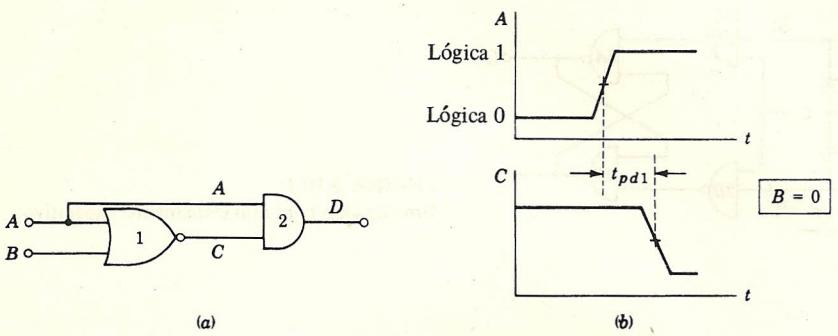
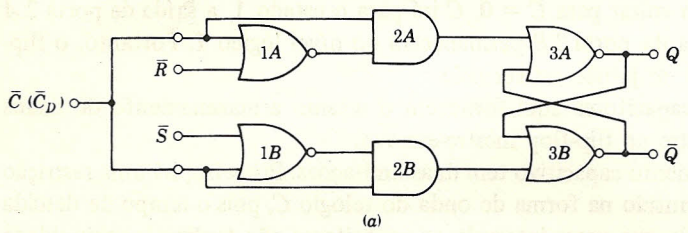


FIGURA 9.11-1
(*a*) Duas portas conectadas para fornecer uma saída **1** por um intervalo aproximadamente igual ao tempo de retardo de propagação da porta 1; (*b*) formas de onda para A e C, quando $B = 0$ para mostrar que $D = 1$ em um intervalo de tempo aproximadamente igual a t_{pd1}.



$\overline{S}$	$\overline{R}$	Q_{n+1}
0	0	Não usado
0	1	1
1	0	0
1	1	Q_n

(*b*)

FIGURA 9.11-2
(*a*) Um flip-flop sensível à borda usando o princípio de retardo de propagação; (*b*) tabela da verdade.

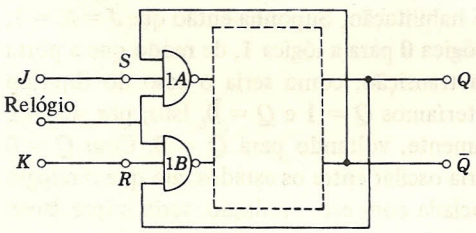
Além disto, pode ser verificado que, com $B = 0$, uma transição *negativa* em A não terá efeito em D e que, com $B = 1$, tanto uma transição positiva quanto uma transição negativa não terá efeito em D. Esta situação é similar à descrita em relação à Fig. 4.12-3.

A estrutura de duas portas da Fig. 9.11-1*a* está incorporada no flip-flop da Fig. 9.11-2*a*. O nível de relógio $\overline{C} = 1$ é o nível inibidor. Pois com $\overline{C} = 1$ as portas $1A$ e $1B$ estão inibidas e $\overline{S}$ e $\overline{R}$ podem mudar sem afetar o estado do flip-flop. Como já foi visto, uma transição negativa em C, de $\overline{C} = 1$ para $\overline{C} = 0$, não terá efeito nas saídas das portas $2A$ e $2B$ quaisquer que sejam os níveis lógicos de $\overline{S}$ e $\overline{R}$. Agora suponhamos, por exemplo, que $\overline{S} = 0$ e $\overline{R} = 1$. Então, quando $\overline{C}$ faz uma transição positiva de $\overline{C} = 0$ para $\overline{C} = 1$, haverá um intervalo de tempo em que a saída da porta $2B$ vai para o nível lógico **1**. Como conseqüência, o flip-flop irá para o estado SET com $Q = 1$ ($\overline{Q} = 0$).

Analogamente aos flip-flops envolvendo capacitores, os flip-flops com retardo de propagação põem uma restrição no máximo tempo de subida permitido do relógio. A tabela da verdade descrevendo a operação do sistema está mostrada na Fig. 9.11-2*b*.

9.12 O FLIP-FLOP JK

Cada um dos flip-flops síncronos já discutidos tem um par de portas de entrada cujas entradas são a forma de onda do relógio junto com os dados de entrada. Por exemplo, na Fig. 9.6-2*a* as portas de entrada são portas NAND, uma com entradas S e C, a outra com entradas R e C. Uma situação similar aplica-se à Fig. 9.7-2, onde as portas são chamadas $1A$ e $1B$. Na Fig. 9.9-1, são usadas portas NOR e as entradas são $\overline{C}$ e $\overline{S}$ e $\overline{C}$ e $\overline{R}$.



(*a*)

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q}_n$

(*b*)

FIGURA 9.12-1
(*a*) O flip-flop *JK*.
(*b*) Tabela da verdade.

Na Fig. 9.12-1 mostramos um flip-flop síncrono com uma modificação. O retângulo tracejado representa o flip-flop completo com exceção das duas portas de entrada que são mostradas explicitamente. Foram consideradas aqui portas NAND, mas outros tipos poderiam também ser utilizados. A modificação consiste em fornecer um terminal de entrada adicional em cada porta e fazer ligações das saídas do flip-flop para estas entradas, como mostrado. O terminal de dado previamente identificado como S é agora chamado de J, e o terminal de dado R é agora chamado de K.

Na ausência destas modificações, os níveis lógicos em S e R "dirigiam" o sinal do relógio. Isto é, dependendo de S e R, uma das portas $1A$ e $1B$ era habilitada, e o relógio acionava ou repunha (RESET) o flip-flop. O propósito da modificação é fazer com que a direção do relógio seja determinada não só por S e R mas também pelo estado do flip-flop.

A operação do flip-flop *JK* pode ser determinada da tabela da verdade dada na Fig. 9.12-1*b*. Primeiro, seja $J = K = \mathbf{0}$. Então, as duas portas de entrada estão inibidas e o relógio não mudará o estado do flip-flop. Portanto, $Q_{n+1} = Q_n$.

Em seguida, suponha que $J = \mathbf{0}$ e $K = \mathbf{1}$ e que o flip-flop está no estado RESET com $Q = \mathbf{0}$. Então a porta $1A$ está inibida porque $J = \mathbf{0}$ e $1B$ está inibida porque $Q = \mathbf{0}$. Portanto, o relógio não irá tirar o flip-flop do estado RESET. Suponha, agora, que $J = \mathbf{0}$ e $K = \mathbf{1}$ como anteriormente, mas o flip-flop está no estado SET com $Q = \mathbf{1}$. Então a porta $1B$ de RESET está habilitada e o relógio causará a transferência do flip-flop para o estado RESET com $Q = \mathbf{0}$. De forma similar, com $J = \mathbf{1}$ e $K = \mathbf{0}$, o relógio acionará o flip-flop se este já não estiver no estado SET.

Finalmente, seja $J = K = \mathbf{1}$. Então, qualquer uma das portas $1A$ ou $2A$ está habilitada dependendo inteiramente de Q_n e $\bar{Q}_n$, isto é, do estado do flip-flop. Se $Q_n = \mathbf{0}$, então $1A$ está habilitada. O relógio acionará o flip-flop para $Q_{n+1} = \mathbf{1}$. Se $Q_n = \mathbf{1}$, o relógio irá repor (RESET) o flip-flop para $Q_{n+1} = \mathbf{0}$. Assim, cada ciclo do sinal do relógio mudará o estado do flip-flop. A palavra *TOGGLE* (cuja tradução é alavanca articulada) é usada para descrever esta mudança de estado induzida em cada ciclo de relógio. Note que na tabela da verdade do flip-flop *JK*, $J = K = \mathbf{1}$ especifica $Q_{n+1} = \bar{Q}_n$. Note também que nesta tabela da verdade, ao contrário das tabelas da verdade para os flip-flops *SR*, não há combinações de entradas de dados para os quais encontramos o termo "não usado".

Vamos agora analisar com mais detalhe o modo de operação TOGGLE do flip-flop *JK*. Ao fazer isto, voltaremos novamente a verificar a necessidade do tipo de operação mestre-escravo discutido nas seções 9.7 até 9.11, no qual o estado de saída do flip-flop muda quando o relógio *C* vai para o nível de *inibição*.

No flip-flop da Fig. 9.12-1, como portas NAND são usadas na entrada, o nível lógico **0** do relógio é o nível de inibição, e a lógica **1** é o nível de habilitação. Suponha então que $J = K = \mathbf{1}$, $Q = \mathbf{0}$ e $\bar{Q} = \mathbf{1}$. Considere agora que o relógio sobe da lógica **0** para a lógica **1**, de modo que a porta $1A$ está habilitada. Se o flip-flop respondesse a esta transição, como seria o caso do flip-flop mostrado na Fig. 9.6-2, o flip-flop seria acionado e teríamos $Q = \mathbf{1}$ e $Q = \mathbf{0}$. Isto, por sua vez, habilitaria a porta $1B$ e o flip-flop responderia novamente, voltando para $Q = \mathbf{0}$. Com $Q = \mathbf{0}$ iniciaria tudo de novo. O resultado é que o flip-flop iria oscilar entre os estados, até que o relógio retornasse para a lógica **0**. Além da desvantagem associada com esta oscilação, seria imprevisível o estado final no qual o flip-flop terminaria.

Por outro lado, se os níveis de saída do flip-flop mudassem apenas depois que o relógio voltasse para o nível de inibição, estas dificuldades seriam contornadas. Pois quando Q e $\bar{Q}$ tivessem mudado, mudança que iria trocar a condição habilitada-inibida das portas $1A$ e $1B$, o relógio já teria caído e as duas portas de entrada estariam portanto inibidas. Na verdade, não seria possível ter-se um flip-flop *JK* exceto com um flip-flop que tem a característica de disparo quando o relógio vai para o nível de inibição, como na configuração mestre-escravo.

9.13 O FLIP-FLOP TIPO D

É freqüentemente necessário atrasar um sinal digital no tempo pela duração de um ciclo de relógio. Esta operação pode ser executada utilizando um flip-flop *SR* ou um *JK*, ligados como mostrado na Fig. 9.13-1*a*. O sinal lógico, isto é, os dados, é aplicado ao terminal *S* de um flip-flop *SR* ou ao terminal *J* de um flip-flop *JK*. O complemento dos dados é então aplicado ao terminal *R* ou *K*. Se em um dado instante o dado *D* é $D = \mathbf{0}$, então, depois da transição de disparo do próximo ciclo de relógio, temos $Q = D = \mathbf{0}$. Pois com $S = \mathbf{0}$, $R = \mathbf{1}$ (ou com $J = \mathbf{0}$, $K = \mathbf{1}$) o flip-flop vai para o estado RESET. De forma similar, com $D = \mathbf{1}$, a próxima transição de disparo acionará o flip-flop para $Q = \mathbf{1}$.

As formas de onda apropriadas estão mostradas na Fig. 9.13-1*c*. Aqui considerou-se que a transição negativa do relógio é a transição de disparo. É portanto o caso em que os dados presentes, quando o relógio está no estado **1**, são transferidos para a saída do flip-flop durante a transição negativa do relógio (em um flip-flop sensível à borda) ou quando o relógio volta para o nível **0** (em um flip-flop mestre-escravo). Com estas hipóteses, é facilmente verificado que,

com a seqüência de dados fornecida, a saída Q é como mostrado, isto é, idêntica aos dados exceto que está atrasada de um ciclo de relógio.

Na Fig. 9.13-1*c* fizemos parecer que as bordas de disparo da forma de onda do relógio ocorrem precisamente no instante no qual os dados estão variando. Se realmente isto acontecesse, a resposta do flip-flop seria ambígua. Na prática, as mudanças nos dados ocorreriam um pouco *depois* da transição de disparo. O tempo de atraso seria da ordem do retardo de propagação de uma porta ou de algum outro flip-flop. Este seria o atraso encontrado se o próprio atraso fosse obtido da saída de outro flip-flop acionado pelo mesmo relógio. Além disto, há um atraso (não indicado na figura) entre a saída Q e a borda de disparo do relógio.

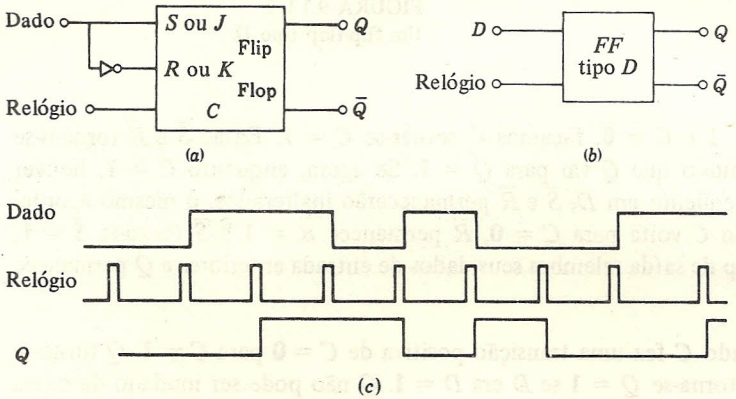


FIGURA 9.13-1
(*a*) O flip-flop *D*; (*b*) símbolo para o flip-flop tipo *D*, e (*c*) formas de onda.

Esta operação de atraso não requer do flip-flop a total versatilidade disponível em um flip-flop tipo mestre-escravo *SR* ou *JK*. Portanto, no projeto de um flip-flop destinado apenas para a presente aplicação, pode-se obter alguma economia. Este flip-flop especial é chamado de flip-flop tipo *D* (inicial de *delay*, atraso em inglês) e é representado pelo símbolo mostrado na Fig. 9.13-1*b*.

Um diagrama de um flip-flop tipo *D* está mostrado na Fig. 9.13-2, e vamos agora analisar sua operação. O flip-flop de saída que fornece Q e $\bar{Q}$ consiste nas portas NAND $3A$ e $3B$, enquanto as portas $1A$, $1B$ e $2A$, $2B$ são dois flip-flops de comando interconectados. Pode ser agora verificado (Prob. 9.13-1) que as seguintes afirmações são válidas:

1. Quando $C = \mathbf{0}$, $\bar{S} = \bar{R} = \mathbf{1}$ independentemente de D. Portanto, as portas $3A$ e $3B$ estão inibidas, e é permitido qualquer estado do flip-flop. Este resultado não depende da seqüência pela qual chegamos à condição $C = \mathbf{0}$. Com qualquer estado permitido, a saída Q depende, portanto, do passado e $Q_{n+1} = Q_n$.
2. Começando com $D = \mathbf{0}$ e $C = \mathbf{0}$, façamos C tornar-se $C = \mathbf{1}$. Então $\bar{S}$ e $\bar{R}$ tornam-se $\bar{S} = \mathbf{1}$ e $\bar{R} = \mathbf{0}$, de modo que Q vai para $Q = \mathbf{0}$. Se agora, enquanto $C = \mathbf{1}$, houver alguma mudança subseqüente em D, $\bar{S}$ e $\bar{R}$ permanecerão inalterados, o mesmo acontecendo com Q. Quando C volta para $C = \mathbf{0}$, $\bar{S}$ permanece $\bar{S} = \mathbf{1}$ e $\bar{R}$ torna-se $\bar{R} = \mathbf{1}$, de modo que o flip-flop de saída relembra seus dados de entrada anteriores e Q permanece $Q = \mathbf{0}$.

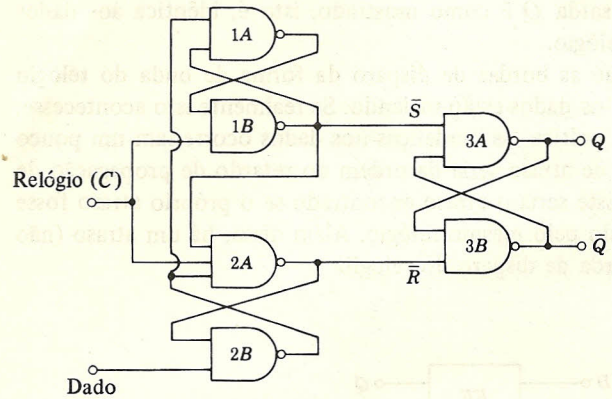


FIGURA 9.13-2
Um flip-flop tipo *D*.

3. Começando com $D = 1$ e $C = 0$, façamos C tornar-se $C = 1$. Então $\bar{S}$ e $\bar{R}$ tornam-se $\bar{S} = 0$ e $\bar{R} = 1$, de modo que Q vai para $Q = 1$. Se agora, enquanto $C = 1$, houver alguma mudança subseqüente em D, $\bar{S}$ e $\bar{R}$ permanecerão inalterados, o mesmo acontecendo com Q. Quando C volta para $C = 0$, $\bar{R}$ permanece $\bar{R} = 1$ e $\bar{S}$ torna-se $\bar{S} = 1$, de modo que o flip-flop de saída relembra seus dados de entrada anteriores e Q permanece em $Q = 1$.

Em resumo, então, quando C faz uma transição positiva de $C = 0$ para $C = 1$, Q torna-se $Q = 0$ se D era $D = 0$, e Q torna-se $Q = 1$ se D era $D = 1$. Q não pode ser mudado de outra forma. Mudanças em D quando $C = 1$ não afetam Q. Portanto, exceto pelo fato de, no caso presente, o disparo ocorrer na transição positiva do relógio, o comportamento é precisamente como o discutido em relação à Fig. 9.13-1.

Como notamos, quando um flip-flop responde à transição de disparo do relógio, o flip-flop deve então encontrar-se em uma situação na qual ele não pode mais responder a uma nova mudança nos dados de entrada. Nos flip-flops discutidos anteriormente, esta condição é obtida fazendo com que a transição de disparo iniba as portas de entrada nas quais os dados de entrada são aplicados. No caso presente do flip-flop tipo *D*, esta condição é também obtida, pois, como vimos, o flip-flop responde quando C vai para 1, mas com $C = 1$ o flip-flop não responde a mudanças em *D*. Portanto, o flip-flop tipo *D*, como os outros, é apropriado para uso em um sistema síncrono no qual a entrada *D* é derivada em parte ou totalmente da saída de outros flip-flops.

O flip-flop tipo *D* mostrado na Fig. 9.13-2 é construído utilizando portas NAND (TTL ou DTL) e é sensível ao nível do relógio. São disponíveis também flip-flops tipo *D* que empregam portas NOR (ECL ou RTL). Além disto, variedades sensíveis à borda podem ser obtidas utilizando tanto lógica NAND como lógica NOR.

9.14 UM FLIP-FLOP *SR* RTL

Nesta seção e nas seguintes analisaremos o circuito de alguns flip-flops representativos disponíveis comercialmente em circuito integrado. Flip-flops, como vimos, são coleções de portas.

Uma porta projetada para uso em situações imprevisíveis terá um circuito com a forma que consideramos anteriormente com algum detalhe. Entretanto, quando uma porta usada internamente em um flip-flop e, portanto, em uma situação bastante específica e definida, é às vezes possível fazer economias.

Um flip-flop *SR* assíncrono utilizando portas NOR RTL está mostrado na Fig. 9.14-1. São empregadas portas NOR RTL de duas entradas, e o circuito é uma realização direta do flip-flop da Fig. 9.1-1.

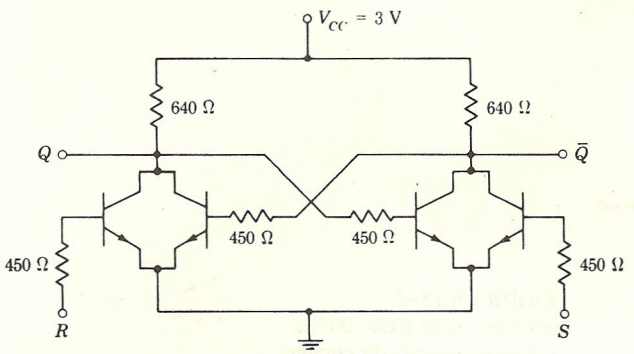
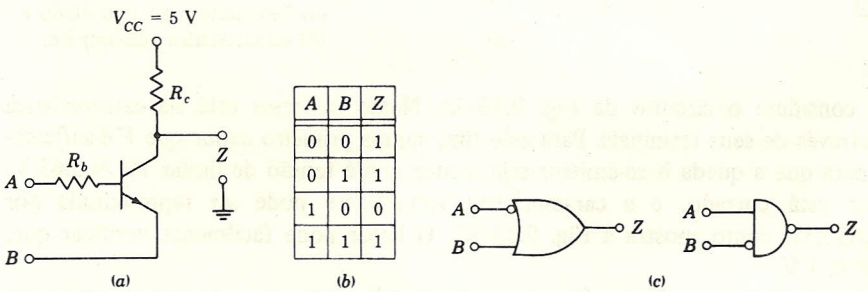


FIGURA 9.14-1
Um flip-flop *RS* RTL.

9.15 UM FLIP-FLOP DTL

Como um exemplo de um flip-flop DTL vamos considerar o Motorola tipo 931, um flip-flop síncrono que pode ser usado no modo *JK*. Antes de examinar o circuito deste flip-flop, será interessante considerar algumas matérias preliminares.



A	B	Z
0	0	1
0	1	1
1	0	0
1	1	1

FIGURA 9.15-1
(*a*) Uma porta com um transistor; (*b*) tabela da verdade e (*c*) representação do circuito.

Primeiro, vamos considerar a utilização como porta do circuito de um único transistor indicado na Fig. 9.15-1*a*. Tensões representando as variáveis lógicas *A* e *B* são aplicadas, como mostrado, entre base e terra e entre emissor e terra. A saída da porta é *Z*, obtida entre coletor e terra. Seja o nível de tensão representando a lógica **0** a tensão de um transistor saturado, ou

seja, alguns décimos de volts. Seja o nível de tensão representando a lógica **1** uma tensão adequada (quando aplicada em A quando B está na lógica **0**) para saturar o transistor. Então, como pode ser verificado, a tabela da verdade para a porta é a dada na Fig. 9.15-1*b*, e a função da porta é, portanto, $Z = \overline{A} + B = \overline{AB}$. Esta função está representada pelos símbolos de porta mostrados na Fig. 9.15-1*c*.

Em seguida, considere a porta mostrada na Fig. 9.15-2*a*. Com níveis de tensões como os especificados acima, Z estará na lógica **0** se ou A ou B estiver na lógica **1**. Portanto, como mostrado na Fig. 9.15-2*b*, este circuito é uma porta NOR.

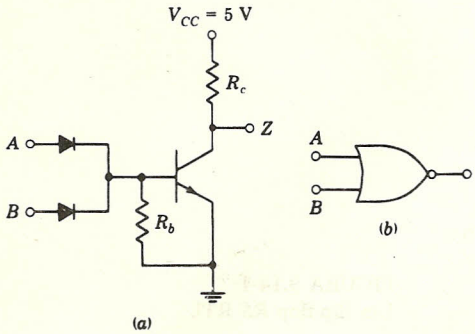


FIGURA 9.15-2
(*a*) Uma porta NOR DTL e
(*b*) representação do circuito.

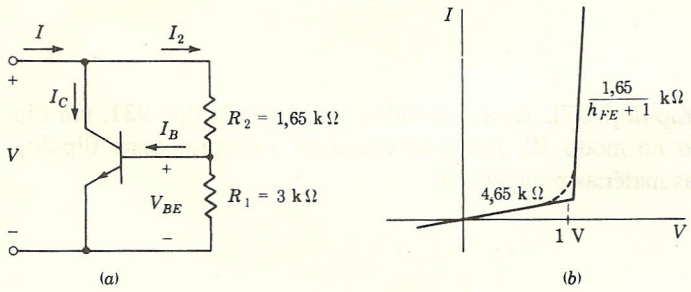


FIGURA 9.15-3
(*a*) Um circuito do tipo diodo e
(*b*) característica volt-ampère.

Finalmente, considere o circuito da Fig. 9.15-3*a*. Nosso interesse está na característica volt-ampère vista através de seus terminais. Para este fim, vamos primeiro supor que V é suficientemente pequena para que a queda base-emissor seja menor que a tensão de limiar $V_\gamma \approx 0{,}65$ V. Então o transistor está cortado, e a característica volt-ampère pode ser representada por um resistor de 4,65 kΩ, como mostra a Fig. 9.15-3*b*. O leitor pode facilmente verificar que, para $V_{BE} \leqslant V_\gamma$, $V \leqslant 1$ V.

Vamos considerar agora que V é suficientemente grande para que o transistor esteja em sua região ativa. Então $V_{BE} = 0{,}7$ V. Neste modo de operação, a corrente $I = I_C + I_2$, onde $I_C = h_{FE} I_B$, $I_2 = (V - 0{,}7)/1{,}65$ mA, e $I_B = I_2 - 0{,}7/3$ mA. Portanto,

$$I = \frac{h_{FE} + 1}{1.650} V - \left[\frac{0{,}7}{1.650} (h_{FE} + 1) + \frac{0{,}7}{3.000} h_{FE} \right] \tag{9.15-1}$$

A inclinação da característica volt-ampère nesta região é, portanto, a de um resistor linear com uma resistência de $1.650/(h_{FE} + 1)$. Se $h_{FE} \approx 40$, este resistor é de aproximadamente 40 Ω.

O leitor deve notar que a característica volt-ampère mostrada na Fig. 9.15-3*b* é similar a de um diodo. Entretanto, a descontinuidade ocorre em 1 V em vez de em $V_\gamma = 0{,}65$ V. Além disto, este circuito é mais versátil do que um diodo, pois seus dois modos de operação resultam em dois resistores de valores fixos, enquanto a resistência de um diodo varia continuamente. Além do mais, os valores dos dois resistores e a tensão de descontinuidade são facilmente controlados.

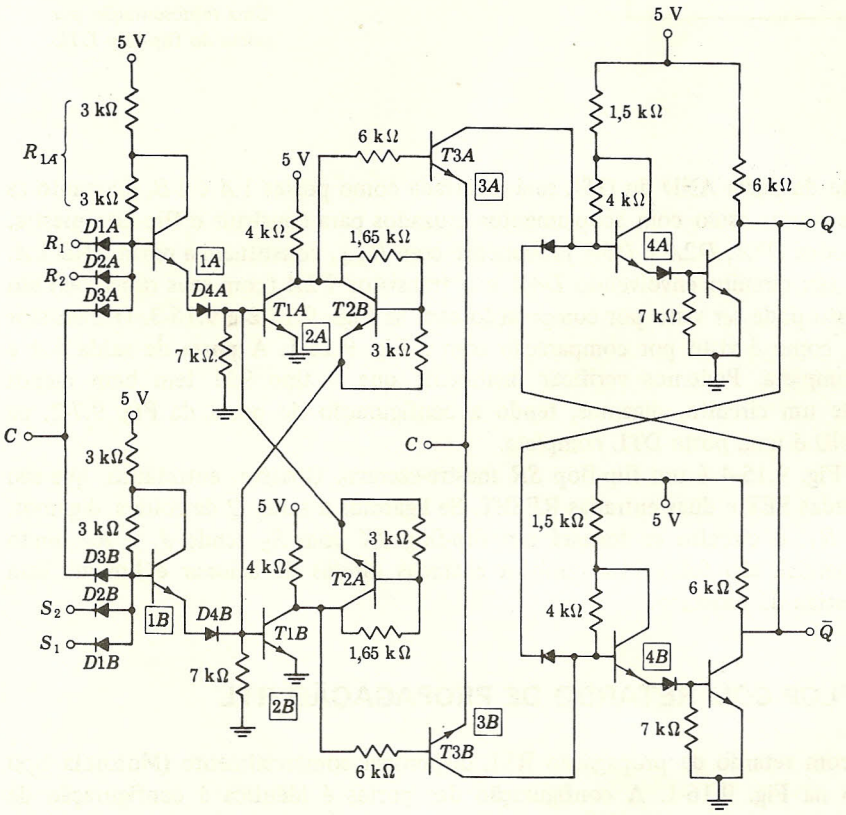


FIGURA 9.15-4
Um flip-flop *RS* mestre-escravo (931 da Motorola).

Retornando agora ao flip-flop mostrado na Fig. 9.15-4, verificamos que esta unidade é um flip-flop mestre-escravo que usa portas com a configuração da Fig. 9.15-5. Este circuito é diferente daquele considerado na Fig. 9.7-2. Entretanto, como pode ser verificado (Prob. 9.15-1), esta configuração funcionará como um flip-flop mestre-escravo tão efetivamente quanto o circuito da Fig. 9.7-2.

Vamos agora investigar o diagrama da Fig. 9.15-4 para mostrar que a representação da Fig. 9.15-5 está correta. As várias seções do circuito que executam funções de porta foram marcadas para corresponder com os nomes das portas na Fig. 9.15-5. Deve ser lembrado que a porta DTL consiste em uma porta AND de resistor e diodo seguida por um transistor inversor.

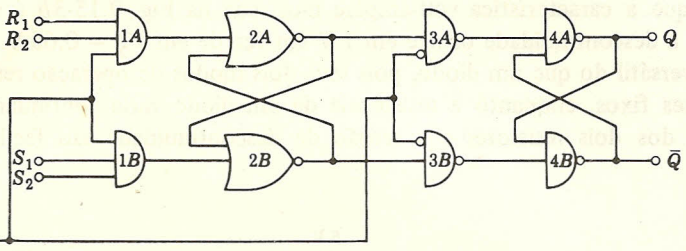


FIGURA 9.15-5
Uma representação por porta do flip-flop DTL.

No tipo 931, a parte da porta AND do DTL está mostrada como portas $1A$ e $1B$, enquanto as partes inversoras das portas estão com acoplamentos cruzados para construir o flip-flop mestre. Na Fig. 9.15-4 os diodos $D1A$, $D2A$ e $D3A$ juntamente com R_{1A}, constituem a porta AND $1A$. O transistor $T1A$ e seu circuito envolvendo $D4A$ e o transistor $T2A$ (com seus resistores) são a porta NOR $2A$. Isto pode ser visto por comparação com as Figs. 9.15-2 e 9.15-3. O transistor $T3A$ é a porta $3A$, como é visto por comparação com a Fig. 9.15-1. A porta de saída $4A$ é uma porta DTL completa. Podemos verificar facilmente que o tipo 931 tem bem menos componentes do que um circuito, digamos, tendo a configuração de porta da Fig. 9.7-2, na qual toda porta NAND é uma porta DTL completa.

O circuito da Fig. 9.15-4 é um flip-flop *SR* mestre-escravo. Observe, entretanto, que são fornecidas duas entradas SET e duas entradas RESET. Se ligarmos a saída $\bar{Q}$ de volta a, digamos, S_1 e Q de volta a R_1, o circuito se tornará um flip-flop *JK* com S_2 sendo J, e R_2 sendo K. No circuito comercial, são fornecidas também entradas diretas de acionar e limpar. Esta característica foi omitida do esquema.

9.16 UM FLIP-FLOP COM RETARDO DE PROPAGAÇÃO RTL

Um flip-flop com retardo de propagação RTL disponível comercialmente (Motorola tipo 926) está mostrado na Fig. 9.16-1. A configuração das portas é idêntica à configuração da Fig. 9.11-2. Entretanto, neste circuito, cada porta NOR de entrada tem um terminal adicional que é ligado a Q e $\bar{Q}$ para construir um flip-flop *JK*.

O transistor $T0$ é simplesmente um estágio BUFFER feito para reduzir a carga para o relógio. Não é essencial para a operação. Entretanto, como ele inverte o sinal do relógio, o flip-flop dispara na transição negativa do relógio em vez de na transição positiva. Os transistores $T1A$, $T2A$, $T3A$ e os transistores $T1B$, $T2B$, $T3B$ formam as duas portas NOR de três entradas.

Os transistores $T4A$ e $T4B$ funcionam como portas AND. Para verificar que isto é verdade, considere a situação representada na Fig. 9.16-2*a*. Aqui, como com $T4A$ e $T4B$, os níveis lógicos de entrada são aplicados à base e ao coletor de um transistor. A saída Z da porta é obtida através do resistor de emissor. Com níveis lógicos como os encontrados em RTL, podemos verificar que a tabela da verdade para esta porta é a dada na Fig. 9.16-2*b* e, portanto, o circuito constitui uma porta AND.

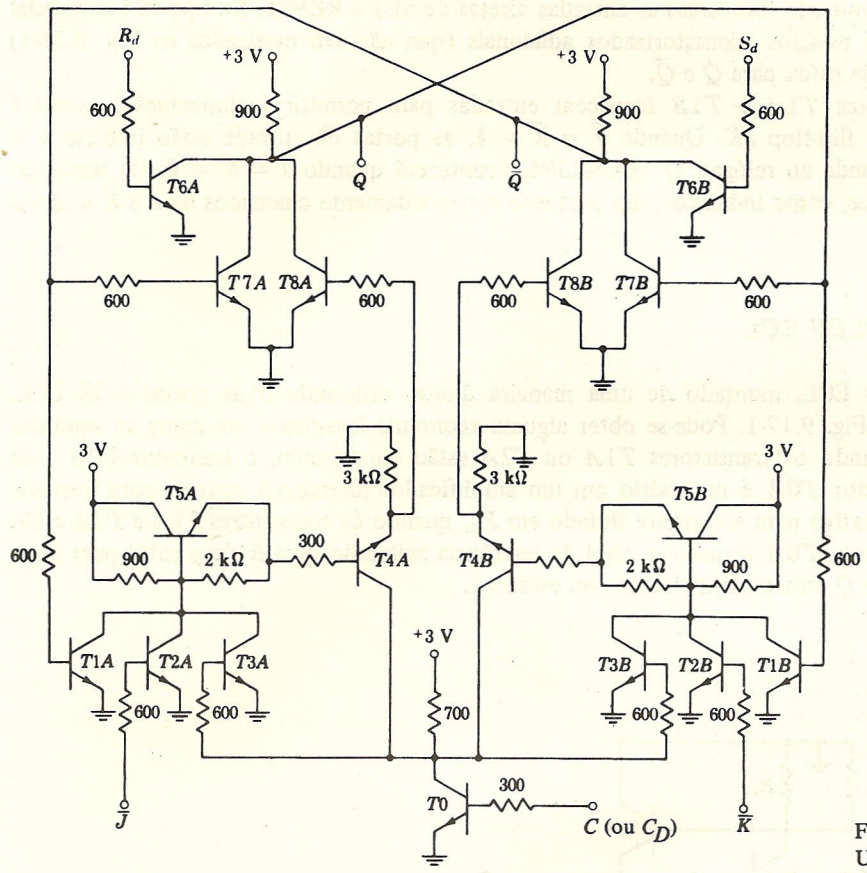
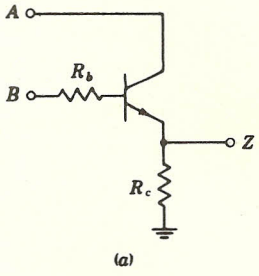


FIGURA 9.16-1
Um flip-flop *JK* RTL.



(a)

A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1

(b)

FIGURA 9.16-2
(*a*) Uma porta AND com um transistor e (*b*) tabela da verdade.

Os transistores *T5A* e *T5B* são utilizados para acoplar a porta NOR de entrada (*T*1, *T*2 e *T*3) à porta AND *T*4. A operação deste circuito de acoplamento já foi discutida anteriormente na seção 9.15.

Os transistores *T6A*, *T7A*, *T8A* e *T6B*, *T7B*, *T8B*, juntamente com seus resistores associados, correspondem às portas NOR com acoplamento cruzado que constituem o flip-flop

de saída. Observe que são fornecidas as entradas diretas de SET e RESET. No tipo 926 comercial são incluídos dois estágios transistorizados adicionais (que não são mostrados na Fig. 9.16-1) como BUFFERS de saída para Q e $\bar{Q}$.

Os transistores $T1A$ e $T1B$ fornecem entradas para permitir realimentação, como é necessária em um flip-flop JK. Quando $\bar{J} = \bar{K} = \mathbf{1}$, as portas de entrada estão inibidas e o flip-flop não responde ao relógio. O TOGGLING acontecerá quando $\bar{J} = \bar{K} = \mathbf{0}$. Os terminais de entrada de dados, como indicados, são portanto apropriadamente chamados de $\bar{J}$ e $\bar{K}$ e não J e K.

9.17 O FLIP-FLOP ECL

Um flip-flop ECL, montado de uma maneira direta, utilizando duas portas NOR ECL, está mostrado na Fig. 9.17-1. Pode-se obter alguma economia levando-se em conta as seguintes considerações: quando os transistores $T1A$ ou $T2A$ estão conduzindo, o transistor $T0A$ está cortado. O transistor $T0A$ é necessário em um amplificador diferencial comum para fornecer um caminho alternativo para a corrente fluindo em R_e, quando os transistores $T1A$ e $T2A$ estão cortados. Além disto, $T0A$ fornece o nível de referência acima do qual R deve subir para fazer Q ir para $Q = \mathbf{0}$ se Q estava originalmente no estado **1**.

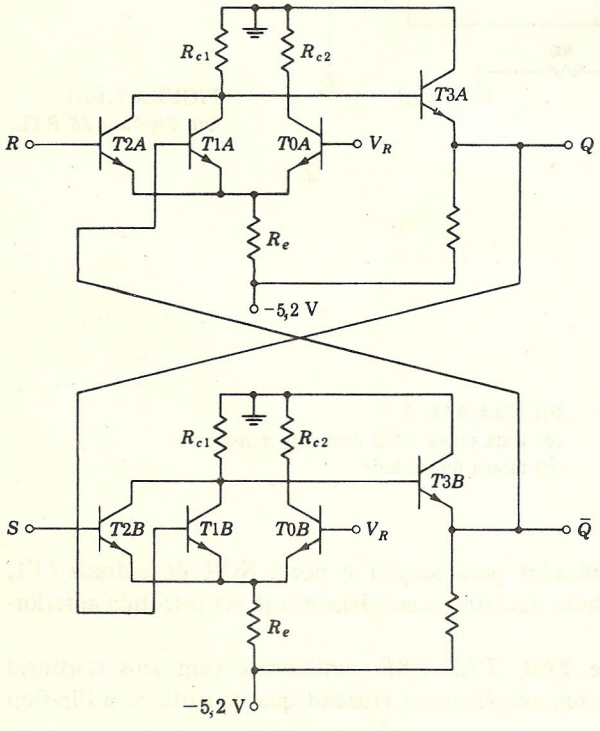


FIGURA 9.17-1
Um flip-flop ECL com portas interligadas.

Na aplicação especial presente, notamos que, com $S = R = \mathbf{0}$, e, por exemplo, com $Q = \mathbf{1}(-0{,}76\text{ V})$ e $\bar{Q} = \mathbf{0}(-1{,}58\text{ V})$, os emissores de $T1A$ e $T2A$ estão em $V_R - V_{BE}(T0A) \approx -1{,}9$ V (pois $V_R = -1{,}175$ V), enquanto os emissores de $T1B$ e $T2B$ estão em $V_Q - V_{BE}(T1B) = -1{,}5$ V. Como as tensões de emissores estão próximas, vamos analisar a possibilidade de remover os transistores de referência $T0A$ e $T0B$ e interligar os emissores de $T1A$, $T1B$, $T2A$ e $T2B$. Se isto for feito, haverá sempre disponível um caminho de corrente (pois $T1A$ ou $T1B$ estariam sempre conduzindo) e, além disto, uma tensão de referência estaria sempre disponível.

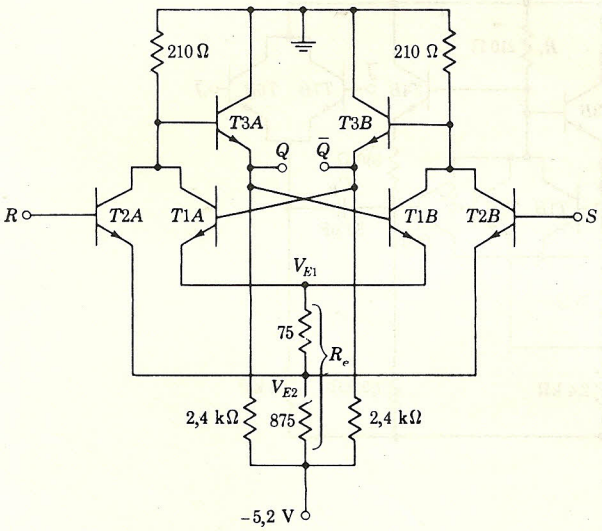


FIGURA 9.17-2
Um flip-flop ECL.

Um flip-flop ECL, que leva em consideração a economia obtida pela eliminação dos transistores $T0A$ e $T0B$, está mostrado na Fig. 9.17-2. Comparando as Figs. 9.17-1 e 9.17-2, vemos que os transistores $T0A$ e $T0B$ foram removidos e que os resistores de emissores estão ligados juntos. Na verdade, o circuito mostra que os emissores de $T2A$ e $T2B$ estão interligados em um potencial um pouco negativo em relação aos emissores de $T1A$ e $T1B$. A razão para isto é a seguinte: suponha que $Q = \mathbf{1}$ e $\bar{Q} = \mathbf{0}$ e que $R = S = \mathbf{0}$. Então $T1B$ está conduzindo e $T2A$, $T1A$ e $T2B$ estão cortados. Assim, o nível de tensão de $Q = -0{,}76$ V, e a tensão $V_{E1} = -1{,}5$ V. Portanto, a tensão $V_{E2} = V_{E1} - (V_{E1} + 5{,}2)[75/(75 + 875)] \approx -1{,}8$ V. Como R está na lógica **0**, a tensão de $R = -1{,}58$ V, e enquanto $T2A$ está cortado, a tensão base-emissor de $T2A$ é $-1{,}58 - (-1{,}8) = 0{,}22$ V. Esta pequena polarização direta diminui o tempo de retardo de propagação. Note que, se os emissores de $T1$ e $T2$ estivessem ligados no mesmo ponto, a tensão base-emissor dos transistores que estão cortados seria $-1{,}58 - (-1{,}5) \approx -0{,}08$ V. Notamos que a tensão V_{E2} fornece o nível de referência para as entradas SET e RESET. Assim, o nível de referência na Fig. 9.17-1, que é fornecido por $T0$, é aproximadamente $-1{,}9$ V, enquanto o nível de referência na Fig. 9.17-2 é fornecido por Q ou $\bar{Q}$, o que estiver no estado **1**, em $-1{,}8$ V, um valor não muito diferente.

9.18 UM FLIP-FLOP *JK* ECL COM ACOPLAMENTO ca

Um flip-flop *JK* ECL está mostrado na Fig. 9.18-1. Os valores dos componentes são os típicos do Motorola tipo 308. Os transistores $T1$, $T2$ e $T3$ têm a mesma função dos transistores do circuito da Fig. 9.17-2. O leitor deve verificar que este flip-flop está construído de acordo com o padrão da Fig. 9.9-1. Aqui os transistores $T6$ e $T7$ e seus resistores de emissor de 2 kΩ constituem as portas OR de entrada. Entretanto, neste caso chamamos as entradas de $\overline{J}$ e $\overline{K}$ em vez de $\overline{S}$ e $\overline{R}$. O terminal do relógio é obtido interligando um terminal de entrada $\overline{J}$ e um terminal de entrada $\overline{K}$ (veja Fig. 9.9-1) como está indicado na Fig. 9.18-1*b*.

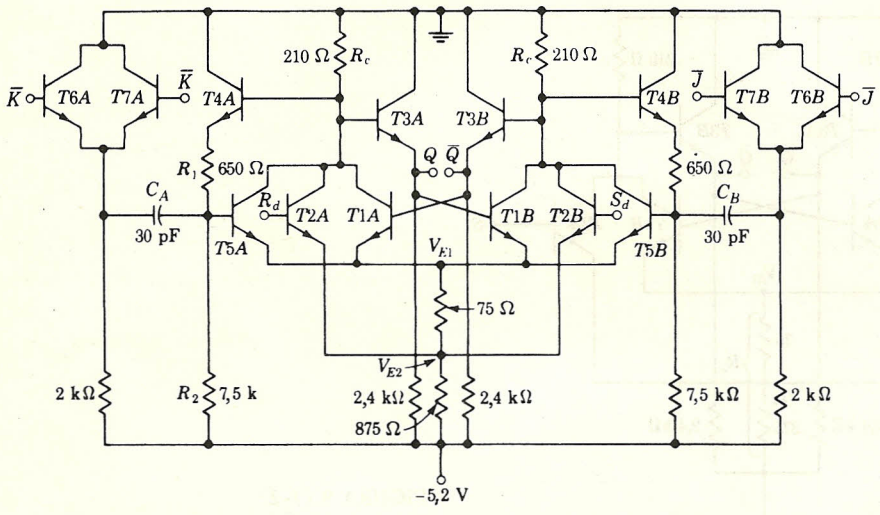


FIGURA 9.18-1
(*a*) Um flip-flop ECL com acoplamento ca; (*b*) um terminal $\overline{J}$ e um terminal $\overline{K}$ interligados para obter a entrada de relógio.

Suponha que desejamos modificar o flip-flop da Fig. 9.9-1 para fazer um flip-flop que seja capaz de mudar de estados a cada pulso do relógio (TOGGLE). Então providenciaríamos ligações de realimentação das saídas Q e $\overline{Q}$ para entradas adicionais das portas de entrada como na Fig. 9.12-1. No caso presente, entretanto, a realimentação é ligada no lado da entrada das portas $2A$ e $2B$. Na Fig. 9.18-1 as bases de $T5A$ e $T5B$ são respectivamente as entradas R' e S' das portas $2A$ e $2B$. O resistor único r ligado à lógica **0** na Fig. 9.9-1 é substituído na Fig. 9.18-1

pelos transistores $T4A$ e $T4B$ e seus resistores de emissor de 650 Ω e 7,5 kΩ. Como é verificado abaixo, com as entradas $\overline{J}$ e $\overline{K}$ quiescentes, tanto $T5A$ como $T5B$ estão cortados. Entretanto, um dos transistores está mais no corte do que o outro. Se, digamos, $Q = \mathbf{0}$ ($\overline{Q} = \mathbf{1}$), a base de $T5A$ está em uma tensão mais baixa do que a base de $T5B$, e $T5A$ está mais no corte. Se agora tanto $\overline{K}$ como $\overline{J}$ fazem uma transição (isto é, se houver uma transição do sinal do relógio) da lógica **0** para **1**, um sinal será transmitido através de $T5B$ mas não através de $T5A$. O flip-flop mudará de estado, as situações de $T5A$ e $T5B$ serão intercambiadas e o flip-flop responderá novamente a uma transição do relógio.

Vamos agora supor que $Q = \mathbf{0}$ ($\overline{Q} = \mathbf{1}$) e vamos calcular as tensões base-emissor de $T5A$ e $T5B$. A parte do circuito envolvendo $T1A$, $T2A$, $T1B$ e $T2B$ é idêntica ao circuito da Fig. 9.17-2 para o qual calculamos que $V_{E1} = -1{,}5$ V. Como era de se esperar, e pode ser verificado, os níveis lógicos de saída são muito próximos de $-0{,}76$ V e $-1{,}58$ V. Se $Q = \mathbf{0}$ ($V_Q = -1{,}58$ V), então a tensão no emissor de $T4A$ é também $-1{,}58$ V, pois as bases de $T4A$ e $T3A$ estão interligadas. Calculamos agora que a tensão na base de $T5A$, determinada pelo divisor de tensão (650 Ω e 7,5 kΩ) ligado a $-5{,}2$ V, é $V_B\,(T5A) \approx -1{,}9$ V. Então, $V_{BE}\,(T5A) = (-1{,}9) - (-1{,}5) = -0{,}4$ V. De forma similar obtemos $V_B\,(T5B) = -1{,}1$ V, de modo que $V_{BE}\,(T5B) = (-1{,}1) - (-1{,}5) = +0{,}4$ V.

A variação lógica total disponível para acionar o flip-flop é $-0{,}76 - (-1{,}58) \approx 0{,}8$ V. Esta variação lógica imposta nos terminais $\overline{K}$ e $\overline{J}$ pelo sinal do relógio será transmitida através das portas seguidoras de emissor de entrada ($T6A$, $T7A$, $T6B$ e $T7B$) nominalmente sem atenuação. A variação lógica de 0,8 V aplicada através de capacitores será adequada para fazer $T5B$ conduzir mas não será adequada para $T5A$.

$\overline{J}_D$	$\overline{K}_D$	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q}_n$

(*a*)

$\overline{J}$	$\overline{K}$	Q_{n+1}
0	0	$\overline{Q}_n$
0	1	1
1	0	0
1	1	Q_n

(*b*)

FIGURA 9.18-2
(*a*) Tabela da verdade para a operação ca assíncrona do flip-flop da Fig. 9.18-1. $\overline{J}_D = 1$ significa que J vai de **0** para **1**. (*b*) Tabela da verdade para a operação síncrona.

As tabelas da verdade do flip-flop estão dadas na Fig. 9.18-2. A Fig. 9.18-2*a* descreve a resposta quando transições lógicas são aplicadas independentemente a uma entrada $\overline{J}$ ou a uma entrada $\overline{K}$ (todas as entradas não utilizadas são mantidas na lógica **0**). Assim, a primeira linha informa que, se não forem aplicadas transições lógicas ou se as transições forem negativas, o flip-flop não mudará de estado. A segunda linha informa que, se uma transição positiva for aplicada apenas em $\overline{K}$, o flip-flop irá para estado RESET ou permanecerá no estado RESET, etc. Esta característica do flip-flop ECL com acoplamento capacitivo, ou seja, sua habilidade de operar assincronamente (sem o uso de relógio) é muito útil e não é dividida com todos os outros tipos de flip-flop. A Fig. 9.18-2*b* descreve a resposta do flip-flop quando é acionado por um relógio (na maneira mostrada na Fig. 9.18-1*b*).

O flip-flop da Fig. 9.18-1, discutido anteriormente, é um dispositivo relativamente lento, tendo uma relação de TOGGLING (mudança de estado) máxima de 15 MHz. Uma limitação de velocidade básica resulta da presença dos capacitores C_A e C_B. Nos dois estados do flip-flop,

SET e RESET, a tensão em C_A é diferente da tensão em C_B. A cada mudança de estado do flip-flop estas tensões dos capacitores devem ser trocadas. Flip-flops ECL com acoplamento ca feitos para operações em alta velocidade incorporam componentes adicionais que fornecem um mecanismo para carga e descarga rápida destes capacitores. Além disto, os valores dos resistores são reduzidos para permitirem carga mais rápida das capacitâncias parasíticas. O diagrama do circuito do flip-flop MECL II que pode mudar de estado na freqüência de 120 MHz está mostrado na Fig. 9.18-3. As tensões indicadas correspondem ao caso em que o flip-flop está acionado ($Q = 1$). Alguns detalhes da operação deste circuito são explorados nos problemas.

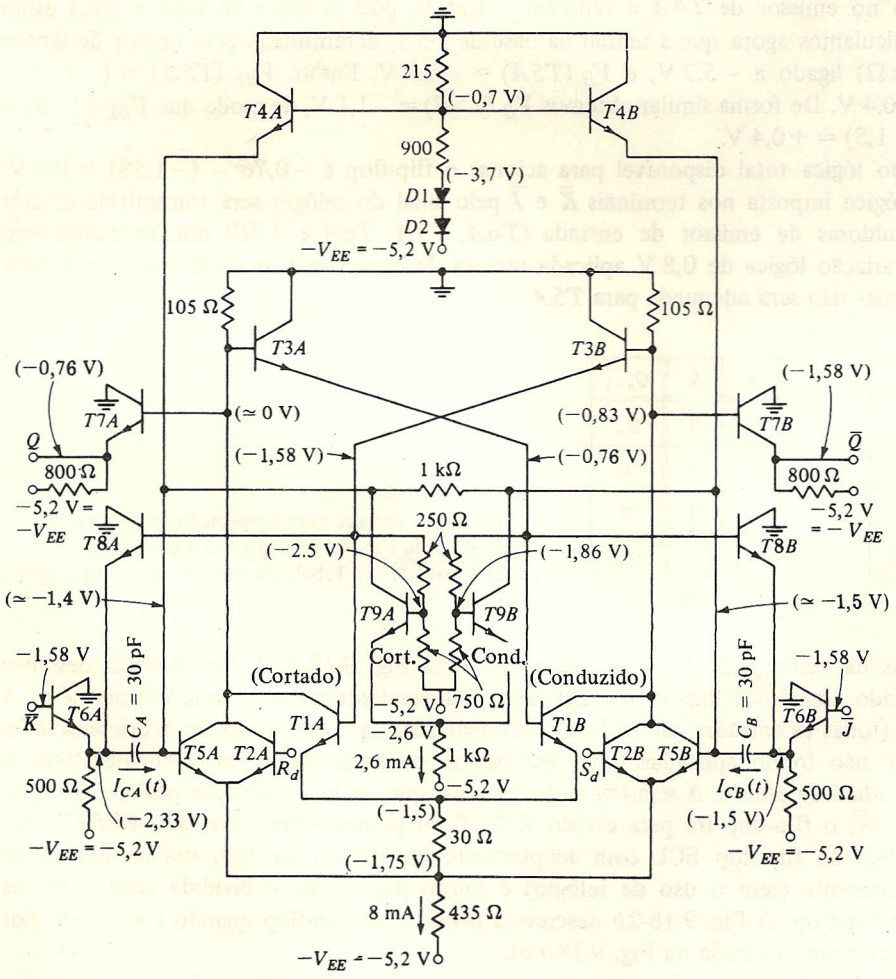


FIGURA 9.18-3
Um flip-flop ECL de alta velocidade.

9.19 ESPECIFICAÇÕES DO FABRICANTE

As especificações típicas do fabricante para o flip-flop *JK* mestre-escravo ECL de alta velocidade MC 10135 estão listadas abaixo:

Tensão de saída: lógica **1**: −0,81 a −0,96 V; lógica **0**: −1,65 a −1,85 V.

Freqüência de mudança de estado (TOGGLE): 140 MHz. Esta é a máxima freqüência de relógio na qual o flip-flop muda de estado com segurança.

Tempo de retardo de propagação: $t_{pd} = 3$ ns.

Tempo de subida: $t_r = 6{,}5$ ns.

Tempo de descida: $t_f = 8{,}5$ ns.

Tempo de acomodação e tempo de manutenção: Quando o dado de entrada de um flip-flop muda, há um intervalo de tempo transitório durante o qual as portas mudam de estado. Se o flip-flop deve responder corretamente a uma nova entrada, a nova entrada deve preceder a transição de disparo do relógio de algum tempo mínimo chamado tempo de *acomodação*. De forma similar, a entrada deve permanecer fixa por um dado intervalo de tempo depois da transição do relógio que é chamado de tempo de *manutenção*. Os tempos de acomodação e manutenção são geralmente dados pelos fabricantes. Para o flip-flop ECL de alta velocidade MC 10135 estes tempos são de 1 ns.

Velocidade relativa: Dos vários tipos de flip-flops discutidos, o flip-flop ECL é o mais rápido, seguido pelo flip-flop TTL. A relação de mudança de estado do flip-flop ECL excede 500 MHz, enquanto flip-flops TTL têm freqüências de mudança de estado maiores que 10 MHz.

9.20 FLIP-FLOP *JK* TTL

Um flip-flop TTL que emprega o princípio de armazenamento de carga está mostrado na forma de portas na Fig. 9.20-1. Um diagrama de circuito detalhado aparece na Fig. 9.20-2. A similaridade entre as Figs. 9.20-1 e 9.10-1 é aparente. Há algumas diferenças, entretanto, um ponto de diferença sendo a ligação da realimentação no circuito atual das saídas Q e $\bar{Q}$ para as portas de entrada $1A$ e $1B$. Estas ligações são necessárias para converter o flip-flop *SR* em *JK*. Em segundo lugar, o circuito atual inclui duas portas adicionais $4A$ e $4B$. Estas portas, como veremos, são necessárias para fornecer uma descarga rápida dos capacitores C_A e C_B como é necessário quando os flip-flops devem mudar rapidamente de estado.

O nível do relógio C que inibe as portas de entrada ($1A$ e $1B$) é $C = \mathbf{0}$. Quando C sobe para $C = \mathbf{1}$, os dados de entrada em J e K são armazenados nos capacitores e, quando C volta para $C = \mathbf{0}$, os dados em J e K são transferidos para a saída. Para verificar a operação das portas $4A$ e $4B$, vamos fazer com que o flip-flop mude de estado a cada pulso do relógio ($J = K = 1$) e vamos seguir a operação quando C faz duas transições sucessivas de relógio em um curto intervalo de tempo.

Vamos supor inicialmente que $J = K = \mathbf{1}$, $Q = \mathbf{0}$ ($\bar{Q} = \mathbf{1}$) e que C é $C = \mathbf{0}$ e já estava em **0** por um intervalo de tempo relativamente longo. Então as saídas das duas portas $1A$ e $1B$

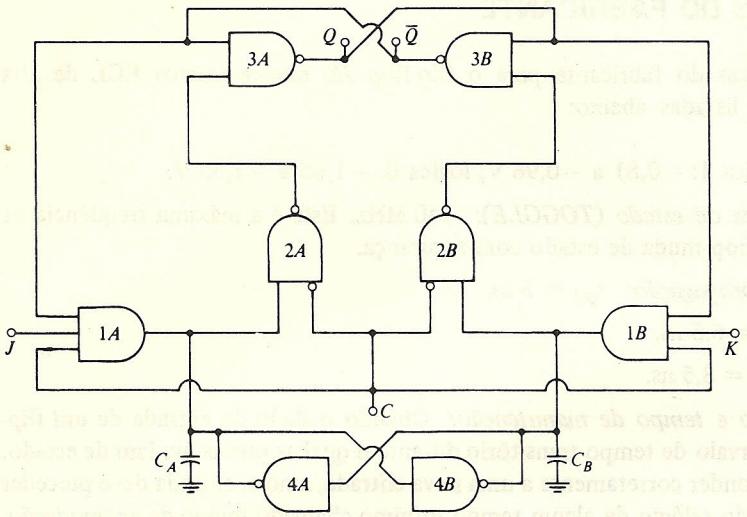


FIGURA 9.20-1
Um flip-flop *JK* TTL que emprega armazenamento de carga.

estão na lógica **0** e os capacitores C_A e C_B estão descarregados, isto é, estão também na lógica **0**. (Como será visto na Fig. 9.20-2, há um caminho resistivo em paralelo com os capacitores, de modo que os capacitores podem descarregar completamente.) Façamos agora C ir para $C = \mathbf{1}$. Então a saída de $1B$ permanece em **0**, enquanto a saída de $1A$ sobe para **1** e carrega rapidamente C_A para **1**. O capacitor C_A agora segura a informação de que o flip-flop está no estado RESET. Quando C volta para $C = \mathbf{0}$, um sinal é transmitido através da porta $2A$ e o flip-flop muda de estado. Com C de volta a **0**, espera-se que a saída da porta $1A$ volte para **0**, descarregando C_A. Como veremos na Fig. 9.20-2, a saída da porta $1A$ é capaz de *fornecer* corrente mas não é capaz de *absorvê-la*. Portanto, C_A descarregará bastante devagar, pois C_A fornece uma pequena corrente à entrada da porta $2A$. Esta descarga relativamente lenta tem alguma vantagem, pois garante que a informação armazenada em C_A não seja perdida prematuramente.

Suponha agora que, enquanto C_A está ainda carregado, há uma segunda transição de C, indo de **0** para **1**. Então, neste caso, C_B se carregará para lógica **1** como é necessário, e, mais importante, a lógica **1** na entrada da porta $4A$ levará a saída de $4A$ para a lógica **0** e C_A descarregará abruptamente. Como será visto na Fig. 9.20-2, quando a entrada da porta $4A$ é **1**, a porta possui um transistor saturado diretamente em paralelo com o capacitor C_A.

Voltando agora para a Fig. 9.20-2 notamos que a porta $1A$ é composta do transistor multiemissor $T1A$ e do seguidor de emissor $T2A$. O transistor $T3A$ opera na forma descrita em relação à Fig. 9.15-1, e é uma porta NAND com inversão na entrada de emissor (relógio). Observe, como sugerido anteriormente, que, como não pode fluir corrente de volta para o seguidor de emissor ($T2A$), a porta $1A$ deve fornecer corrente para carregar C_A e não pode absorver corrente para descarregar C_A.

Finalmente, notemos que, enquanto nos flip-flops ECL são utilizados capacitores de filme fino, nestes circuitos em TTL os capacitores C_A e C_B são capacitores formados por diodos de junções polarizados reversamente.

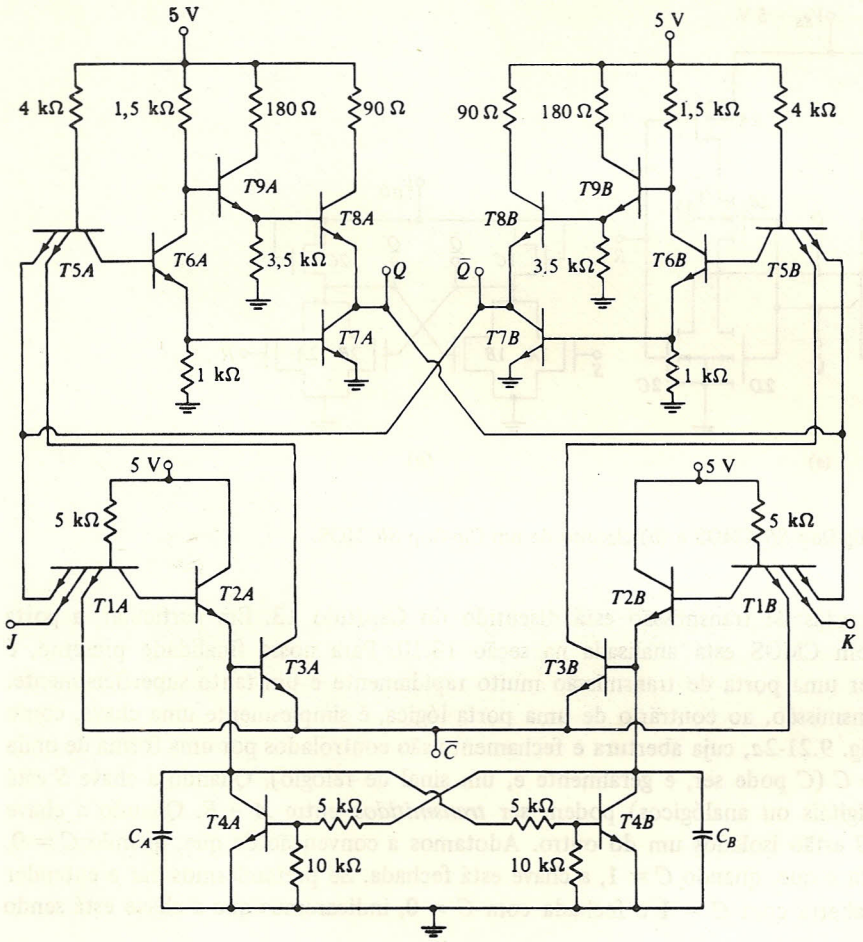


FIGURA 9.20-2
Diagrama de um flip-flop TTL com armazenamento de carga.

9.21 FLIP-FLOPS MOS

Como no caso de transistores bipolares, os flip-flops MOS podem ser construídos pelo acoplamento de portas NOR ou NAND. A Fig. 9.21-1 mostra flip-flops MOS *SR*. Em (*a*) são utilizados dispositivos CMOS e em (*b*) são utilizados dispositivos MOS. Na verdade, flip-flops NMOS ou PMOS não são, geralmente, disponíveis comercialmente como unidades individuais mas são amplamente usados como componentes em circuitos MSI e LSI. Por outro lado, os flip-flops CMOS são disponíveis. Entretanto, quando os flip-flops CMOS são fabricados, geralmente eles não são construídos de acordo com o padrão da Fig. 9.21-1*a*. Eles são projetados de maneira a tirar vantagem do fato de que os dispositivos CMOS prestam-se à realização de *portas de transmissão*.

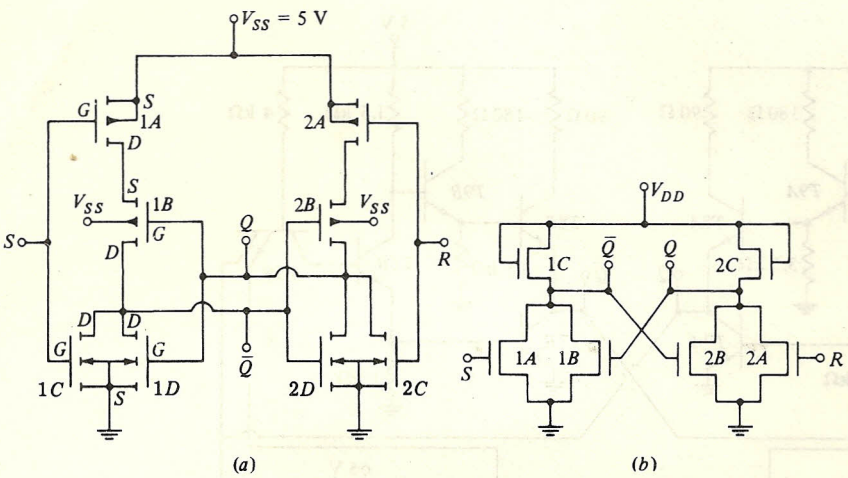


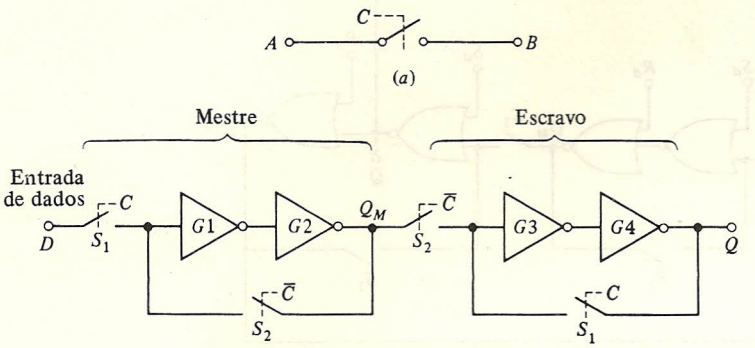
FIGURA 9.21-1
(*a*) Circuito de um flip-flop *SR* CMOS e (*b*) circuito de um flip-flop *SR* MOS.

O assunto portas de transmissão está discutido no Capítulo 13. Em particular, a porta de transmissão com CMOS está analisada na seção 13.10. Para nossa finalidade presente, é suficiente descrever uma porta de transmissão muito rapidamente e um tanto superficialmente. Uma porta de transmissão, ao contrário de uma porta lógica, é simplesmente uma chave, como representada na Fig. 9.21-2*a*, cuja abertura e fechamento são controlados por uma forma de onda lógica de controle C (C pode ser, e geralmente é, um sinal de relógio). Quando a chave S está fechada, sinais (digitais ou analógicos) podem ser *transmitidos* entre A e B. Quando a chave está aberta, A e B estão isolados um do outro. Adotamos a convenção de que, quando $C = \mathbf{0}$, a chave está aberta e que, quando $C = \mathbf{1}$, a chave está fechada. Se pretendermos dar a entender que a chave está aberta com $C = \mathbf{1}$ e fechada com $C = \mathbf{0}$, indicaremos que a chave está sendo controlada por C.

Flip-flop tipo D. Um flip-flop tipo D está mostrado na Fig. 9.21-2*b*. Para iniciar, é útil reconhecer que uma cascata de duas portas NOT (tal como $G1$ e $G2$) com a saída voltando para a entrada (como quando $S2$ está fechada) é um flip-flop rudimentar. Um dos níveis lógicos será mantido indefinidamente.

O sinal de relógio C aciona as chaves S_1 e S_2. Vamos começar com $C = \mathbf{0}$, de modo que as chaves S_1 estão abertas e as chaves S_2 estão fechadas. Então o flip-flop mestre está armazenando um bit Q_M cujo valor lógico depende do passado. Assim, a saída $Q = Q_M$. Agora seja $C = \mathbf{1}$. As chaves S_1 fecham e as chaves S_2 abrem. É necessário que S_2 abra antes que S_1 feche, de modo que a entrada D não seja transmitida para a saída Q. O fechamento de S_1 interligando $G3$ e $G4$ completa a realimentação do flip-flop escravo. Durante o breve intervalo de tempo entre a abertura de S_2 e o fechamento de S_1, o bit Q é mantido devido à capacitância parasita inevitavelmente presente nas portas. Esta transição de C para $C = \mathbf{1}$ estabelece Q_M no novo nível lógico de D. Agora, seja C retornando para $C = \mathbf{0}$. Então o novo bit está armazenado no flip-flop mestre e também transmitido para a saída Q. Observe, novamente, como é necessário que o novo bit não apareça em Q até que a chave de entrada S_1, ligada a D, esteja aberta.

Entradas diretas. Quando entradas diretas (assíncronas) são empregadas, os inversores mostrados na Fig. 9.21-2*b* são substituídos por portas NOR, como mostrado na Fig. 9.21-2*c*. Assim, por exemplo, se $S_d = 1$, então $Q_M = 1$ e $Q = 1$, independentemente do relógio (Fig. 9.6-3). Portanto, as entradas diretas *suplantam* o relógio.



Relógio, C	S_1	S_2
1	Fechado	Aberto
0	Aberto	Fechado

(*b*)

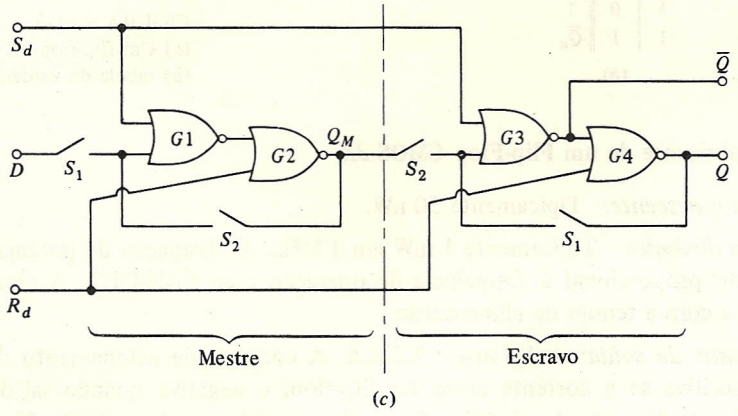


FIGURA 9.21-2
(*a*) Chave comandada; (*b*) flip-flop tipo *D* mestre-escravo e (*c*) flip-flop tipo *D* com entradas diretas.

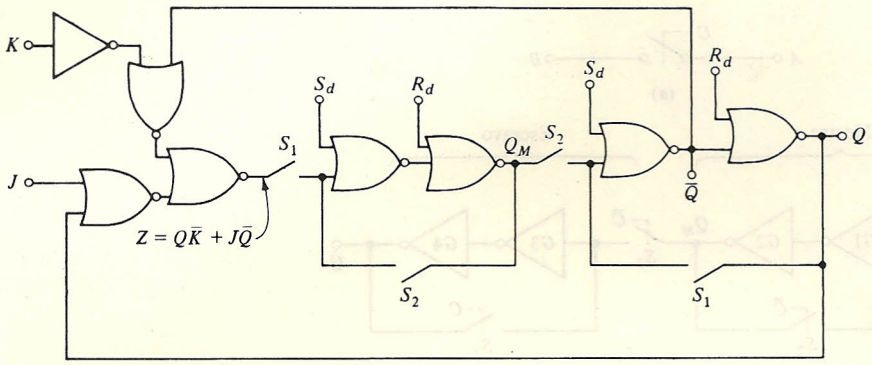
O flip-flop *JK*. O flip-flop *JK* mostrado na Fig. 9.21-3*a* é idêntico ao flip-flop tipo *D* da Fig. 9.21-2*b*, exceto o circuito de entrada, onde a entrada é (veja Prob. 9.21-1)

$$Z = Q\overline{K} + J\overline{Q} \tag{9.21-1}$$

Como Z irá eventualmente determinar o estado da saída do flip-flop, podemos fazer $Z \equiv Q_{n+1}$ e $Q \equiv Q_n$. Quando isto é feito, a Eq. (9.21-1) torna-se

$$Q_{n+1} = Q_n\overline{K} + J\overline{Q}_n \qquad (9.21\text{-}2)$$

É deixado como problema (Prob. 9.21-3) mostrar que isto resulta na tabela da verdade para um flip-flop *JK*, que é dada na Fig. 9.21-3*b*.



(*a*)

J	*K*	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q}_n$

(*b*)

FIGURA 9.21-3
(*a*) Um flip-flop *JK* e (*b*) tabela da verdade.

Especificações Típicas do Fabricante de um Flip-Flop CMOS *JK*

Dissipação de potência quiescente: Tipicamente 50 nW.

Dissipação de potência dinâmica: Tipicamente 1 mW em 1 MHz. A dissipação de potência dinâmica é diretamente proporcional à freqüência de operação e ao FAN-OUT. A dissipação também aumenta com a tensão de alimentação.

Corrente de acionamento de saída: $-1{,}3$ mA/$+2{,}5$ mA. A corrente de acionamento de saída é considerada positiva se a corrente *entra* no flip-flop, e negativa quando sai do flip-flop. Assim, $-1{,}3$ mA de corrente significa fluxo de corrente da alimentação V_{DD} através do FET de canal *p* para a saída.

Imunidade ao ruído: 4,5 V nos dois estados quando $V_{DD} = 10$ V e 2,25 V nos dois estados quando $V_{DD} = 5$ V.

Impedância de saída: Aproximadamente 800 Ω nos dois estados.

Impedância de entrada: 5 pF.

Retardo de propagação: 70 ns. Devido à simetria t_{pd} (*HL*) = t_{pd} (*LH*). Este retardo é uma função direta do FAN-OUT, pois cada flip-flop contribui com 5 pF. O retardo de propagação diminui com o aumento da tensão de alimentação.

Freqüência máxima de mudança de estado (*TOGGLE*): Até 10 MHz.

CAPÍTULO 10

Registradores e Contadores

Um lógico **1** ou **0** é chamado de *bit* (*dígito binário*). Conforme vimos, um flip-flop pode armazenar, relembrar ou registrar um único bit. Um flip-flop será, portanto, referenciado como um *registrador de um bit*. Se necessitarmos que N bits sejam relembrados ou registrados, haverá a necessidade de N flip-flops. Quando um arranjo de flip-flops tem um determinado número de bits *armazenados*, será necessário, em algumas ocasiões, *deslocarmos* bits de um flip-flop a outro da maneira que será agora descrita. Um arranjo de flip-flops que permite este deslocamento é chamado de *registrador de deslocamento* (*shift register*).

10.1 O REGISTRADOR DE DESLOCAMENTO

Um registrador de deslocamento de 4 bits construído com flip-flops do tipo D é mostrado na Fig. 10.1-1*a*. Um número maior ou menor de bits pode ser acomodado pela adição ou retirada de flip-flops. As conexões entre os flip-flops são tais que (exceto para *FF*0) o nível lógico em um terminal de entrada de dados é determinado pelo estado do flip-flop precedente. Assim, D_k é **0** se o flip-flop precedente está no estado restabelecido (RESET) com $Q_{k-1} = \mathbf{0}$, e $D_k = \mathbf{1}$ se $Q_{k-1} = \mathbf{1}$. O dado D_0 em *FF*0 é determinado por uma fonte externa. No registrador de deslocamento mostrado na Fig. 10.1-1*b*, flip-flops do tipo *JK* (*SR* também serviriam) estão sendo usados no lugar de flip-flops do tipo *D*. Na Fig. 9.13-1 um inversor é usado como entrada em K_0. Nos flip-flops restantes, entretanto, poderemos dispensar o uso de inversores, porque o complemento $\overline{Q}$ está disponível. É conveniente lembrarmos que a característica de um flip-flop tipo D é que, imediatamente após a transição de disparo do relógio, a saída Q do flip-flop vai ao estado presente de sua entrada D um momento antes desta transição do relógio. Assim, qualquer que seja a informação, com **1** e **0**, registrada nos flip-flops mostrados, a cada transição do relógio esta informação é deslocada de um flip-flop à direita. O bit registrado no último flip-flop (*FF*3 na Fig. 10.1-1) é perdido, enquanto o primeiro flip-flop (*FF*0) vai para o estado determinado pelo seu dado de entrada D_0. Esta operação é exibida na Fig. 10.1-1*c*. Aqui, temos $D_0 = \mathbf{0}$ e inicialmente fazemos $Q_0 = \mathbf{1}$ e $Q_2 = Q_3 = Q_4 = \mathbf{0}$. Supomos arbitrariamente que os flip-flops são acionados pela transição de descida do relógio.

Para melhor compreendermos a operação do registrador de deslocamento, vamos observar sua resposta para a seqüência de bits apresentada na entrada D_0, como indicado na Fig. 10.1-2. A forma de onda do relógio é mostrada na Fig. 10.1-2*a*. Uma seqüência de bits na entrada é mostrada na Fig. 10.1-2*b*. A seqüência de entrada assumida é **11010**, e é síncrona como o relógio,

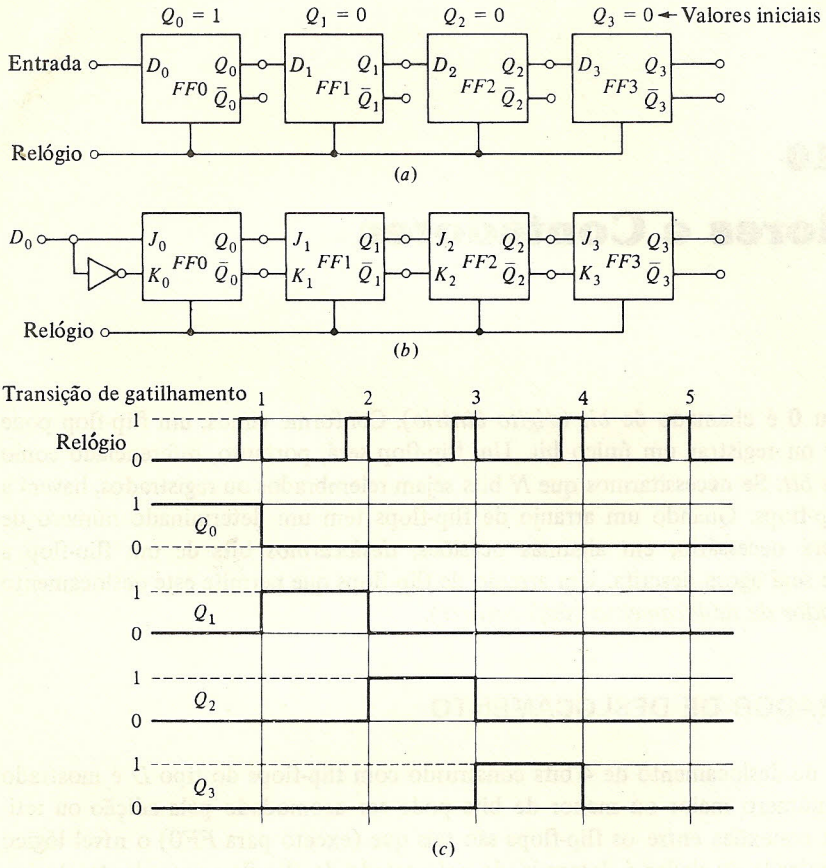


FIGURA 10.1-1
Um registrador de deslocamento de quatro bits.

isto é, quando ocorrem mudanças no nível lógico da entrada, elas acontecem em um ponto fixo do ciclo da forma de onda do relógio.

Admitiremos inicialmente que, como é mostrado, todos os flip-flops estão no estado restabelecido.

Esta situação inicial pode ser estabelecida pela aplicação de uma lógica de controle adequada, diretamente às entradas dos flip-flops. (Estas entradas diretas não são mostradas na Fig. 10.1-1.) Podemos observar agora, na Fig. 10.1-2, como, a cada pulso do relógio, a seqüência de entrada é deslocada bit a bit no registrador de deslocamento e diminui o registro.

A forma de onda de Q_0 corresponde à seqüência de entrada, retardada de um tempo τ, como é mostrado na figura, sendo que τ depende de onde, no ciclo do relógio, a mudança de nível lógico de entrada ocorre. Entretanto, Q_1 está retardado em relação a Q_0, Q_2 em relação a Q_1 e Q_3 em relação a Q_2, de exatamente a duração do ciclo de relógio. Como especificamos a entrada somente para uma duração de 5 bits, a forma de onda Q_0 é especificada somente até o instante antes que a sexta transição do relógio ocorra. Q_1 é determinado para um intervalo adicional do relógio, enquanto Q_2 e Q_3 são determinados para dois e três intervalos adicionais do relógio, respectivamente.

Na Fig. 10.1-3 temos repetida a informação mostrada na Fig. 10.1-2, sob forma tabular. Para conveniência na visualização da entrada do dado seqüencial, apresentamos a escala do tempo da direita para a esquerda, de tal maneira que a seqüência da entrada aparece ao contrário.

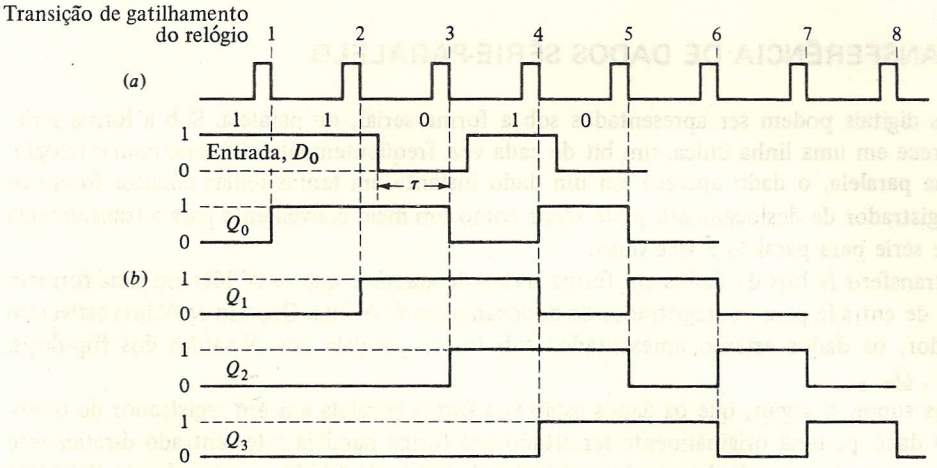


FIGURA 10.1-2
(*a*) Forma de onda do relógio; (*b*) formas de onda para o registrador de deslocamento da Fig. 10.1-1.

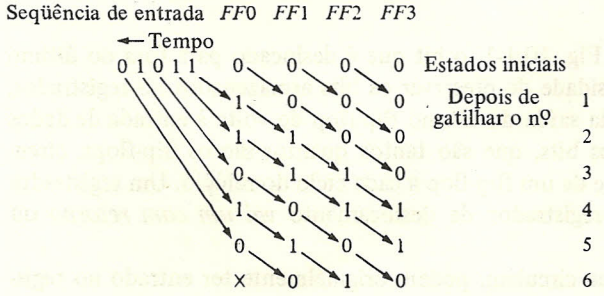


FIGURA 10.1-3
Um diagrama de tempos.

10.2 O RELÓGIO

Devemos agora enfatizar que o registrador de deslocamento descrito na seção anterior operará conforme descrito, somente se a transição de disparo do relógio for tal que torne o flip-flop incapaz de responder a uma variação no dado de entrada.

Depois da transição do relógio, o estado do k-ésimo flip-flop deveria ser determinado pelo estado do $(k-1)$-ésimo flip-flop *antes* da transição do relógio. O $(k-1)$-ésimo flip-flop pode mudar de estado como resultado da transição. O k-ésimo flip-flop, entretanto, deve estar isolado deste novo estado do $(k-1)$-ésimo flip-flop, até o próximo ciclo do relógio.

Esta situação precisa foi explorada na seção 9.7 e na Fig. 9.7-1. O circuito da Fig. 9.7-1 é agora reconhecido como um registrador de deslocamento de 2 bits. A situação analisada naquele ponto foi precisamente a resposta deste registrador de deslocamento de 2 bits para a seqüência de entrada 11.

10.3 TRANSFERÊNCIA DE DADOS SÉRIE-PARALELO

Dados digitais podem ser apresentados sob a forma serial, ou paralela. Sob a forma série, o dado aparece em uma linha única, um bit de cada vez, freqüentemente síncrono com o relógio. Sob a forma paralela, o dado aparece em um dado instante em tantas linhas quantos forem os bits. Um registrador de deslocamento pode servir como um meio conveniente para a transferência de dados de série para paralelo e vice-versa.

Para transferir N bits de dados em forma serial, deixaremos que os N bits em série formem a seqüência de entrada para um registrador de deslocamento de N bits. Quando os N bits estiverem no registrador, os dados estarão apresentados sob forma paralela nas N saídas dos flip-flops, $Q_0, Q_1, \ldots, Q_{n-1}$.

Vamos supor, a seguir, que os dados estão sob forma paralela em um registrador de deslocamento. O dado poderia originalmente ter estado sob forma paralela e ter entrado diretamente no flip-flop registrador através do uso dos controles de acionado (SET) e restabelecido (RESET) diretos. De qualquer maneira, se deixarmos o relógio correr, então, na saída do último flip-flop, o dado aparecerá sob forma serial, bit a bit, sincronamente com o relógio.

10.4 VAI UM COM RETORNO

No registrador de deslocamento da Fig. 10.1-1, o bit que é deslocado para fora do último flip-flop é perdido. Quando houver necessidade de preservar os bits armazenados no registrador, isto poderá ser obtido pelo acoplamento da saída do último flip-flop de volta à entrada de dados do primeiro flip-flop. Neste registrador, os bits, que são tantos quantos são os flip-flops, circularão ao redor do registrador, deslocando-se de um flip-flop a cada ciclo do relógio. Um registrador conectado desta maneira é chamado de registrador de deslocamento *vai um com retorno* ou contador em anel.

Neste tipo de registrador, os bits que circulam, podem originalmente ter entrado no registrador sob forma série, como nos circuitos da Fig. 10.1-1. Se este for o caso, quando o registrador estiver completo, será necessário desconectar o registrador da entrada serial e efetuar uma conexão em anel que permita a circulação dos bits. Portas e um sinal de controle devem ser adicionados para atingirmos este objetivo (veja a Fig. 12.2-1). Alternativamente, os bits podem ser introduzidos no registrador assincronamente, através do uso das entradas de SET e RESET diretos.

10.5 REGISTRADOR DE DESLOCAMENTO À ESQUERDA, DESLOCAMENTO À DIREITA

Há aplicações nas quais é útil termos um registrador com a capacidade de deslocarmos dados para a direita e para a esquerda. Este registrador, usando flip-flops tipo D, é mostrado na

Fig. 10.5-1. Neste circuito, D_R é a entrada para a introdução do dado serial que será deslocado à direita e D_L é a entrada do dado que será deslocado à esquerda. A direção do deslocamento é determinada pelo nível lógico da entrada modo (M). Com $M = \mathbf{1}$ ($\bar{M} = \mathbf{0}$), o deslocamento é à direita, e com $M = \mathbf{0}$, o deslocamento é à esquerda.

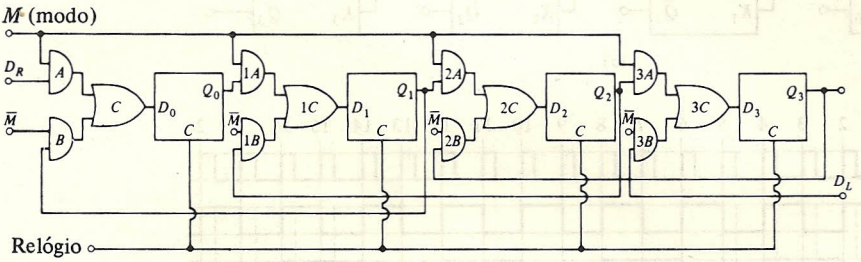


FIGURA 10.5-1
Um registrador de deslocamento à direita, deslocamento à esquerda.

Quando $M = \mathbf{1}$, todas as portas A são tornadas habilitadas e as B, impossibilitadas. Neste caso o registrador opera como o registrador da Fig. 10.1-1. A entrada é aplicada a D_0, Q_0 é conectado a D_1, etc.; estas conexões são feitas através de uma porta AND e de uma porta OR. Quando $M = \mathbf{0}$, as portas A são tornadas impossibilitadas, as portas B são tornadas habilitadas e as conexões entre os flip-flops (novamente através de uma porta AND e uma OR) são invertidas. Q_3 é então conectada a D_2, Q_2 a D_1, etc.

É deixado para problemas mostrar que M deveria ser mudado somente quando $C = \mathbf{0}$ e que, caso contrário, os valores armazenados no registrador podem ser alterados.

10.6 CONTADORES RIPPLE

Um flip-flop tem dois estados. Correspondentemente, um *arranjo* de N flip-flops tem 2^N estados, sendo que o *estado do arranjo* é definido como uma combinação particular de estados dos flip-flops individuais. Um contador flip-flop é um arranjo no qual os flip-flops estão interconectados de tal maneira que o arranjo avança de estado a estado para cada ciclo da forma de onda de entrada. Se, começando a partir de um estado inicial, o contador retorna ao estado inicial depois de k ciclos da onda de entrada, o contador é chamado de contador de *módulo k* ou um contador *base k*. Se um contador tem N flip-flops e avança através de cada possível estado (este modo de operação nem sempre é necessário ou desejável), o contador é de módulo 2^N.

Um contador de RIPPLE de módulo 16 é mostrado na Fig. 10.6-1*a*. Quatro flip-flops *JK* são conectados para o modo *chaveamento* (*toggling*) com $J = K = \mathbf{1}$. Observamos que as conexões entre os flip-flops são efetuadas apenas em Q_0 do primeiro flip-flop *FF*0, estando conectada à entrada C_1 do relógio de *FF*1, Q_1 à entrada do relógio em *FF*2, etc. O sinal de entrada cujos ciclos devem ser contados, é aplicado ao relógio de *FF*0. Supomos que os flip-flops chaveiam na transição de descida da forma de onda na entrada do relógio. Então, como pode ser verificado, as formas de onda na entrada e nas saídas Q_0, Q_1, Q_2 e Q_3 dos flip-flops são como mostra a Fig. 10.6-1*b*. Observe que cada flip-flop muda de estado quando e somente quando o flip-flop precedente, ou a forma de onda da entrada, varia de um lógico **1** a um lógico **0**. Arbitrariamente

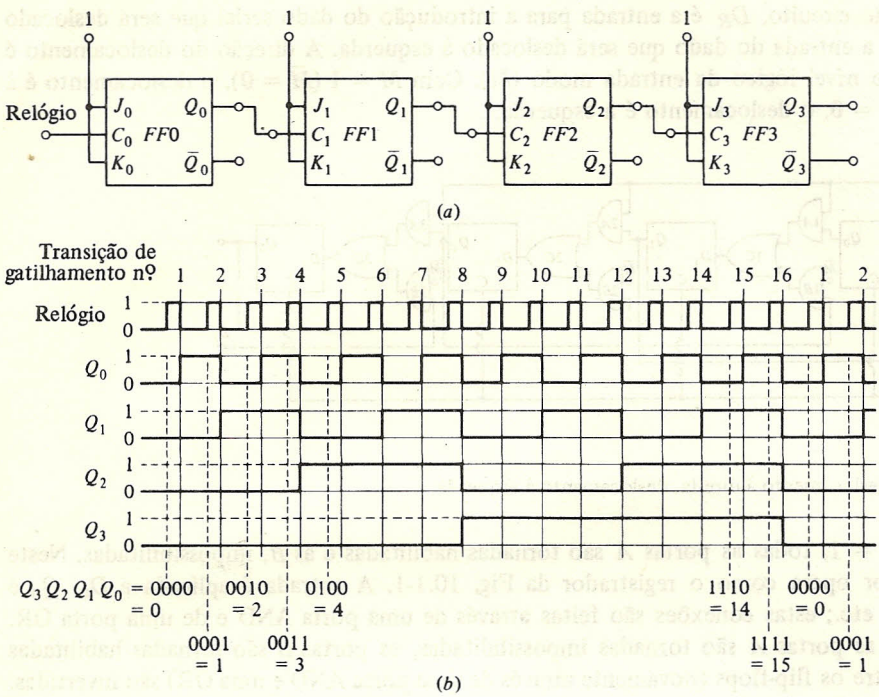


FIGURA 10.6-1
Um contador de módulo 16.

iniciamos em um ponto com $Q_3 = Q_2 = Q_1 = \mathbf{0}$ e que escreveremos daqui por diante como $Q_3Q_2Q_1Q_0 = \mathbf{0000}$.

A seqüência de pulsos de entrada leva o contador a todos os seus $2^4 = 16$ possíveis estados, de tal maneira que, depois do décimo sexto pulso do relógio, o contador retorna a seu estado inicial. Considerando a contagem K como sendo $K = \mathbf{0}$ quando $Q_3Q_2Q_1Q_0 = \mathbf{0000}$, pode ser verificado que a contagem de pulsos de entrada é dada por

$$K = 2^3Q_3 + 2^2Q_2 + 2^1Q_1 + 2^0Q_0 \qquad (10.6\text{-}1)$$

como é indicado na figura em notação binária e decimal.

A contagem no contador pode ser "lida" com a ajuda de um decodificador como o mostrado na Fig. 10.6-2.

Aqui, restringimos o número de flip-flops a três para facilmente seguirmos as conexões feitas. O contador é então de módulo 8. Inicialmente ignoraremos a entrada STROBE. Mais especificamente, admitiremos que a entrada STROBE está no lógico **1**, de tal maneira que ela nos deixa todas as portas AND habilitadas.

Como pode ser verificado, quando o contador está no estado $Q_2Q_1Q_0 = \mathbf{000}$, K_0 será $K_0 = \mathbf{1}$, enquanto $K_2, \ldots, K_7 = \mathbf{0}$. Quando o contador estiver em $Q_2Q_1Q_0 = \mathbf{001}$, K_1 será $K_1 = \mathbf{1}$, enquanto todas as outras saídas das portas AND estarão no lógico **0**, etc. Assim, a contagem do contador pode ser lida simplesmente pela observação de qual das saídas $K_0, \ldots, K_7$ está no lógico **1**.

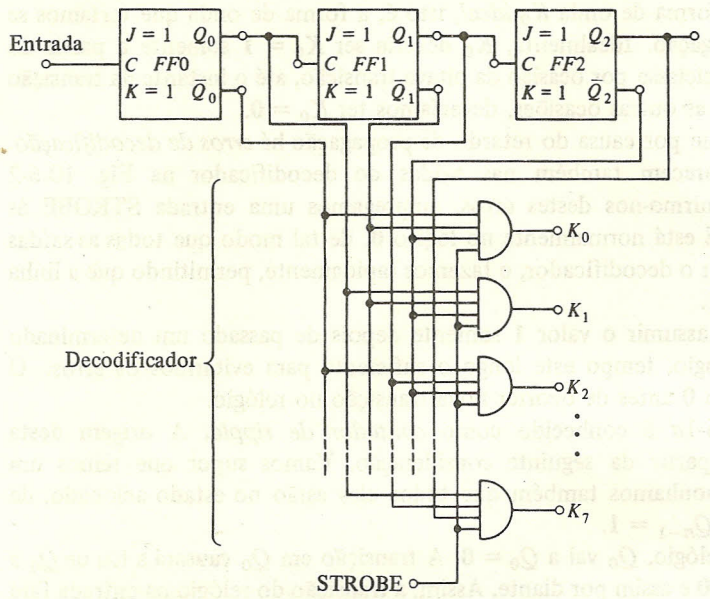


FIGURA 10.6-2
Um conversor binário-decimal.

Para vermos a finalidade da entrada STROBE das portas AND na Fig. 10.6-2, precisamos reconhecer que as formas de onda da Fig. 10.6-1 *b* estão desenhadas idealmente, já que ignoramos o tempo de retardo de propagação através dos flip-flops. As formas de onda (para um contador de módulo 8) foram redesenhadas na Fig. 10.6-3, levando em consideração o tempo de propagação t_{pd}. Também foi desenhada na Fig. 10.6-3 a forma de onda em K_0.

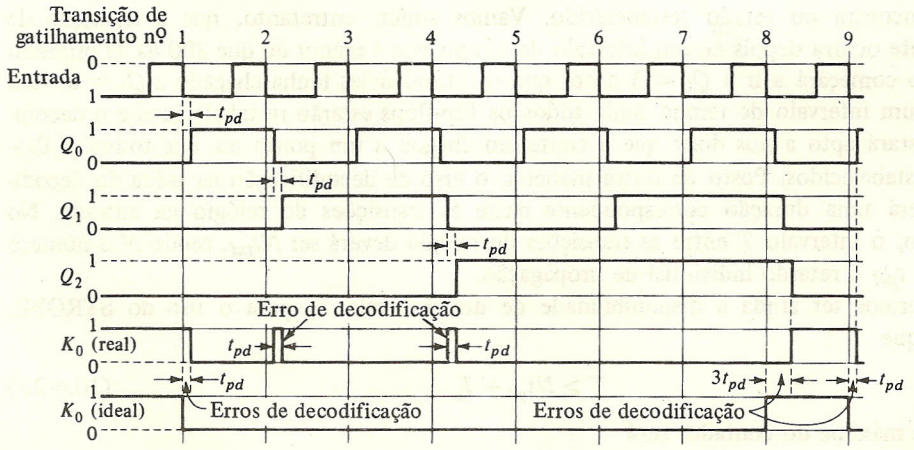


FIGURA 10.6-3
Formas de onda para um contador de módulo 8 incluindo o tempo de retardo de propagação.

A figura mostra, ainda, a forma de onda K_0 *ideal*, isto é, a forma de onda que teríamos se não houvesse retardo na propagação. Idealmente, K_0 deveria ser $K_0 = \mathbf{1}$ somente a partir do momento em que o contador reciclasse por ocasião da oitava transição, até o instante da transição de disparo seguinte, e, em todas as outras ocasiões, deveríamos ter $K_0 = \mathbf{0}$.

Observamos, entretanto, que por causa do retardo de propagação há *erros de decodificação*. Os erros de decodificação aparecem também nas saídas do decodificador na Fig. 10.6-2 (veja Prob. 10.6-1). Para prevenirmo-nos destes erros, empregamos uma entrada STROBE às portas AND. A entrada STROBE está normalmente no lógico **0**, de tal modo que todas as saídas estão em **0**. Quando queremos ler o decodificador, o fazemos rapidamente, permitindo que a linha do STROBE vá ao nível lógico **1**.

Ao STROBE é permitido assumir o valor **1** somente depois de passado um determinado tempo de uma transição do relógio, tempo este longo o suficiente para evitarmos os erros. O STROBE retorna então ao lógico **0** antes de ocorrer nova transição no relógio.

O contador da Fig. 10.6-1*a* é conhecido como *contador de ripple*. A origem desta terminologia pode ser vista a partir da seguinte consideração. Vamos supor que temos um contador com N flip-flops e suponhamos também que todos eles estão no estado acionado, de tal modo que $Q_0 = Q_1 = \ldots = Q_{n-1} = \mathbf{1}$.

Na transição seguinte do relógio, Q_0 vai a $Q_0 = \mathbf{0}$. A transição em Q_0 causará a ida de Q_1 a **0**, o qual por sua vez fará Q_2 ir a **0** e assim por diante. Assim, a transição do relógio na entrada fará um RIPPLE através do contador desde Q_0 até Q_{n-1}.

Quando o RIPPLE estiver completo, o contador estará em $Q_0 = Q_1 = \ldots = Q_{n-1} = \mathbf{0}$. O contador é também chamado de *contador assíncrono* porque não há um sinal de relógio aplicado em *comum* a cada flip-flop que induza transições em cada um deles simultaneamente.

O caráter assíncrono do contador estabelece um limite superior na freqüência da forma de onda da entrada. Para sermos mais específicos, vamos supor que temos um contador com $N = 4$ e que estamos na contagem onde $Q_0 = Q_1 = Q_2 = Q_3 = \mathbf{1}$. Suporemos que o tempo de propagação de um flip-flop é de 50 ns. Então, na próxima transição do relógio na entrada, um RIPPLE será iniciado e não estará completo antes de $4(50) = 200$ ns. Quando o RIPPLE estivesse completo, deveríamos ter $Q_0 = Q_1 = Q_2 = Q_3 = \mathbf{0}$ e deveríamos estar aptos a ler o contador e a observar que ele se encontra no estado restabelecido. Vamos supor, entretanto, que a transição de entrada seguinte ocorra depois de um intervalo de tempo que é menor do que 200 ns. O primeiro flip-flop então começará a ir a $Q_0 = \mathbf{1}$ antes que o último deles tenha chegado a $Q_3 = \mathbf{0}$. Não haverá então um intervalo de tempo onde todos os flip-flops estarão restabelecidos e o decodificador não estará apto a nos dizer que a contagem chegou a um ponto em que todos os flip-flops estão restabelecidos. Posto de outra maneira, o erro de decodificação na saída do decodificador K_0 terá uma duração correspondente entre as transições do relógio na entrada. No mínimo, então, o intervalo T entre as transições do relógio deverá ser Nt_{pd}, sendo N o número de flip-flops e t_{pd} o retardo individual de propagação.

Se quisermos ter ainda a disponibilidade de um intervalo T_s para o uso do STROBE, precisaremos que

$$T \geq Nt_{pd} + T_s \qquad (10.6\text{-}2a)$$

e a freqüência máxima do contador será

$$f \leq \frac{1}{Nt_{pd} + T_s} \qquad (10.6\text{-}2b)$$

Freqüentemente o circuito da Fig. 10.6-1*a* não é utilizado para a finalidade de contarmos o número de pulsos de entrada, mas para nos dar em sua saída a disponibilidade de uma forma de onda que tem um número de pulsos ou ciclos menor do que o número de pulsos da entrada, apesar de estar integralmente relacionada a estes pulsos. Assim, observamos na Fig. 10.6-1*a* que Q_0 executa a metade do número de ciclos executados pela entrada. Q_1 executa um quarto do número de ciclos executados pela entrada, etc. Em geral, na saída de um contador de N estágios, a forma de onda executará um número menor de ciclos do que os executados na entrada relacionados a este pelo fator 2^N. Quando usado nesta aplicação, o circuito é chamado de *divisor de freqüência* ou *escalonador* ou *ponderador de freqüência* e um divisor com N flip-flops é freqüentemente chamado de *escalonador* 2^N.

Uma cascata de flip-flops pode operar em uma freqüência maior quando for usada como um escalonador ao invés de como um contador. Quando utilizada como um divisor, estamos interessados somente na forma de onda da saída e não há interesse na leitura da contagem. Quando usada como divisor, a freqüência máxima da entrada é determinada pela taxa de *toggling* do primeiro flip-flop *FF*0, isto é, pela razão máxima na qual o primeiro flip-flop pode ir de um lado a outro em resposta a um sinal de entrada. O segundo flip-flop em linha, *FF*1, necessita chavear somente a metade das vezes do primeiro e assim por diante.

Finalmente, podemos observar que a forma de onda do sinal de entrada não necessita ser periódica, tanto em contadores como em escalonadores. Nas Figs. 10.6-1 e 10.6-2, supomos uma forma de onda de entrada periódica simplesmente por conveniência.

10.7 MÉTODOS PARA AUMENTAR A VELOCIDADE DO CONTADOR

Um sistema digital seqüencial é descrito como operando *sincronamente* se todos os flip-flops são excitados pela mesma forma de onda do relógio. Neste caso, todas as mudanças de estado dos flip-flops ocorrem no mesmo instante, isto é, sincronamente com o relógio. O contador de RIPPLE da Fig. 10.6-1 não é um sistema síncrono.

Um contador síncrono serial. A velocidade dos contadores pode ser aumentada pela sua operação síncrona. Um dos métodos de operação síncrona é mostrado na Fig. 10.7-1. Observe que este contador é síncrono porque a forma de onda do relógio é aplicada a todas as entradas dos flip-flops simultaneamente.

Numa transição de disparo do relógio, um flip-flop muda de estado somente se seus terminais J e K (mostrados interconectados no circuito da Fig. 10.7-1) estão em $J = K = 1$.

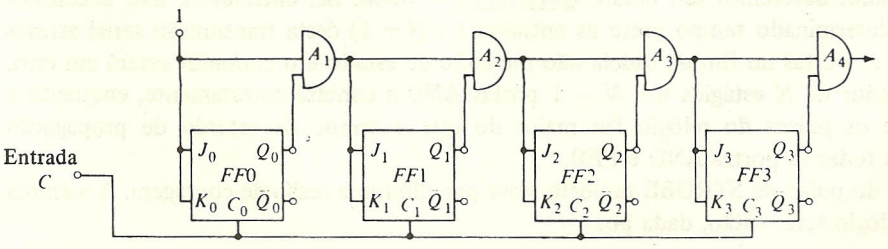


FIGURA 10.7-1
Um contador síncrono de transporte serial.

Assim, *FF*1 responde somente se $Q_0 = 1$. Da mesma forma, *FF*2 responde somente se $Q_0 = Q_1 = 1$, e *FF*3 responde somente se $Q_0 = Q_1 = Q_2 = 1$ etc. Nestas condições, pode ser verificado que a seqüência de estados assumida pelos flip-flops é exatamente a mesma que para o contador de RIPPLE da Fig. 10.6-1*b*.

Observamos que as informações concernentes aos flip-flops precedentes são levadas aos flip-flops subseqüentes através de uma série de portas AND. Assim, o contador presente é referenciado como um *contador síncrono serial.* Como o comportamento síncrono aumenta a velocidade, o contador também é chamado de *contador rápido serial.*

Como cada flip-flop é excitado simultaneamente em uma contagem particular, todos os flip-flops que mudarem de estado, o farão simultaneamente. Assim sendo, poderíamos imaginar que o presente contador não geraria erros de decodificação. Este não é precisamente o caso, entretanto, já que a mudança de estado de um flip-flop não ocorre instantaneamente. Há tempos de subida e descida finitos, na saída de um flip-flop. Mais ainda, em um tipo particular de flip-flop os tempos de subida e descida são diferentes e há diferenças entre os flip-flops tanto nos tempos de subida e descida como também no tempo de propagação.

Assim, no presente contador síncrono, há erros de decodificação e geralmente o uso do STROBE será necessário, como no contador de RIPPLE. No contador síncrono, entretanto, o erro de decodificação persiste somente em um intervalo que é da ordem do tempo necessário para um flip-flop mudar de estado mais a máxima diferença no tempo de propagação entre flip-flops. Mais importante, porém, é que a duração deste intervalo onde há o erro de decodificação *não aumenta* com o número de flip-flops no contador. Por outro lado, no contador de RIPPLE, cada flip-flop adicional aumenta o intervalo do erro de decodificação pelo tempo de propagação deste flip-flop. Assim, como a velocidade é limitada pela necessidade de lermos corretamente a contagem entre os ciclos de entrada, o contador serial possui uma grande vantagem sobre o contador de RIPPLE.

O contador serial síncrono, entretanto, tem uma limitação própria em velocidade resultante da necessidade da propagação de níveis lógicos através de uma série de portas AND. Considere, por exemplo, que o contador esteja no estado $Q_3Q_2Q_1Q_0 = \mathbf{1110}$. Então, em cada flip-flop, exceto *FF*0, temos $J = K = \mathbf{0}$. No pulso de relógio seguinte (o *i*-ésimo), somente *FF*0 responde e temos $Q_3Q_2Q_1Q_0 = \mathbf{1111}$ depois da mudança em Q_0 de $Q_0 = \mathbf{0}$ para $Q_0 = \mathbf{1}$. Depois do retardo na propagação da porta $A1$, teremos $J_1 = K_1 = \mathbf{1}$ e, depois de um retardo de propagação adicional, teremos $J_2 = K_2 = \mathbf{1}$, etc. Assim, o efeito da mudança em Q_0 causa um RIPPLE através das portas AND. Vamos supor que permitimos o decorrer de um tempo adequado até que esta mudança se faça sentir no último flip-flop. Então, em cada flip-flop, deveremos ter $J = K = \mathbf{1}$ e para o pulso $(i + 1)$ do relógio, todos os flip-flops apresentarão uma mudança de estado; deveremos ter, então, $Q_0Q_1Q_2Q_3 = \mathbf{0000}$. Se, entretanto, não deixarmos transcorrer um determinado tempo entre as entradas i e $(i + 1)$ desta transmissão serial através de portas AND, as portas no fim da cadeia não mudarão de estado e o contador estará em erro. Assim, um contador de N estágios usa $N - 1$ portas AND e contará corretamente, enquanto a duração T entre os pulsos do relógio for maior do que o tempo de retardo de propagação $(N - 1)t_{pd}$ para todas as portas AND e *FF*0.

A duração do pulso de STROBE também serve para limitar a razão de contagem. A máxima freqüência do relógio será, então, dada por

$$f \leq \frac{1}{(N-1)t_{pd}(\text{AND}) + t_{pd}(FF0) + T_s} \tag{10.7-1}$$

Na prática geralmente se omite a porta $A1$ porque Q_0 pode ser conectado diretamente às entradas JK de $FF1$ e à porta $A2$.

Neste caso, a freqüência máxima do relógio será um pouco maior.

Ao compararmos o contador de RIPPLE com o contador serial síncrono, observamos que o primeiro não possui outra limitação de velocidade na contagem a não ser a do flip-flop individual. Ainda assim, a velocidade deve ser limitada convenientemente para nos permitir uma leitura correta da contagem.

O contador serial síncrono, por outro lado, *conta incorretamente* em velocidades onde não se encontram problemas para a decodificação correta. O contador serial síncrono, porém, tem uma vantagem adicional em velocidade, porque o retardo na propagação através das portas AND é menor do que o retardo em um flip-flop. O preço pago por este aumento na velocidade é a complexidade maior das portas AND que não são necessárias no contador de RIPPLE.

O contador síncrono paralelo. Uma melhora na velocidade de contagem é obtida no contador síncrono paralelo da Fig. 10.7-2. Aqui, evitamos a necessidade de variarmos os níveis lógicos através de portas AND. Em vez disto, cada nível lógico necessário em uma porta AND é trazido diretamente àquela porta. Como pode ser verificado, a seqüência de estados assumidos pelos flip-flops e o diagrama das formas de onda são novamente idênticos aos da Fig. 10.6-1, que se aplica tanto para o contador de RIPPLE como para o contador serial síncrono.

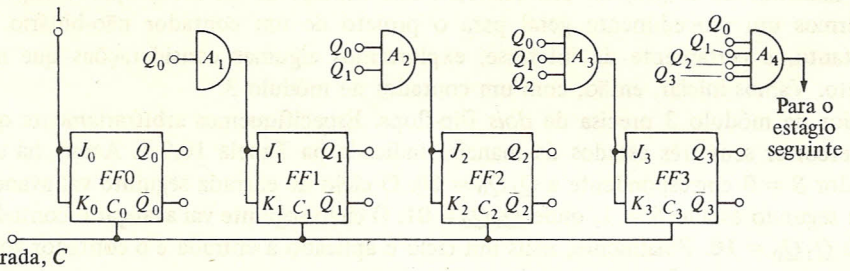


FIGURA 10.7-2
Um contador síncrono paralelo.

O contador síncrono paralelo é o mais rápido dos três tipos considerados, porém com algumas desvantagens. Observamos que cada porta AND necessita de uma entrada adicional. Mais ainda, cada porta adicional aumenta de um o FAN-OUT necessário para cada flip-flop.

Cada carga adicional no flip-flop, por sua vez, geralmente diminui a velocidade do flip-flop. Assim, $FF0$ tem o FAN-OUT máximo e o mais longo tempo de retardo na propagação. O tempo de retardo na propagação t_{pd} (F), que é função do FAN-OUT F, é normalmente fornecido pelo fabricante. Com este parâmetro, a freqüência máxima do relógio para o contador síncrono paralelo é dada por

$$f_{\max} = \frac{1}{t_{pd}(F) + t_{pd}(\text{AND}) + T_s} \tag{10.7-2}$$

10.8 CONTADORES NÃO-BINÁRIOS

Todos os contadores considerados até este ponto têm como módulo uma potência de 2. Assim, um contador com N flip-flops é um contador de módulo 2^N. Começando em algum estado

inicial, o sistema percorre todos os 2^N possíveis estados do contador antes de retornar ao seu estado inicial. Consideraremos, agora, como um contador pode ser modificado para um módulo arbitrário, isto é, que não seja uma potência de 2. Um contador de *década* (módulo 10) nos é de interesse especial.

Vamos supor que queremos um contador de módulo k. Assim, partimos com N flip-flops, de tal modo que N é o menor número para o qual $2^N > k$. Assim, para $k = 5$ ou 6 ou 7, tomamos $N = 3$, já que $2^3 = 8$. Para $k = 9$ até 15, tomamos $N = 4$, etc. Para construirmos um contador de módulo k, iniciamos com um de módulo 2^N e omitimos alguns de seus possíveis estados. Para um contador de módulo k, devemos omitir $2^N - k$ estados. Temos a liberdade de escolher quais estados serão omitidos.

Assim, há muitas maneiras de se projetar um contador de módulo k. Um contador opera um *display* que mostra a contagem ou pode ser usado para controlar a seqüência de outras operações digitais. De qualquer modo, alguma espécie de decodificador deverá ser colocada entre o contador e o que ele controlará. As decisões com relação a quais estados serão omitidos freqüentemente são feitas tendo em vista a simplificação do decodificador.

10.9 CONTADORES DE MÓDULO 3

Há muitas maneiras de se projetar um contador não-binário, de tal modo que é impraticável desenvolvermos um procedimento geral para o projeto de um contador não-binário. É instrutivo, entretanto, e certamente de interesse, explorarmos algumas considerações que nos levam a tal projeto. Vamos iniciar, então, com um contador de módulo 3.

Um contador de módulo 3 precisa de *dois* flip-flops. Especifiquemos arbitrariamente que o contador vá percorrer seus três estados da maneira indicada na Tabela 10.9-1. Assim, há um estado do contador $S = \mathbf{0}$ correspondente a $Q_1Q_0 = \mathbf{00}$. O ciclo de entrada seguinte vai avançar o contador a seu segundo estado $S = 1$, onde $Q_1Q_0 = \mathbf{01}$. O ciclo seguinte vai avançar o contador para $S = 2$, onde $Q_1Q_0 = \mathbf{10}$. Finalmente, mais um ciclo é aplicado à entrada e o contador volta a $S = 0$.

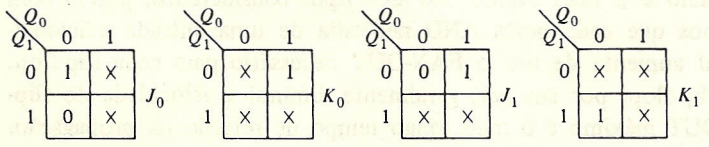


FIGURA 10.9-1
Mapas K para um contador de módulo 3.

Podemos ver que um contador de RIPPLE não se enquadra no caso presente. Em um contador de RIPPLE um dos flip-flops receberia a entrada do relógio da saída da porta do outro flip-flop.

Observamos que, quando S vai de $S = 2$ a $S = 0$, Q_1 muda de estado e, assim, necessita de uma transição do relógio. Q_0, entretanto, não muda de estado e assim não pode fornecer a transição necessária. A situação não é melhorada, se intercambiamos os estados de Q_1 e Q_0. Iniciamos nosso projeto supondo operação síncrona com um sinal de relógio externo, aplicado a ambos os flip-flops. Suporemos que temos flip-flops *JK* e deveremos ainda determinar como arranjá-los para que as entradas J e K sempre estejam em um nível lógico tal que os dois flip-flops façam a transição adequada no instante adequado.

Com este objetivo em vista, é conveniente apresentarmos a tabela da verdade de um flip-flop *JK* no formato da Tabela 10.9-2 que especifica a lógica necessária em J e em K para que um flip-flop vá de um estado Q_n (antes da transição) para um estado Q_{n+1} (depois da transição). A representação X significa "não interessa".

Referenciando-nos às Tabelas 10.9-1 e 10.9-2, podemos agora completar os mapas K para J_0, K_0, J_1 e K_1 para os dois flip-flops *FF*0 e *FF*1 que formam nosso contador de módulo 3.

TABELA 10.9-1

Estado do contador S	Q_1	Q_0
0	0	0
1	0	1
2	1	0
0	0	0
⋮	⋮	⋮

TABELA 10.9-2

$Q_n \longrightarrow Q_{n+1}$		J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

O resultado é dado na Fig. 10.9-1. Para vermos como esta figura é obtida, observe que, quando a contagem é **0**, de tal modo que as saídas de ambos os flip-flops é $Q_1Q_0 = \mathbf{00}$, o estado seguinte do contador será $Q_1Q_0 = \mathbf{01}$. Q_1 deve permanecer em $Q_1 = \mathbf{0}$, de tal modo que necessitamos que $J_1 = \mathbf{0}$ e $K_1 = \mathrm{X}$, enquanto Q_0 deve ir a **1**, de tal modo que precisamos $J_0 = \mathbf{1}$ e $K_0 = \mathrm{X}$.

O caso $Q_1Q_0 = \mathbf{11}$ nunca surge, de tal modo que as posições correspondentes no mapa K são preenchidas com X.

As posições restantes para J_0, K_0, J_1 e K_1 quando $Q_0Q_1 = \mathbf{01}$ e **10** são deixadas para o Prob. 10.9-2. Os mapas K da Fig. 10.9-1, quando postos em sua forma mais simples (veja a seção 3.20), nos dão

$$J_0 = \overline{Q}_1 \qquad K_0 = \mathbf{1} \qquad \text{e} \qquad J_1 = Q_0 \qquad K_1 = \mathbf{1} \tag{10.9-1}$$

O circuito resultante do contador é mostrado na Fig. 10.9-2*a*. A especificação dos valores lógicos para Q_1 e Q_0 correspondente a cada estado do contador, conforme a Tabela 10.9-1, é chamada de *assinalamento de estados*. Assinalamentos de estados diferentes nos levarão a

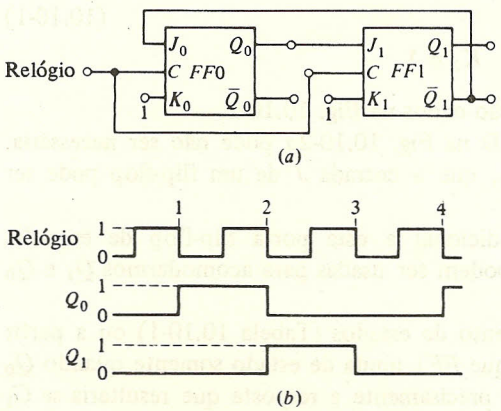


FIGURA 10.9-2
Um contador de módulo 3.

diferentes configurações de contador, ainda que em alguns casos as diferenças sejam superficiais (veja o Prob. 10.9-3). O gráfico da forma de onda para o contador, obtido a partir do circuito, ou simplesmente da leitura da tabela de assinalamento de estado, é mostrado na Fig. 10.9-2*b*.

10.10 CONTADORES DE MÓDULO 5

Como um segundo exemplo de projeto de contadores, consideraremos um contador de módulo 5 para operar de acordo com o assinalamento de estados da Tabela 10.10-1. Há agora a necessidade de três flip-flops. Supondo operação síncrona, podemos, como antes, construir os mapas K para os terminais J e K, referenciando-nos às Tabelas 10.9-2 e 10.10-1.

Estes mapas são dados na Fig. 10.10-1.

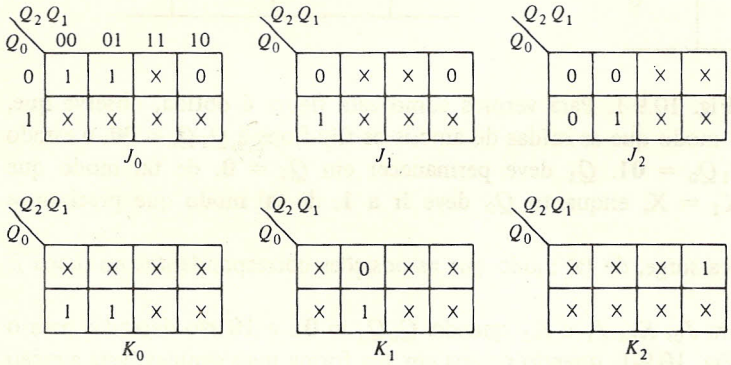


FIGURA 10.10-1
Mapas K para um contador de módulo 5.

Para revermos a construção destes mapas, consideremos que a contagem é $S = 2$, de tal modo que $Q_2Q_1Q_0 = \mathbf{010}$.

No pulso seguinte do relógio, Q_0 será **1**, $K_0 = \text{X}$, $J_1 = \text{X}$, $K_1 = \mathbf{0}$, $J_2 = \mathbf{0}$ e $K_2 = \text{X}$. As outras porções dos mapas K são completadas de maneira similar (veja o Prob. 10.10-1).

A partir destes mapas, depois das simplificações, obtemos:

$$\begin{aligned} J_0 &= \overline{Q}_2 \qquad & K_0 &= \mathbf{1} \\ J_1 &= K_1 = Q_0 & & \\ J_2 &= Q_1 \cdot Q_0 \qquad & K_2 &= \mathbf{1} \end{aligned} \tag{10.10-1}$$

O diagrama do circuito e as formas de onda são dados na Fig. 10.10-2.

Em um caso particular, a porta externa AND na Fig. 10.10-2*a* pode não ser necessária. Observamos, referenciando-nos à Fig. 9.20-1, que a entrada J de um flip-flop pode ser um terminal de entrada de uma porta AND.

Poderá ser prático termos uma entrada adicional a esta porta flip-flop de entrada. Neste caso, as duas entradas J do flip-flop podem ser usadas para acomodarmos Q_1 e Q_0 e então uma porta externa não seria necessária.

Observamos, a partir da tabela de assinalamento de estados (Tabela 10.10-1) ou a partir do gráfico das formas de onda da Fig. 10.10-2*b*, que *FF*1 muda de estado somente quando Q_0 vai de $Q_0 = \mathbf{1}$ a $Q_0 = \mathbf{0}$. Esta resposta de *FF*1 é precisamente a resposta que resultaria se C_1

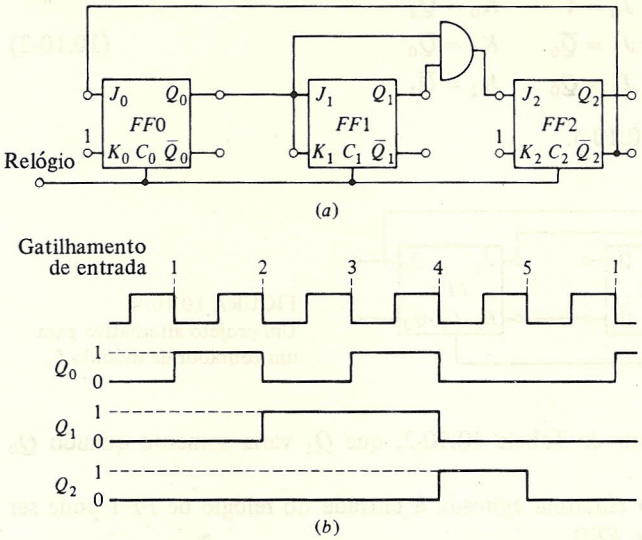


FIGURA 10.10-2
(*a*) Um contador de módulo 5. (*b*) Formas de onda.

TABELA 10.10-1

Estado do contador S	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
0	0	0	0

TABELA 10.10-2

Estado do contador S	Q_2	Q_1	Q_0
0	0	0	0
1	0	1	1
2	1	1	1
3	1	1	0
4	1	0	1

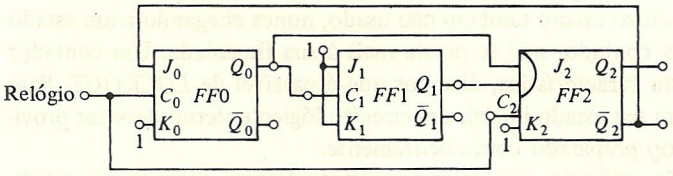


FIGURA 10.10-3
Um contador de módulo 5 modificado.

fosse conectada a Q_0, como no contador de RIPPLE. Na Fig. 10.10-3 modificamos o contador de módulo 5, incorporando esta conexão de RIPPLE e indicando a porta AND como sendo interna a *FF*2. Neste último contador, então, o funcionamento dos flip-flops é em parte *síncrono* e em parte RIPPLE.

Para vermos o efeito do assinalamento de estado em um contador, consideramos um segundo exemplo de um contador de módulo 5, desta vez com um assinalamento de estado dado pela Tabela 10.10-2. A partir das Tabelas 10.10-2 e 10.9-2, podemos construir, como antes, mapas K para as entradas *J* e *K* dos três flip-flops. Encontramos (Prob. 10.10-3) neste caso que

$$J_0 = 1 \qquad K_0 = Q_2$$
$$J_1 = \overline{Q}_0 \qquad K_1 = \overline{Q}_0 \qquad (10.10\text{-}2)$$
$$J_2 = Q_0 \qquad K_2 = \overline{Q}_1$$

O contador é mostrado na Fig. 10.10-4.

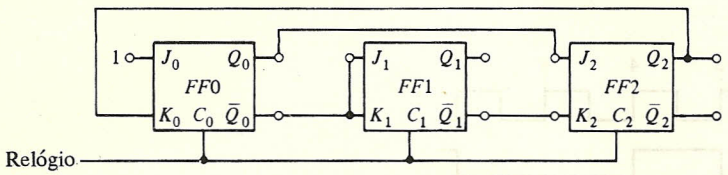


FIGURA 10.10-4
Um projeto alternativo para um contador de módulo 5.

Poderemos observar agora, a partir da Tabela 10.10-2, que Q_1 varia somente quando Q_0 varia de $Q_0 = \mathbf{0}$ para $Q_0 = \mathbf{1}$.

Assim, se quisermos, a excitação síncrona aplicada à entrada do relógio de *FF*1 pode ser substituída por uma conexão RIPPLE e *FF*0.

Como na Fig. 10.10-3, faríamos $J_1 = K_1 = \mathbf{1}$. No caso presente, entretanto, conectaríamos C_1 a Q_0 ao invés de a Q_0.

10.11 LOCKOUT

No contador especificado pela Tabela 10.10-1, os estados lógicos $Q_2Q_1Q_0 = \mathbf{101}$, **110** e **111** não são usados. Vamos supor agora que o contador se encontre em um destes estados não utilizados. Esta situação pode surgir como um resultado de ruído externo que afete o estado do flip-flop.

Para cada um dos estados listados na Tabela 10.10-1, sabemos para qual estado o contador vai após cada pulso de relógio. Não sabemos, entretanto, o estado seguinte para um estado não utilizado. Assim, há ainda a possibilidade de, quando por acaso o flip-flop "cair" em um estado não utilizado, o contador vá deste a um outro estado também não usado, nunca chegando a um estado utilizado. Neste caso, obviamente, o contador não se presta mais à sua finalidade. Um contador cujos estados não utilizados têm esta característica, dizemos que é passível de *LOCKOUT*. Para assegurarmos que o contador inicie em seu estado inicial, um circuito lógico externo deve ser providenciado para que deixe cada flip-flop preparado convenientemente.

Se, partindo de um estado não utilizado, um contador eventualmente chega a um estado usado, diretamente ou passando por outros estados não usados, a operação é freqüentemente aceitável. Poderemos considerar o tempo necessário para que ele chegue a um estado utilizado como sendo um tempo de aquecimento ou como um erro de contagem devido ao ruído. De qualquer modo, em qualquer projeto de contador, é necessário verificarmos *cada um* dos estados não usados para determinarmos se eles levam o contador a uma condição de LOCKOUT. Pode ser verificado que o LOCKOUT não será atingido em qualquer um dos estados não usados do contador da Fig. 10.10-2 (Prob. 10.11-1).

Para assegurarmos que o LOCKOUT não ocorra, projetamos o contador de tal modo que os J e os K de um estado não utilizado, e que previamente era designado por X, agora sejam

designados com valores que mudam o estado de não utilizado para utilizado. Por exemplo, se, no contador de módulo 5 mostrado na Fig. 10.10-2, o ruído causasse uma mudança de estado de tal modo que $Q_2Q_1Q_0 = \mathbf{101}$ (um estado não utilizado), o pulso seguinte do relógio mudaria o estado do contador para $Q_2Q_1Q_0 = \mathbf{010}$ (um estado utilizado). Para assegurarmos que isto ocorra por projeto (e não por sorte), precisamos, quando $Q_2Q_1Q_0 = \mathbf{101}$, ter $J_0 = \text{X}$, $K_0 = 1$, $J_1 = 1$, $K_1 = \text{X}$, $J_2 = \text{X}$, $K_2 = 1$. Estes valores deveriam ser inseridos na Fig. 10.10-1. Referenciando-nos à Eq. (10.10-1) e à Fig. 10.10-1, observamos que estes são os valores encontrados nos mapas K ou os valores assinalados por "não interessa" pela maneira como lemos os mapas.

EXEMPLO 10.11-1. É necessário reprojetarmos o contador de módulo 5 mostrado na Fig. 10.10-1, de tal modo que, se os estados não usados $Q_2Q_1Q_0 = \mathbf{101}$, **110** ou **111** ocorrerem, o pulso seguinte do relógio levará o contador a $Q_2Q_1Q_0 = \mathbf{000}$.

Solução. Os mapas K necessários para fazer o restabelecimento do contador são mostrados na Fig. 10.11-1. Aqui vemos que os J e os K foram alterados de maneira que, quando um estado não usado for atingido, teremos em seguida $Q_2Q_1Q_0 = \mathbf{000}$.

Por exemplo, para irmos de **101** a **000**, precisamos $J_0 = \text{X}$, $K_0 = 1$; $J_1 = 0$, $K_1 = \text{X}$; $J_2 = \text{X}$, $K_2 = 1$. Para irmos de **110** a **000**, precisamos que $J_0 = 0$, $K_0 = \text{X}$; $J_1 = \text{X}$, $K_1 = 1$; $J_2 = \text{X}$ e $K_2 = 1$. Finalmente, para irmos de **111** para **000**, precisamos que $J_0 = J_1 = J_2 = \text{X}$ e que $K_0 = K_1 = K_2 = 1$.

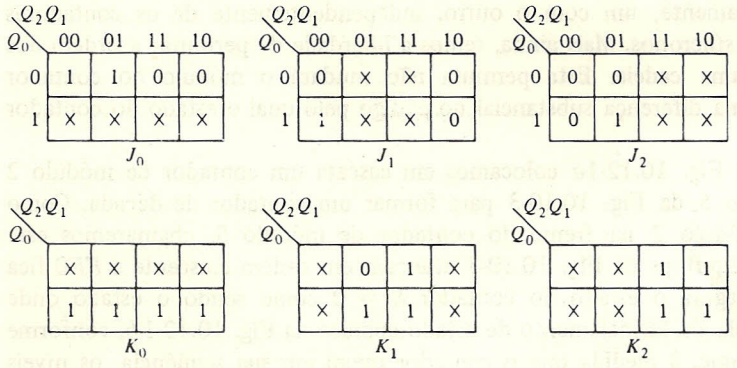


FIGURA 10.11-1
Mapas K para projetar um contador de módulo 5 que tem o comportamento de que, se um estado não usado aparecer, o contador irá a 000 no pulso seguinte do relógio.

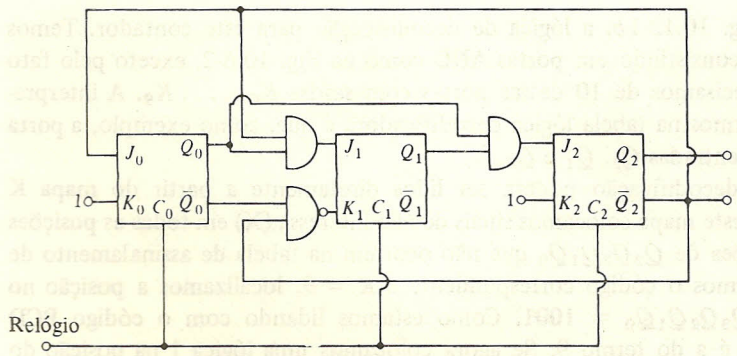


FIGURA 10.11-2
Um contador de módulo 5 que faz o restabelecimento, se um estado não usado é atingido.

As equações resultantes e simplificadas para os J e os K, obtidas a partir da Fig. 10.11-1, são

$$J_0 = \overline{Q}_2 \qquad K_0 = 1$$
$$J_1 = Q_0\overline{Q}_2 \qquad K_1 = Q_0 + Q_2 = \overline{\overline{Q_0}\,\overline{Q_2}}$$
$$J_2 = Q_0Q_1 \qquad K_2 = 1$$

O contador de módulo 5 resultante é mostrado na Fig. 10.11-2.

10.12 COMBINAÇÕES DE CONTADORES

Um flip-flop sozinho é um contador de módulo 2.

Uma cadeia de flip-flops, em série ou sincronamente operados, formará um contador com uma base que é uma potência de 2.

Agora, entretanto, construímos um contador de módulo 3 e um de módulo 5, e podemos combinar estas estruturas com contadores de módulo 2 para fazermos outros contadores que operam com módulo diferente de uma potência de 2. Assim, um contador de módulo 2 e um de módulo 3 em cascata nos dão um contador de módulo 6.

Dois contadores de módulo 3 formam um contador de módulo 9. Um contador de módulo 2 e um de módulo 5 podem ser combinados para formar uma *década contadora*, isto é, um contador de módulo 10. A conexão entre os contadores individuais pode ser do tipo RIPPLE, ou eles podem ser operados sincronamente, um com o outro, independentemente de os contadores individuais serem RIPPLE ou síncronos. Mais ainda, temos a liberdade de permutar a ordem dos contadores individuais em uma cadeia. Esta permuta não mudará o módulo do contador composto, mas pode fazer uma diferença substancial no código pelo qual o estado do contador será lido.

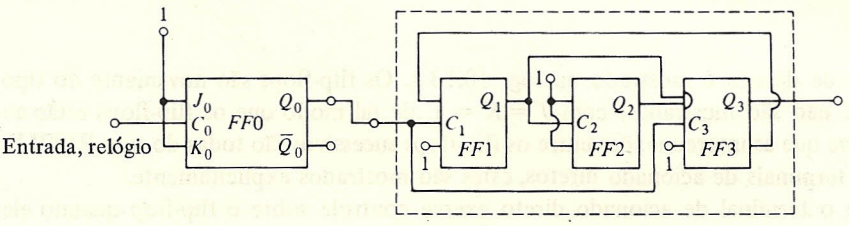
Como um exemplo, na Fig. 10.12-1*a* colocamos em cascata um contador de módulo 2 com um contador de módulo 5 da Fig. 10.10-3 para formar um contador de década. Como colocamos o flip-flop de módulo 2 na frente do contador de módulo 5, chamaremos este flip-flop de *FF*0. Assim, os flip-flops da Fig. 10.10-3 avançam em ordem crescente e *FF*0 fica sendo *FF*1, etc. Definimos agora o estado do contador $S = 0$ como sendo o estado onde $Q_3Q_2Q_1Q_0 = \mathbf{0000}$, e a tabela de assinalamento de estado aparece na Fig. 10.12-1*b*, conforme pode ser verificado. Observe que, à medida que o contador opera em sua seqüência, os níveis lógicos em $Q_3Q_2Q_1Q_0$ nos dão a leitura da contagem no código 8-4-2-1 que é o código binário decimal (BCD).

Também é dada, na Fig. 10.12-1*b*, a lógica de decodificação para este contador. Temos em mente um decodificador consistindo em portas AND como na Fig. 10.6-2, exceto pelo fato de que, no caso presente, precisamos de 10 destas portas com saídas $K_0, \ldots, K_9$. A interpretação dos números para entrarmos na tabela lógica decodificadora é que, como exemplo, a porta AND com saída K_4 teria três entradas Q_2, Q_1 e Q_0.

Os valores lógicos de decodificação podem ser lidos diretamente a partir do mapa K mostrado na Fig. 10.12-1*c*. Neste mapa colocamos sinais de não interessa (X) em todas as posições correspondentes às combinações de $Q_3Q_2Q_1Q_0$ que não ocorrem na tabela de assinalamento de estado. Por exemplo, para lermos o código correspondente a $K = 9$, localizamos a posição no mapa K correspondente a $Q_3Q_2Q_1Q_0 = \mathbf{1001}$. Como estamos lidando com o código BCD 8-4-2-1, esta posição também é a do termo 9. Se agora colocamos uma lógica 1 na posição do

termo 9, encontramos que ela pode ser combinada com as três posições vizinhas de não interessa para nos dar Q_3Q_0. Como um segundo exemplo, mostramos como o código para $K = 2$ corresponde a $\bar{Q}_2\bar{Q}_1\bar{Q}_0$.

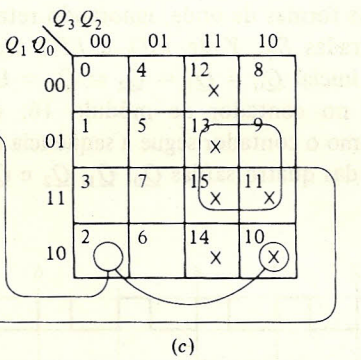
Na Fig. 10.12-1*a*, se permutarmos o contador de módulo 2 com o de módulo 5, ainda teremos um contador de módulo 10. A tabela de assinalamento de estado, entretanto, e a lógica de decodificação serão diferentes (veja o Prob. 10.12-1).



(*a*)

Estado do contador, S	Q_3	Q_2	Q_1	Q_0	Lógica de decodificação
0	0	0	0	0	$\bar{Q}_3\bar{Q}_2\bar{Q}_1\bar{Q}_0$
1	0	0	0	1	$\bar{Q}_3\bar{Q}_2\bar{Q}_1Q_0$
2	0	0	1	0	$\bar{Q}_2Q_1\bar{Q}_0$
3	0	0	1	1	$\bar{Q}_2Q_1Q_0$
4	0	1	0	0	$Q_2\bar{Q}_1\bar{Q}_0$
5	0	1	0	1	$Q_2\bar{Q}_1Q_0$
6	0	1	1	0	$Q_2Q_1\bar{Q}_0$
7	0	1	1	1	$Q_2Q_1Q_0$
8	1	0	0	0	$Q_3\bar{Q}_0$
9	1	0	0	1	Q_3Q_0

(*b*)



(*c*)

FIGURA 10.12-1
Um contador de década construído a partir de um contador de módulo 5 e de um de módulo 2.

10.13 OUTROS PROJETOS DE CONTADORES

Contadores com bases que são potências de 2 podem consistir em uma cadeia de flip-flops acoplados no modo RIPPLE.

A conexão RIPPLE evita a necessidade de portas externas aos flip-flops. Quando a base for diferente de uma potência de 2, poderemos projetar diretamente um contador, ainda que a partir de um assinalamento de estado especificado, desde que o projetemos para operação síncrona.

É de muito interesse considerarmos um esquema alternativo de projeto de contadores que nos permita o acoplamento RIPPLE através dele e, ao mesmo tempo, também nos permita um módulo arbitrário. A nova característica a ser aqui adicionada envolve o uso de entradas assíncronas para os flip-flops que não foram consideradas até aqui. (Como, por exemplo, a entrada direta de acionado.)

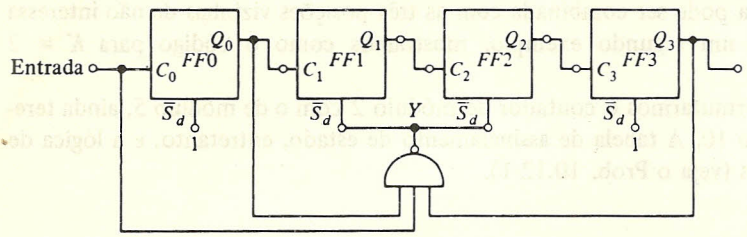


FIGURA 10.13-1
Um contador de década usando a entrada direta, $\bar{S}_d$.

Um contador de década é mostrado na Fig. 10.13-1. Os flip-flops são novamente do tipo *JK* (entradas *J* e *K* não são mostradas) com $J = K = \mathbf{1}$, de tal modo que os flip-flops estão no modo *toggle*. Observe que as interconexões entre os flip-flops sucessivos são todas do tipo RIPPLE. Como usaremos os terminais de acionado diretos, estes são mostrados explicitamente.

Supomos que o terminal de acionado direto exerce controle sobre o flip-flop quando ele está no nível lógico **0** e, assim, rotulamos estas entradas como S_d. As entradas diretas de acionado de *FF*0 e *FF*3 não são envolvidas na operação de contagem, sendo deixadas no **1** lógico.

Os gráficos das formas de onda, ignorando retardos na propagação, para as saídas dos flip-flops e para as entradas $\bar{S}_d$, *Y* de *FF*1 e *FF*2 são dados na Fig. 10.13-2. Observamos que, partindo do estado inicial $Q_0 = Q_1 = Q_2 = Q_3 = \mathbf{0}$ e indo até a contagem de 9, a operação é precisamente como no contador de módulo 16, desde que nesta faixa de contagem temos $Y = 1$. Também, como o contador segue a seqüência normal de RIPPLE, podemos ler diretamente a contagem a partir das quatro saídas Q_0, Q_1, Q_2 e Q_3 no código BCD 8-4-2-1.

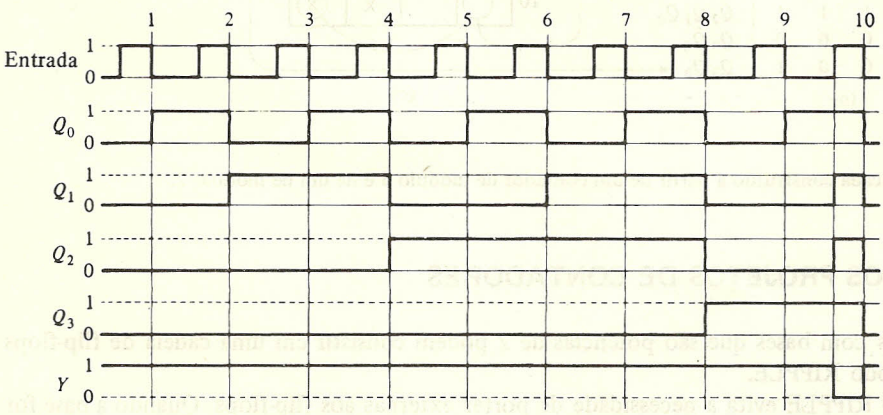


FIGURA 10.13-2
Formas de onda.

Na transição positiva da entrada que imediatamente segue a nona transição de gatilhamento do flip-flop, cada uma das entradas da porta NAND está no nível lógico **1**, e $Y = \mathbf{0}$. Como resultado, *FF*1 e *FF*2 vão para o estado acionado e temos então $Q_0 = Q_1 = Q_2 = Q_3 = \mathbf{1}$. A cadeia de flip-flops está agora no estado correspondente ao estado de contagem 15 = **1111** em um contador de RIPPLE direto. Assim, o efeito foi o de avançar a contagem de **1001** = 9 para **1111** = 15 em um passo, quando o pulso do relógio de entrada estava no nível **1**, pulando por

todos os estados intermediários. Quando o pulso de relógio na entrada retorna ao nível **0**, produzindo uma transição negativa, um RIPPLE é iniciado através de toda a cascata de flip-flops, retornando cada um deles ao estado de restabelecido, de tal modo que o contador voltou ao seu estado inicial.

Na décima transição negativa na entrada, Y irá para $Y = \mathbf{1}$, libertando $FF1$ e $FF2$ do controle. Q_0 também irá para $Q_0 = \mathbf{0}$, induzindo uma mudança de estado em $FF1$ de $Q_1 = \mathbf{1}$ para $Q_1 = \mathbf{0}$. Se este for sem dúvida o caso, será necessário que Y vá para $Y = \mathbf{1}$ *antes* de Q_0 ir para $Q_0 = \mathbf{0}$. Este requisito não deveria causar dificuldade, entretanto, porque geralmente esperaríamos que o retardo na propagação através da porta seria menor do que o retardo através de um flip-flop e que Y voltaria a **1** quando o pulso do relógio fosse a **0**.

No código BCD 8-4-2-1, o decimal 9 é **1001** e, em um contador de década, esta contagem deveria ser seguida de **0000**. Observamos, entretanto, no gráfico das formas de onda da Fig. 10.13-2 que **1001** é seguido de **1111**, no intervalo de tempo em que o relógio de entrada está no nível lógico **1**, antes de ir a **0000**.

Para evitarmos este estado não desejado do contador, ao efetuarmos a leitura será necessário, é claro, utilizarmos o STROBE apropriadamente, da mesma forma que é necessário utilizá-lo para evitarmos erros na leitura da contagem devido a retardos de propagação (como foi discutido a respeito da Fig. 10.6-2).

Podemos finalmente observar que o esquema empregado na Fig. 10.13-1 para construir um contador de década pode ser empregado de uma forma extensiva para construir um contador de módulo k arbitrário.

Os passos para o projeto são os seguintes:

1. O número de flip-flops N é determinado pela condição $2^{N-1} < k < 2^N$.
2. A porta NAND tem como entradas: a entrada do contador e a saída Q de cada flip-flop que está no estado acionado ($Q = \mathbf{1}$) na contagem $k - 1$.
3. A saída da porta NAND está conectada às entradas diretas de acionado $\overline{S}_d$ de cada flip-flop que está no estado restabelecido ($Q = \mathbf{0}$) na contagem $k - 1$.

Outros contadores do tipo RIPPLE e síncronos aparecem nos Probs. 10.13-4 e 10.13-5.

10.14 O CONTADOR RIPPLE CRESCENTE-DECRESCENTE

Se lemos a contagem de acordo com a Eq. (10.6-1), o contador de RIPPLE de módulo 16 da Fig. 10.6-1*a* conta na seqüência 0, 1, 2, . . . , 15, 0, 1, etc. Tal contador é chamado de contador *crescente* ou contador *para frente*. Um contador *decrescente* ou *para trás* conta na seqüência 0, 15, 14, . . . , 1, 0, 15, etc. É deixado como exercício ao estudante (Prob. 10.14-1) verificar que um contador de *RIPPLE-crescente* pode ser convertido em um contador do tipo *RIPPLE-decrescente* simplesmente conectando a entrada do relógio de cada flip-flop (a não ser $FF0$) à saída $\overline{Q}$ do flip-flop precedente, no lugar de ligarmos à saída Q.

O contador que conta tanto para frente (crescente) como para trás (decrescente) dependendo de um sinal lógico de controle é mostrado na Fig. 10.14-1. Portas foram interpostas entre os flip-flops de tal modo que o nível lógico em M pode determinar se a entrada de relógio do flip-flop subseqüente é conectada à saída Q ou $\overline{Q}$ do flip-flop precedente. Com o modo $M = \mathbf{1}$

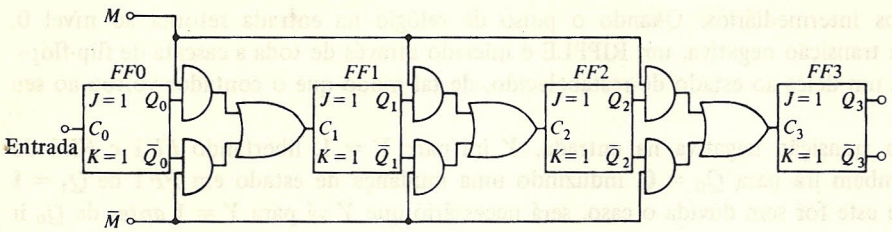


FIGURA 10.14-1
Um contador de RIPPLE direto e reverso.

($\bar{M} = \mathbf{0}$), cada entrada C do relógio é conectada a uma saída Q e a contagem segue *ascendente* (*up*). Alternativamente, com $M = \mathbf{0}$, a contagem se dá na direção *decrescente* (*down*).

Uma precaução deverá ser tomada em relação ao uso do contador crescente-decrescente da Fig. 10.14-1. Não temos a liberdade de mudar a direção da contagem com uma contagem arbitrária registrada no contador, exceto com o risco de termos uma mudança na contagem. Vamos supor que o contador esteja contando na direção crescente ($M = \mathbf{1}$, $\bar{M} = \mathbf{0}$) e está em um ponto onde um dos flip-flops, digamos *FF*0 está em $Q_0 = \mathbf{1}$. Então, como $M = \mathbf{1}$ e $\bar{M} = \mathbf{0}$, deveremos ter $C_1 = \mathbf{1}$. Suponha que mudemos a direção, fazendo M ir para $M = \mathbf{0}$ e $\bar{M}$ para $\bar{M} = \mathbf{1}$. Então, como resultado, e apesar do fato de que *FF*0 não mudou de estado, o nível lógico em C_1 irá de **1** para **0** e *FF*1 mudará de estado (supomos que a saída do flip-flop responde a uma transição negativa do relógio). Da mesma forma, qualquer flip-flop cujo flip-flop precedente está no estado acionado, mudará de estado e portanto a contagem registrada no contador mudará. Se quisermos evitar esta mudança na contagem, deveremos mudar a direção de crescente para decrescente somente quando cada um dos flip-flops (exceto o último) estiver no estado restabelecido. Alternativamente, uma mudança da direção decrescente para a direção crescente deve ser feita somente quando os flip-flops estiverem no estado acionado.

Uma modificação do contador crescente-decrescente que nos permite mudar a direção em qualquer instante e contagem sem a perda da contagem é mostrada na Fig. 10.14-2. Neste circuito, há uma entrada adicional para cada porta AND. No caso da porta AND que se acopla a *FF*0 e a *FF*1, esta entrada adicional é conectada a C_0; no conjunto seguinte de portas AND, a conexão é feita a C_1 e assim por diante. É deixado como problema (Prob. 10.14-3) a verificação de que o contador modificado pode ser invertido em qualquer contagem.

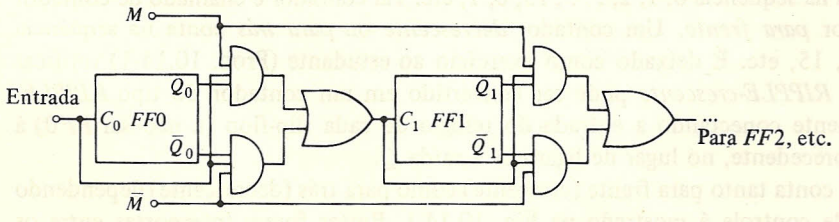


FIGURA 10.14-2
Um contador crescente-decrescente, projetado para permitir uma mudança na direção da contagem.

10.15 O CONTADOR CRESCENTE-DECRESCENTE SÍNCRONO

Para projetarmos um contador crescente-decrescente síncrono, comecemos pelo projeto de dois contadores separados. O primeiro (vamos chamá-lo de *contador crescente*) é projetado para seguir uma seqüência de estados do contador de qualquer maneira que seja especificado. O segundo (o *contador decrescente*) é então projetado para seguir a mesma seqüência, só que de maneira reversa. Portas externas são então adicionadas, conforme forem necessárias, para mudar as conexões daquelas apropriadas para uma direção de contagem para aquelas apropriadas para a outra.

Como um exemplo, vamos projetar um contador *crescente-decrescente* síncrono de módulo 3. Seja a seqüência *crescente* especificada conforme a Tabela 10.9-1. Para este caso, já verificamos que as equações de excitação *JK* para os dois flip-flops são dadas pela Eq. (10.9-1). Estas equações são

$$\begin{aligned} J_0 &= \overline{Q}_1 \qquad K_0 = 1 \\ J_1 &= Q_0 \qquad K_1 = 1 \end{aligned} \tag{10.15-1}$$

TABELA 10.15-1

Estado do contador S	Q_1	Q_0
0	0	0
1	1	0
2	0	1
0	0	0

A tabela de assinalamento de estado para o contador decrescente deve então ser dada pela Tabela 10.15-1. Pode ser verificado (Prob. 10.15-1) que, para o contador decrescente, um conjunto possível de equações de excitação *JK* é

$$\begin{aligned} J_0 &= Q_1 \qquad K_0 = 1 \\ J_1 &= \overline{Q}_0 \qquad K_1 = 1 \end{aligned} \tag{10.15-2}$$

Assim, é aparente deste caso simples que o chaveamento entre *crescente* e *decrescente* simplesmente envolve o chaveamento de J_0 entre $\overline{Q}_1$ e Q_1 e o chaveamento de J_1 entre Q_0 e $\overline{Q}_0$. O diagrama do circuito do contador é mostrado na Fig. 10.15-1.

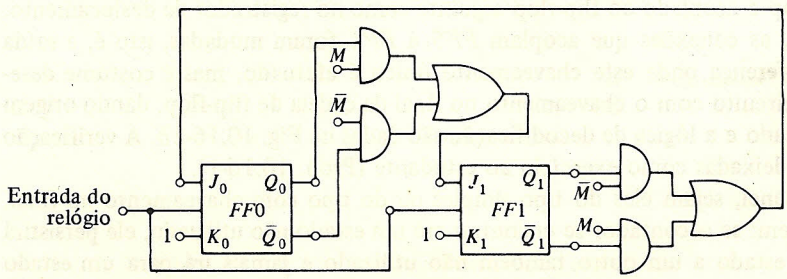


FIGURA 10.15-1
Um contador crescente-decrescente síncrono.

O controle do modo é M. Quando $M = \mathbf{1}$ ($\bar{M} = \mathbf{0}$), o contador é crescente, ao passo que, quando $M = \mathbf{0}$, o contador é decrescente. Pode também ser verificado que a direção da contagem pode ser mudada, desde que a entrada do relógio seja **0**, sem que haja alteração da contagem armazenada no contador.

10.16 CONTADORES EM ANEL

O registrador de deslocamento com vai um antecipado descrito anteriormente pode ser usado como um contador. Neste contador os flip-flops estão acoplados como em um registrador de deslocamento, com o último flip-flop acoplado ao primeiro, de tal modo que o arranjo dos flip-flops fica disposto em anel. Estes contadores são referidos conseqüentemente como *contadores em anel.*

Vamos supor que o anel tenha k flip-flops e que colocamos um flip-flop no estado acionado, enquanto todos os outros estão no estado restabelecido. Então, para cada pulso do relógio na entrada, a condição acionado avançará um flip-flop pelo anel, retornando ao flip-flop inicial depois de k ciclos na entrada. Este circuito é mostrado na Fig. 10.16-1 e constitui um contador de módulo k.

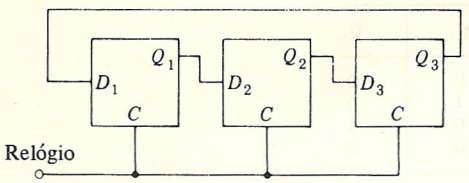


FIGURA 10.16-1
Um contador em anel.

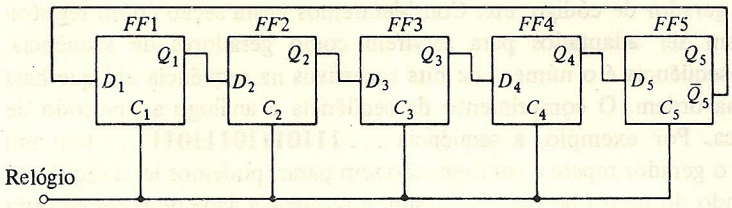
O contador em anel tem a vantagem de não precisar de decodificador pois podemos fazer a leitura da contagem simplesmente pela observação do flip-flop que está acionado.

Como sua operação é inteiramente síncrona e não necessita de portas externas aos flip-flops, ele tem a vantagem adicional de ser extremamente rápido. Tem, porém, a desvantagem de ser antieconômico no que se refere aos flip-flops.

Assim, um contador em anel de módulo 16 precisa de 16 flip-flops, enquanto um contador RIPPLE de módulo 16 necessita de somente 4 flip-flops.

A economia no número de flip-flops pode ser melhorada por uma modificação no contador em anel simples, passando a constituir um contador em anel com chaveamento no final (*SWITCH-TAIL*). Este contador necessita de somente metade do número de flip-flops. Um contador de década do tipo SWITCH-TAIL mostrado na Fig. 10.16-2 usa somente cinco flip-flops. Exceto em um caso, cada flip-flop é acoplado ao flip-flop seguinte como no registrador de deslocamento. Em um caso, entretanto, as conexões que acoplam *FF*5 a *FF*1 foram mudadas, isto é, a saída $\bar{Q}_5$ vai a D_1. Não faz diferença onde este chaveamento único é efetuado, mas é costume desenharmos o diagrama do circuito com o chaveamento no final da cadeia de flip-flop, dando origem ao nome. A tabela de estado e a lógica de decodificação são dadas na Fig. 10.16-2*b*. A verificação desta tabela e lógica são deixadas como exercício ao estudante (Prob. 10.16-1).

Os contadores em anel, sejam eles do tipo simples ou do tipo com chaveamento no final, têm a seguinte desvantagem: se o contador se encontrar em um estado não utilizado, ele persistirá desta forma, indo deste estado a um outro também não utilizado e jamais irá para um estado



(*a*)

Estado do contador, K	Q_1	Q_2	Q_3	Q_4	Q_5	Lógica de decodificação
0	0	0	0	0	0	$\overline{Q_1 + Q_5}$
1	1	0	0	0	0	$\overline{\bar{Q}_1 + Q_2}$
2	1	1	0	0	0	$\overline{\bar{Q}_2 + Q_3}$
3	1	1	1	0	0	$\overline{\bar{Q}_3 + Q_4}$
4	1	1	1	1	0	$\overline{\bar{Q}_4 + Q_5}$
5	1	1	1	1	1	$\overline{\bar{Q}_5 + \bar{Q}_1}$
6	0	1	1	1	1	$\overline{Q_1 + \bar{Q}_2}$
7	0	0	1	1	1	$\overline{\bar{Q}_2 + \bar{Q}_3}$
8	0	0	0	1	1	$\overline{Q_3 + \bar{Q}_4}$
9	0	0	0	0	1	$\overline{\bar{Q}_4 + \bar{Q}_5}$

(*b*)

FIGURA 10.16-2
(*a*) Contador em anel SWITCH-TAIL; (*b*) tabela da verdade.

utilizado. Esta dificuldade pode ser corrigida, acrescentando-se uma porta AND como na Fig. 10.16-3. Com este acréscimo, se o contador se encontrar inicialmente em um estado não usado, então, após um determinado número de ciclos do relógio, dependendo do estado, o contador irá para um estado usado e daí em diante seguirá a seqüência estabelecida pelo assinalamento de estado da Fig. 10.16-2*b*. No Prob. 10.16-3 o estudante é orientado através de uma análise de correção de erro efetuada pela adição da porta AND.

10.17 GERADORES DE SEQÜÊNCIA

Um *gerador de seqüência* é um sistema que gera, em sincronismo com um relógio, uma seqüência predeterminada de bits lógicos. Estes geradores podem ser usados como um contador,

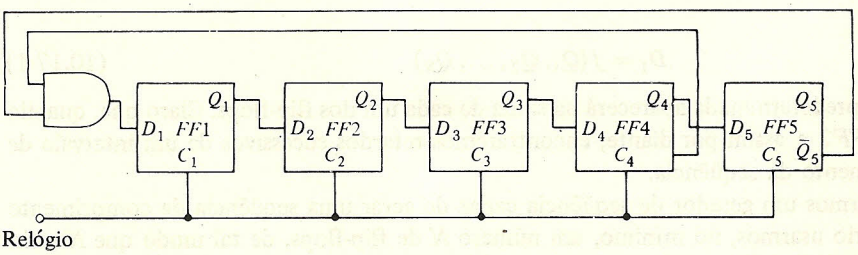


FIGURA 10.16-3
Um contador em anel SWITCH-TAIL projetado para evitar o LOCKOUT.

um divisor de freqüência, um gerador de código, etc. Consideraremos nesta seção como registradores de deslocamento podem ser adaptados para servirem como geradores de seqüência.

O *comprimento* de uma seqüência é o número de bits sucessivos na seqüência até que haja a repetição dos bits na mesma ordem. O comprimento da seqüência é análogo ao período de uma forma de onda analógica. Por exemplo, a seqüência ... **11101110111011** ... tem um *comprimento* de 4 bits. Como o gerador repete a configuração sem parar, podemos ler a seqüência de diversas maneiras, dependendo do ponto de partida. Assim, a seqüência dada pode ser descrita como sendo a repetição de **1110** ou **1101** ou **1011** ou ainda **0111**. As seqüências de bits estarão disponíveis, conforme veremos, na saída de flip-flops. Se usarmos a seqüência disponível na saída complementar do flip-flop, leremos a seqüência como sendo **0001** ou **0010** ou **0100** ou ainda **1000**.

Assim sendo, a repetição de qualquer uma das oito séries de quatro bits constitui a mesma seqüência. É interessante observarmos que em muitas aplicações o comprimento da seqüência é mais importante do que a configuração exata dos bits repetidos. Pode ser verificado que, para um comprimento de 1, 2 ou 3 bits, há somente uma seqüência possível para cada caso. Para um comprimento de 4 bits há duas seqüências.

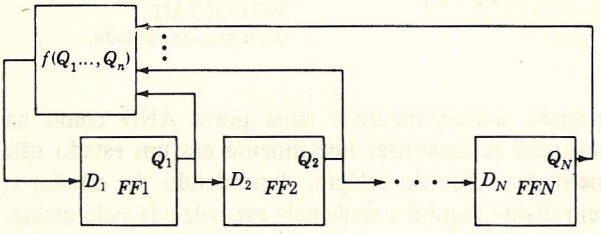


FIGURA 10.17-1
A estrutura básica de um gerador de seqüência.

A estrutura básica de um gerador de seqüência é mostrada na Fig. 10.17-1. Temos aí N flip-flops em cascata, como usualmente aparecem em um registrador de deslocamento. Flip-flops do tipo D foram usados. Uma forma de onda correspondente ao relógio, e que não é explicitamente mostrada, é aplicada a todos os flip-flops. O sistema tem característica de um contador registrador de deslocamento em anel. Em um contador em anel, a saída Q_n do último flip-flop se torna a entrada de dados D_1 do primeiro flip-flop. No caso presente, entretanto, o nível lógico de D_1 é determinado não somente por Q_n mas também pela saída de outros flip-flops da cascata, isto é,

$$D_1 = f(Q_1, Q_2, \ldots, Q_N) \tag{10.17-1}$$

A seqüência predeterminada aparecerá na saída de cada um dos flip-flops. Claro que, quando vamos de $FF1$ a $FF2$ e assim por diante, encontraremos retardos sucessivos de um intervalo de relógio no aparecimento da seqüência.

Para construirmos um gerador de seqüência capaz de gerar uma seqüência de comprimento S, torna-se necessário usarmos, no mínimo, um número N de flip-flops, de tal modo que N satisfaça a condição

$$S \leq 2^N - 1 \tag{10.17-2}$$

Se é determinada a ordem dos **1** e **0** na seqüência, geralmente não será possível a geração de um comprimento S quando o número mínimo de flip-flops for usado. Por outro lado, para qualquer N, há no mínimo uma seqüência para a qual seu comprimento S é máximo, isto é, $S = 2^N - 1$.

Para ilustrarmos o projeto de um gerador de seqüência, vamos considerar, por exemplo, a geração da seqüência $S = \ldots$ **100010011010111** $\ldots$, que é uma seqüência de comprimento $S = 15$ e portanto haverá a necessidade de no mínimo quatro flip-flops. Não temos garantia de que será possível a realização desta seqüência com quatro flip-flops. Veremos, entretanto, que no presente caso há esta possibilidade.

Intervalo do relógio k	Q_1	Q_2	Q_3	Q_4	$D_1 = f(Q_1 \ldots, Q_N)$
1	1	1	1	1	0
2	0	1	1	1	0
3	0	0	1	1	0
4	0	0	0	1	1
5	1	0	0	0	0
6	0	1	0	0	0
7	0	0	1	0	1
8	1	0	0	1	1
9	1	1	0	0	0
10	0	1	1	0	1
11	1	0	1	1	0
12	0	1	0	1	1
13	1	0	1	0	1
14	1	1	0	1	1
15	1	1	1	0	1
1	1	1	1	1	0
2	0	1	1	1	0
3	0	0	1	1	0
⋮	⋮	⋮	⋮	⋮	⋮

FIGURA 10.17-2
Tabela da verdade para um gerador de seqüência para a seqüência dada por Q_1.

Na Fig. 10.17-2, correspondente aos 15 intervalos de relógio da seqüência, listamos a seqüência predeterminada na coluna Q_1. As seqüências listadas nas colunas Q_2, Q_3 e Q_4 são correspondentes a esta mesma seqüência com um retardo de um, dois e três intervalos de relógio, respectivamente. A coluna D_1 é escrita a partir do exame da coluna Q_1. Assim, quando $k = 2$, é necessário que $Q_1 = \mathbf{0}$. Quando $k = 1$, é necessário que $D_1 = \mathbf{0}$. A partir desta tabela da verdade da Fig. 10.17-2, podemos prontamente verificar pelo uso de um mapa K (ou, neste caso, por inspeção simplesmente) que D_1 deve ser

$$D_1 = Q_3 \oplus Q_4 \tag{10.17-3}$$

Assim, o gerador de seqüência é mostrado na Fig. 10.17-3.

A palavra "estado", quando aplicada a um circuito seqüencial como o da Fig. 10.17-1, se refere à coleção de estados dos flip-flops individuais. Assim, no primeiro intervalo de relógio, o sistema está no estado **1111** ($Q_1Q_2Q_3Q_4 = 1111$), enquanto no segundo intervalo ele está no estado **0111**, e assim por diante. Um circuito seqüencial com N flip-flops é capaz, em princípio, de estar em 2^N estados.

Vamos supor, então, que fazemos uma tabela de seqüência como a da Fig. 10.17-2 para um gerador de máximo comprimento, com N flip-flops. É necessário que, durante a geração

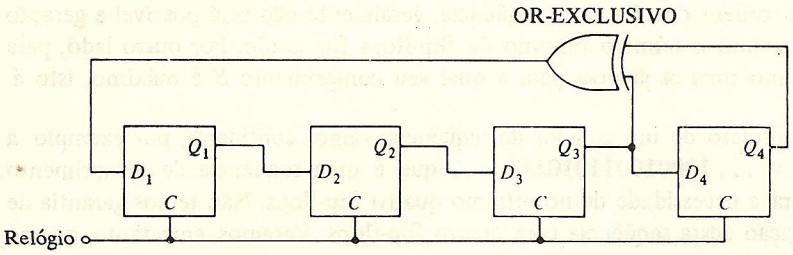


FIGURA 10.17-3
Um gerador de seqüência para a seqüência dada por $Q_1(k)$ da Fig. 10.17-2.

da seqüência completa, não haja a repetição de estado. Este é o caso, já que o estado presente determina de um modo único o desenvolvimento da seqüência. Assim, a recorrência a um estado particular implica a recorrência da seqüência que se segue.

Pode ser verificado que, na Fig. 10.17-2, cada estado possível ocorre, sem dúvida, somente uma vez, exceto pelo estado **0000**. Este estado de zeros deve ser excluído, desde que neste estado, $D_1 = \mathbf{0}$. Assim, o estado seguinte, no intervalo de relógio seguinte, seria novamente **0000**. Assim, se este estado ocorresse, o gerador cessaria de fornecer seqüências.

É aparente agora que um gerador de seqüência, construído a partir da configuração da Fig. 10.17-1, e de uma maneira que requer a eliminação do estado de zeros, tem disponível $2^N - 1$ estados e pode, portanto, gerar uma seqüência de comprimento máximo. O truque consistirá em encontrarmos como gerar a entrada de dados D_1 para o primeiro flip-flop de maneira a assegurarmos que todos os estados possíveis sejam percorridos antes que haja a repetição de estado. Quando encontramos o D_1 necessário, o gerador de seqüência pode começar a funcionar depois de inicialmente registrarmos nos flip-flops qualquer estado que não seja o estado de zeros. Estabeleceremos agora, sem prova, que, para N até $N = 15$, a lógica necessária para D_1, a fim de obtermos uma seqüência de comprimento máximo é a dada na Tabela 10.17-1. Deve ser observado aqui que outras seqüências de comprimento máximo são possíveis desde que, é claro, uma lógica diferente para D_1 seja empregada. Por exemplo, para $N = 14$, há a possibilidade de formarmos 756 seqüências diferentes com comprimento máximo.

Observamos que é necessário evitar a situação em que o nível **0** é registrado em todos os flip-flops. Esta circunstância pode ser gerada por acaso quando o gerador for ligado ou por efeitos de sinais espúrios (ruído). É deixado como problema demonstrar que, se no gerador de

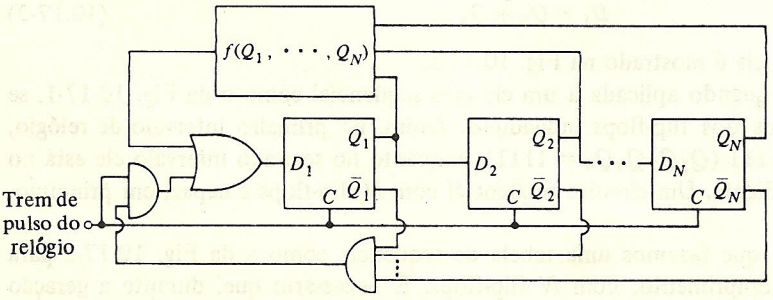


FIGURA 10.17-4
Como iniciar um gerador de seqüência de máximo comprimento.

TABELA 10.17-1
Projeto Lógico para Registradores de Deslocamento de Seqüências Máximas

N	D_1, *projeto lógico para* $S = 2^N - 1$
1	Q_1
2	$Q_1 \oplus Q_2$
3	$Q_2 \oplus Q_3$
4	$Q_3 \oplus Q_4$
5	$Q_3 \oplus Q_5$
6	$Q_5 \oplus Q_6$
7	$Q_6 \oplus Q_7$
8	$Q_2 \oplus Q_3 \oplus Q_4 \oplus Q_8$
9	$Q_5 \oplus Q_9$
10	$Q_7 \oplus Q_{10}$
11	$Q_9 \oplus Q_{11}$
12	$Q_2 \oplus Q_{10} \oplus Q_{11} \oplus Q_{12}$
13	$Q_1 \oplus Q_{11} \oplus Q_{12} \oplus Q_{13}$
14	$Q_2 \oplus Q_{12} \oplus Q_{13} \oplus Q_{14}$
15	$Q_{14} \oplus Q_{15}$

seqüência mostrado na Fig. 10.17-4 todos os flip-flops estiverem no estado **0**, o primeiro pulso do relógio levará o sistema ao estado **100 . . . 0**.

As seqüências aleatórias de comprimento máximo. Vamos supor que observamos os bits em uma seqüência, à medida que eles aparecem. Uma observação deste tipo pode ser comparada à observação dos resultados ao atirarmos uma moeda. Cada bit é um **1** ou um **0** lógico.

Da mesma maneira, cada jogada da moeda nos dá cara ou coroa. Em cada jogada individual, não é possível saber de antemão se vamos obter cara ou coroa. Mais ainda, encontraríamos que, considerando um grande número de jogadas, caras e coroas apareceriam com a mesma freqüência. Finalmente, descobriríamos que, mesmo que examinássemos os resultados obtidos anteriormente, isto em nada nos auxiliaria a predizer o resultado da jogada seguinte. Por causa destas características, descrevemos o resultado de jogar uma moeda como sendo um evento *aleatório*.

Um resultado interessante é que as seqüências de comprimento máximo geradas de acordo com o método acima exposto possuem caráter aleatório. É verificado que o conhecimento do passado da seqüência não nos ajuda a predizer o bit seguinte, a menos que tenhamos acesso ao passado longínquo, o suficiente para detectarmos o fato de que a seqüência sem dúvida se repete.

Uma vez descoberta a periodicidade, estaríamos aptos a predizer os bits futuros por comparação com os bits correspondentes no período anterior. Por causa desta periodicidade, e por que a seqüência é gerada de maneira determinística, a seqüência de comprimento máximo é também chamada de seqüência *pseudo-aleatória.*

Por outro lado, suponha que dificultemos a alguém adivinhar o bit seguinte em uma seqüência, mesmo que este alguém saiba que a seqüência é gerada por um gerador de seqüência e,

conseqüentemente, não é aleatória mas sim pseudo-aleatória. Este poderia ser o caso para o desenvolvimento de códigos de segurança. Poderíamos então usar um grande número de flip-flops (N grande). Em MOS, utilizando integração em grande escala (LSI), é bastante razoável termos um registrador de 2.000 flip-flops em uma pastilha. Neste caso, o comprimento da seqüência seria $2^{2.000} - 1$. O possível adivinhador do bit seguinte teria muita dificuldade, sem dúvida, em memorizar um número de bits tão grande, de maneira a determinar o comprimento da seqüência.

Uma maneira de chegarmos a uma medida numérica de quão aleatória é uma dada seqüência é a seguinte. Suponha que temos uma seqüência sendo representada por uma forma de onda que é $+1$ V para o lógico **1** e -1 V para o lógico **0**. Multipliquemos a tensão da seqüência por ela mesmo em cada intervalo e somemos os produtos. A soma dos produtos seria $2^N - 1$. Vamos agora realizar a mesma aritmética usando a seqüência dada e a seqüência deslocada de um ou mais intervalos. Suponha que a seqüência seja realmente aleatória, e que um bit particular não tenha correlação com um bit obtido no passado. Esperamos então achar que em qualquer intervalo há o mesmo número de tensões positivas e negativas. Assim, quando multiplicamos bits em um intervalo, e somamos os produtos, esperamos achar zero como resultado. Esta soma de produtos é chamada de função *autocorrelação* da seqüência.

Seja $Q(k)$ uma seqüência onde k é o número do intervalo de relógio. Assim, $Q(k) = +1$ ou -1 V. Então $Q(k + i)$ é a mesma seqüência, exceto por um deslocamento (retardo ou adiantamento) de i intervalos do relógio. Pode ser mostrado que a função autocorrelação R é

$$R(i) = \sum_{k=1}^{2^N-1} Q(k)Q(k+i) = \begin{cases} 2^N - 1 & i = 0, 2^N - 1, 2(2^N - 1), \ldots \\ -1 & \text{nos outros casos.} \end{cases} \qquad (10.17\text{-}4)$$

Se a seqüência fosse realmente aleatória, deveríamos ter $R(i) = 2^N - 1$ somente para $i = 0$, e $R(i) = 0$ para os outros casos.

Seqüências predeterminadas. Estávamos preocupados, na discussão acima, principalmente com o comprimento da seqüência.

Suponha, entretanto, que agora queremos gerar uma seqüência predeterminada. Seguindo então o procedimento indicado na tabela da verdade da Fig. 10.17-2, poderemos chegar a uma dificuldade. Considere, por exemplo, que queremos gerar a seqüência $S = \ldots \mathbf{1011110} \ldots$ Como há sete intervalos, poderemos fazer a tentativa com três flip-flops, já que $2^3 - 1 = 7$. Encontramos agora, conforme a Fig. 10.17-5*a*, que, nos intervalos $k = 1$ e $k = 3$, o estado do sistema é o mesmo. Há a necessidade de gerarmos $D_1 = 1$ em um caso e $D_1 = 0$ no outro. Como D_1 deve ser uma função fixa do estado do sistema, não poderemos ter dois valores para D_1. O mesmo problema existe nos estados $k = 5$ e 6.

O problema pode ser resolvido aumentando-se o número de flip-flops até que cada estado na tabela da verdade fique único.

k	Q_1	Q_2	Q_3	D_1
1	1	0	1	0
2	0	1	0	1
3	1	0	1	1
4	1	1	0	1
5	1	1	1	1
6	1	1	1	0
7	0	1	1	1

(*a*)

k	Q_1	Q_2	Q_3	Q_4	D_1
1	1	0	1	1	0
2	0	1	0	1	1
3	1	0	1	0	1
4	1	1	0	1	1
5	1	1	1	1	0
6	1	1	1	1	0
7	0	1	1	1	1

(*b*)

FIGURA 10.17-5
(*a*) Tabela da verdade para uma seqüência "problemática" dada por $Q_1(k)$. (*b*) Tabela da verdade com um quarto flip-flop.

No caso presente, um flip-flop adicional se mostra adequado, como pode ser visto na tabela da Fig. 10.17-5*b*. Nesta tabela aparecem somente 7 dos 16 estados possíveis. Nenhum estado, entretanto, aparece mais de uma vez. Pode ser verificado, a partir desta tabela, que o dado de entrada requerido em D_1 é

$$D_1 = \overline{Q_1 Q_3 Q_4}$$

O circuito do gerador de seqüência é dado na Fig. 10.17-6.

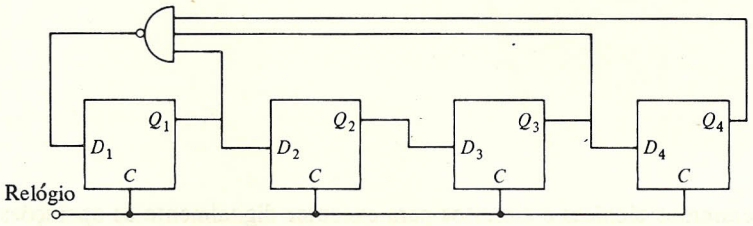


FIGURA 10.17-6
Gerador de seqüência para a seqüência: 1 0 1 1 1 1 0.

REFERÊNCIA

1. Taub, H., e D. L. Schilling. *Principles of Communications Systems*. McGraw-Hill, New York, 1971, caps. 1 e 2.

CAPÍTULO 11
Operações Aritméticas

Neste capítulo consideraremos técnicas e circuitos para executar digitalmente as operações aritméticas de adição, subtração, multiplicação e divisão. Onde a aritmética de módulo 2 for envolvida, deixaremos os valores lógicos **1** e **0**, respectivamente, representarem os dígitos numéricos 1 e 0. Não faremos a distinção cuidadosa entre estes valores *lógicos* e *numéricos* visto que não resultará em confusões.

11.1 SOMA DE DOIS NÚMEROS BINÁRIOS

Dois dígitos binários, um adicionado (*ADDEND*) e um aumentado (*AUGEND*), são somados conforme a Fig. 11.1-1, para gerar um dígito soma (*S*) e um dígito vai um (*C*). As regras da Fig. 11.1-1 aparecem na Fig. 11.1-2 na forma de tabela da verdade.

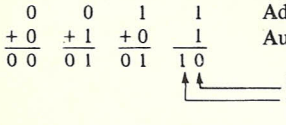


FIGURA 11.1-1
Soma de dois dígitos binários.

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

FIGURA 11.1-2
Tabela da verdade para soma módulo 2.

O dígito vai um está relacionado ao ADDEND e ao AUGEND pela lógica AND

$$C = A \cdot B \tag{11.1-1}$$

enquanto a soma é dada pela operação OU-EXCLUSIVO (veja Fig. 11.1-3*a*); ou seja,

$$S = A \oplus B = A \cdot \overline{B} + \overline{A} \cdot B \tag{11.1-2}$$

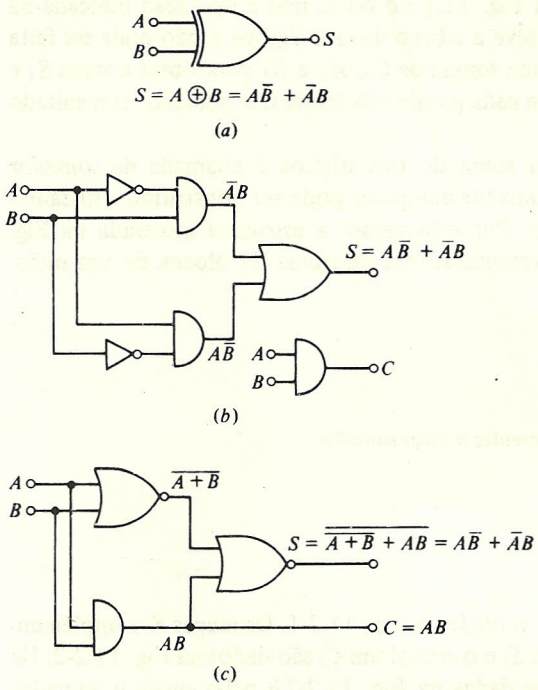


FIGURA 11.1-3
(*a*) Uma porta OU-EXCLUSIVO gera o bit soma, (*b*) o bit vai um é gerado por uma porta separada, (*c*) um método alternativo de gerar os bits soma e vai um.

Uma realização com uma porta OU-EXCLUSIVO está mostrada na Fig. 11.1-3. (Um circuito OU-EXCLUSIVO com RTL está discutido na seção 4.8.) Se os complementos de A e B forem disponíveis, então os inversores não serão necessários. Uma segunda realização de OU-EXCLUSIVO está dada na Fig. 11.1-3*c*. Aqui notamos que $C = AB$ está disponível, de modo que não é necessária uma porta separada para gerar C.

Dois números em módulo 2 de N dígitos, $A = A_{N-1}, A_{N-2}, \ldots, A_0$ e $B = B_{N-1}, B_{N-2}, \ldots, B_0$ são somados como mostrado na Fig. 11.1-4. O procedimento é o seguinte: os bits menos significativos A_0 e B_0 são somados e fornecem uma soma S_0 e um vai um C_0.

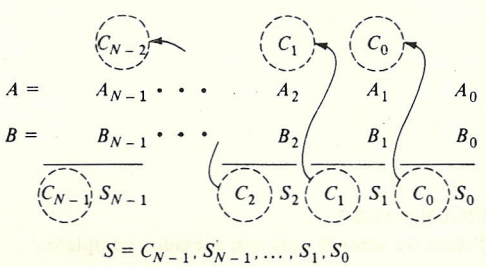


FIGURA 11.1-4
Soma de dois números de N bits.

(Esta operação pode ser feita com as portas da Fig. 11.1-3*b* ou *c*, mas a operação indicada na segunda e nas demais colunas da Fig. 11.1-4 envolve a adição de três dígitos e não pode ser feita com a porta OU-EXCLUSIVO.) Na segunda coluna somamos C_0, A_1 e B_1 para obter a soma S_1 e o vai um C_1. Este procedimento continua até que cada par de bits tenha sido somado. O resultado é a soma $S = C_{N-1}, S_{N-1}, \ldots, S_0$.

Uma estrutura de porta que executa esta soma de três dígitos é chamada de *somador completo*. Verifica-se, como veremos, que um somador completo pode ser construído utilizando duas estruturas de porta da Fig. 11.1-3*b* ou *c*. Por esta razão, a estrutura mostrada na Fig. 11.1-3*b* é chamada de *meio-somador*. Uma representação em diagrama de blocos de um meio-somador (*M.S.*) está mostrada na Fig. 11.1-5.

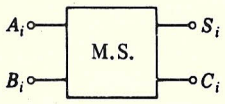


FIGURA 11.1-5
Diagrama de blocos para representar o meio-somador.

11.2 O SOMADOR COMPLETO

Um somador completo satisfaz a tabela da verdade da Fig. 11.2-1. Os mapas K e implementações com dois níveis de portas para o bit soma S_i e o bit vai um C_i são dados na Fig. 11.2-2. Há várias outras estruturas de portas além daquelas dadas na Fig. 11.2-2*b* pelas quais o somador completo pode ser realizado. Por exemplo, outro modo no qual S_i e C_i podem ser gerados é

$$S_i = C_{i-1} \oplus A_i \oplus B_i \tag{11.2-1}$$

e

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} \tag{11.2-2}$$

Pode ser facilmente verificado que estas equações satisfazem a tabela da verdade da Fig. 11.2-1. E, como é visto na Fig. 11.2-3*a*, as Eqs. (11.2-1) e (11.2-2) podem ser implementadas pelo uso de dois meio-somadores. Um meio-somador é usado para combinar dois dos dígitos de entrada e fornece um dígito soma S_i' e um vai um C_i'. O segundo meio-somador combina o terceiro dígito com os dois primeiros. O símbolo para o somador completo está mostrado na Fig. 11.2-3*b*.

Entradas			Saídas	
Vai um C_{i-1}	ADDEND A_i	AUGEND B_i	Soma S_i	Vai um C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

FIGURA 11.2-1
Tabela da verdade para um somador completo.

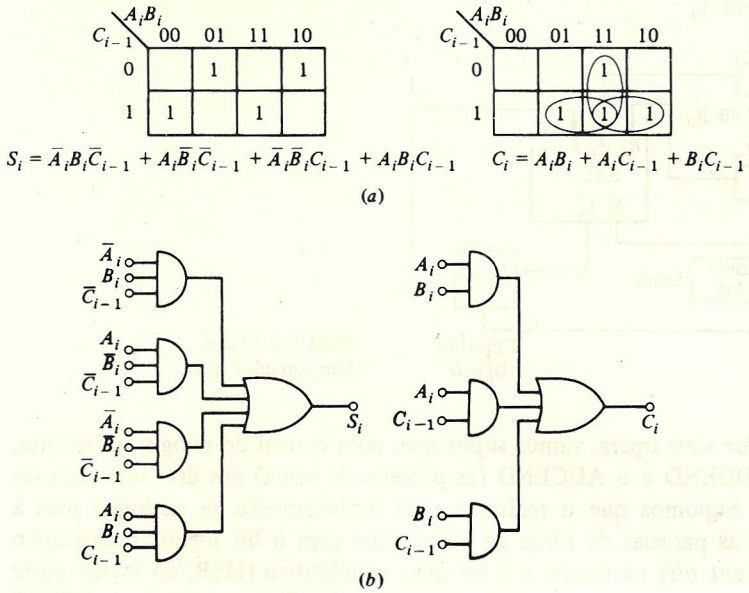


FIGURA 11.2-2
(*a*) Mapas de Karnaugh para os bits soma e vai um de um somador completo; (*b*) realização com portas de dois níveis.

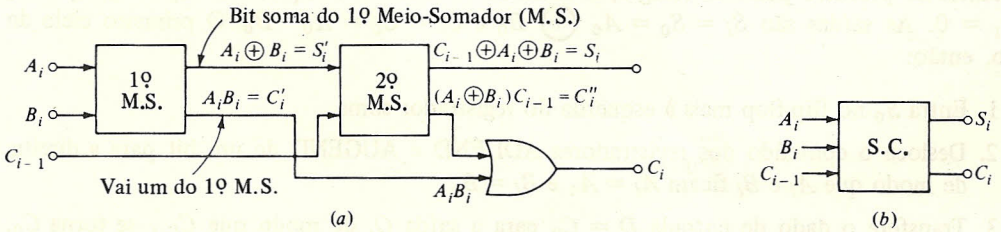


FIGURA 11.2-3
(*a*) As equações lógicas (11.2-1) e (11.2-2) realizadas através do uso de dois meio-somadores; (*b*) símbolo para um somador completo.

11.3 UM SOMADOR SÉRIE

Um somador série para dois números de N bits $A = A_{N-1}A_{N-2} \ldots A_0$ e $B = B_{N-1}B_{N-2} \ldots B_0$ está mostrado na Fig. 11.3-1. Aqui as colunas, como na Fig. 11.1-3, são somadas uma de cada vez, iniciando com o dígito menos significativo. O circuito contém três registradores de deslocamento, um único somador completo e um único flip-flop tipo *D*.

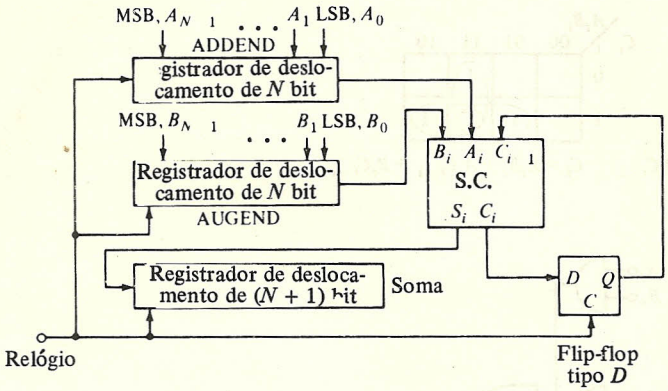


FIGURA 11.3-1
Um somador série.

Para ver como o *somador série* opera, vamos supor que, com o sinal de relógio quiescente, carregamos inicialmente o ADDEND e o AUGEND (as parcelas da soma) nos dois registradores de deslocamento de N bits. Supomos que o registrador de deslocamento se desloque para a *direita* e por isso colocamos as parcelas de soma no registrador com o bit menos significativo (LSB, do inglês: *least significant bit*) na direita e o bit mais significativo (MSB, do inglês: *more significant bit*) na esquerda. Supomos também que inicialmente o flip-flop está no estado RESET com $Q = 0$. A soma irá eventualmente aparecer no registrador soma de $(N + 1)$ bits. Durante a seqüência de operação que desloca a soma no registrador soma, qualquer bit que estava inicialmente no registrador soma será deslocado para fora do registrador e perdido. Portanto, os estados iniciais dos flip-flops deste registrador não são de interesse e não precisam ser inicialmente levados para o estado RESET.

Antes do primeiro pulso de relógio, as entradas do somador completo são $A_i = A_0$, $B_i = B_0$ e $C_{i-1} = 0$. As saídas são $S_i = S_0 = A_0 \oplus B_0$ e $C_i = C_0 = A_0 \cdot B_0$. O primeiro ciclo de relógio, então:

1. Entra S_0 no flip-flop mais à esquerda do registrador soma
2. Desloca o conteúdo dos registradores ADDEND e AUGEND de um bit para a direita, de modo que A_i e B_i ficam $A_i = A_1$ e $B_i = B_1$
3. Transfere o dado de entrada $D = C_0$ para a saída Q, de modo que C_{i-1} se torna C_0.

Depois deste primeiro ciclo de relógio temos $S_i = S_1$ e $C_i = C_1$, como na segunda coluna a partir da direita na Fig. 11.1-4. Então, o segundo pulso de relógio faz entrar S_1 no registrador soma, deslocando S_0, no processo, um flip-flop para frente. Ao mesmo tempo, este segundo ciclo de relógio transfere $C_i = C_1$ para o terminal de entrada C_{i-1}. Desta forma, para cada pulso de relógio, um dígito adicional da soma é determinado e transferido para o registrador soma. Depois de N pulsos de relógio, os registradores ADDEND e AUGEND estão totalmente limpos e $A_i = B_i = 0$. Com $A_i = B_i = 0$, o último vai um aparecerá na saída S; o pulso de relógio $(N + 1)$ transfere este último bit para o registrador soma e o processo de adição está completo.

Esta discussão de soma série deixa várias questões periféricas sem resposta. Poderíamos ser inclinados a perguntar onde estavam o AUGEND e o ADDEND até que fossem transferidos para seus respectivos registradores, como estes registradores são carregados, como o somador é mantido quiescente até que a carga é completada, como o somador sabe quando a operação

soma foi completada, como se limpa o flip-flop conforme necessário no início da operação, etc. As respostas a estas questões levantariam outras questões até finalmente chegarmos às necessidades dos equipamentos de entrada e saída (I/O, do inglês: *input-output*) (teclados, *displays*, impressoras, etc.) através dos quais fisicamente entramos com um problema em um sistema digital e finalmente lemos a resposta. Nosso interesse no momento, entretanto, é simplesmente o processo básico pelo qual uma *soma* pode ser desenvolvida. Portanto, neste ponto não iremos responder a estas questões, apesar de importantes e interessantes.

11.4 SOMA PARALELA

Na soma série, a soma é similar à ação de um calculador humano; ou seja, dígitos de igual significado são somados e depois soma-se o dígito seguinte em significado. Este método é econômico do ponto de vista de circuito (*hardware*) mas é relativamente lento, pois cada par de bits somados requer um ciclo de relógio. A *soma paralela*, na qual todas as ordens das parcelas são somadas simultaneamente, é mais rápida do que a soma série, mas é menos econômica em circuitos, pois é necessário um somador separado para cada par de bits. Um somador paralelo está mostrado na Fig. 11.4-1.

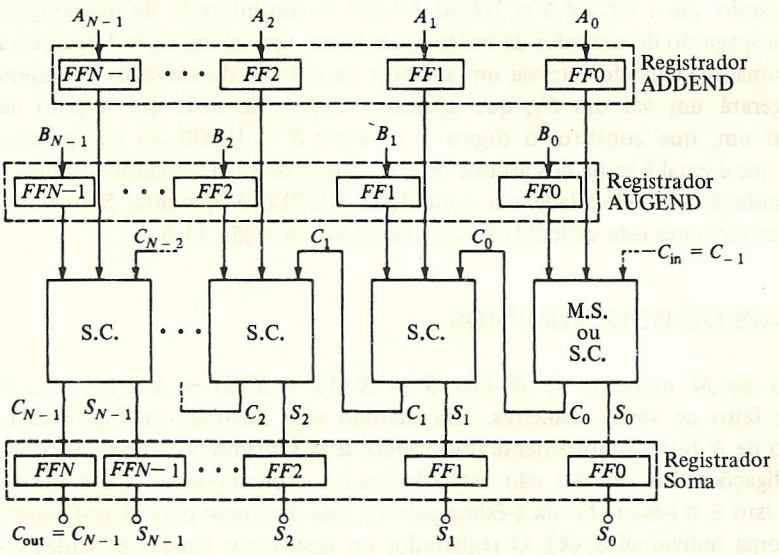


FIGURA 11.4-1
Um somador paralelo.

O *registrador ADDEND* é um conjunto de flip-flops, tantos quantos são os dígitos no ADDEND, no qual o ADDEND pode ser armazenado localmente para uso do somador. Tipicamente, cada flip-flop pode ser um flip-flop tipo *D*. Os bits do ADDEND $A = A_{N-1} \ldots A_0$ estão presentes nos terminais de entrada de dados dos flip-flops, e depois do pulso de relógio seguinte cada bit será registrado na saída do seu flip-flop correspondente. O ADDEND pode ter sido armazenado em algum dispositivo de memória. Estes bits são direcionados para o flip-flop apropriado por alguma estrutura de portas (que não está mostrada na figura). A vantagem do registrador ADDEND local é que, depois que o ADDEND foi transferido para o registrador,

a memória e as portas utilizadas para efetivar a transferência estão disponíveis para outros propósitos.

De forma similar, o AUGEND tem um registrador AUGEND. Note que os registradores não são *registradores de deslocamento* e sim *registradores de armazenamento*. Como não deve ser seguida nenhuma seqüência série, não é necessário deslocar os bits ao longo do registrador. Portanto, os flip-flops dos registradores da Fig. 11.4-1 são inteiramente independentes um do outro, exceto que eles têm um sinal de relógio comum. (Para não complicar a figura, não está mostrada a linha de relógio que vai a todos os flip-flops.) Quando a soma $S = C_{N-1}S_{N-1} \ldots S_0$ é formada, ela pode ser registrada no registrador soma por um pulso de relógio.

Os dígitos menos significativos A_0 e B_0 podem ser combinados em um meio-somador, porque não têm que ser combinados com um vai um. Em todas as outras posições, são necessários somadores completos. Apesar disto, verifica-se que em somadores paralelos comerciais pode-se encontrar somador completo para os bits menos significativos, pois em certos casos podemos desejar usar o somador como uma extensão de outro somador para aumentar o número de bits que pode ser acomodado. Se o somador completo é utilizado, temos uma entrada vai um para este primeiro somador completo (marcado C_{in} na figura). Se o somador completo não está sendo usado, fazemos $C_{in} = 0$.

O somador paralelo da Fig. 11.4-1 tem uma limitação de velocidade, pois o vai um poderá ter que propagar-se através de cada um dos somadores. Por exemplo, considere que $A = 1111$, enquanto $B = 0001$, de modo que a soma é $S = 10000$. Depois de um intervalo de tempo igual ao tempo de retardo de propagação do somador de ordem mais baixa, um vai um $C_0 = 1$ aparecerá na saída deste primeiro somador. Quando este vai um aparecer na entrada do somador de ordem seguinte, por sua vez, gerará um vai um C_1, que aparecerá depois de mais um retardo de propagação. O último vai um, que constitui o dígito 1 na soma $S = 10000$, só irá aparecer depois de um atraso total que é igual à soma dos atrasos de propagação de cada somador completo. A similaridade com a limitação de velocidade em contadores RIPPLE é aparente. Somadores rápidos que contornam parcialmente esta dificuldade são discutidos na seção 11.6.

11.5 SOMA COM MAIS DE DOIS NÚMEROS

O cálculo da soma de M números de N bits $S = X(1) + X(2) + X(3) + \ldots + X(k) + \ldots$ pode ser feito de várias maneiras. Um método está ilustrado na Fig. 11.5-1. Aqui o somador completo de N bits é simplesmente uma cadeia de N somadores completos, como na Fig. 11.4-1. As interligações dos vai um não estão indicadas explicitamente. Cada bit de entrada individual $X_i(k)$, isto é, o i-ésimo bit da k-ésima palavra, está mostrado para identificação, assim como cada saída soma individual $S_i(k)$. O registrador no qual estão ligadas as saídas do somador $S_0(k)$, $S_1(k)$, ..., $S_{N-1}(k)$ serve no caso atual tanto como registrador ADDEND como registrador soma. Como uma soma progressivamente crescente aparecerá neste registrador, ele é chamado de *acumulador*.

Suponha que inicialmente todos os flip-flops nos dois registradores estão no estado RESET e que o primeiro número $X(1)$ está presente nas entradas de dados do registrador AUGEND. Suponha também que, em sincronismo com o sinal do relógio (não está explicitamente mostrado mas é comum a todos os flip-flops), os números sucessivos $X(2)$, $X(3)$, etc., estarão presentes nos terminais de entrada dos dados do registrador AUGEND. A primeira transição de disparo do relógio armazenará $X(1)$ no registrador AUGEND, fazendo $B_0 = X_0(1)$, $B_1 =$

$= X_1(1)$, etc. Depois desta transição de relógio, ainda teremos o número 00 ... 0 registrado no acumulador, de modo que $A_0 = A_1 = \ldots = A_{N-1} = 0$. O somador irá somar $X(1)$ com 0, dando $S_0(1) = X_0(1)$, $S_1(1) = X_1(1)$, etc.

A segunda transição de disparo do relógio irá então armazenar $X(1)$ no acumulador e $X(2)$ no registrador AUGEND. Temos agora $B = X(2)$ e $A = X(1)$, de modo que a soma é $S(2) = X(2) + X(1)$, e a terceira transição de disparo do relógio armazenará esta soma $X'(2) + X(1)$ no acumulador e $X(3)$ no registrador AUGEND, e assim por diante.

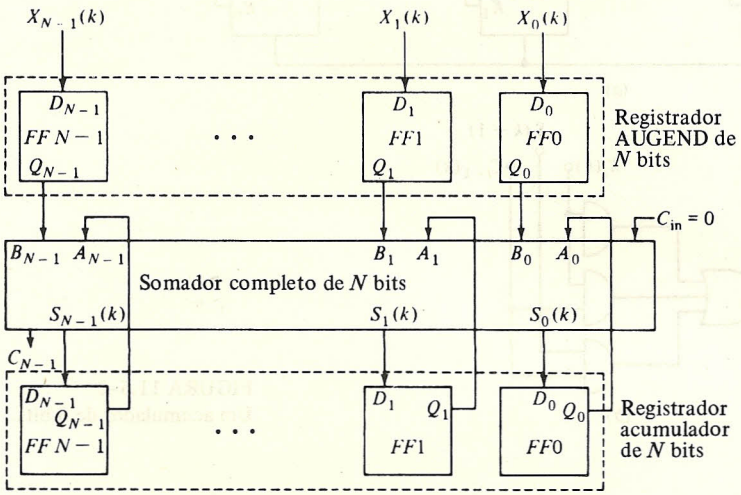


FIGURA 11.5-1
Sistema para obter a soma de mais de dois números.

O processo da Fig. 11.5-1 para a soma de uma seqüência de números é uma extensão bastante intuitiva do processo de adição baseado nas propriedades do somador completo. É interessante notar que no somador da Fig. 11.4-1, feito para combinar dois números, o registrador soma não é essencial para o processo de adição. Por outro lado, no esquema da Fig. 11.5-1, o acumulador é essencial mas não há registrador ADDEND. Assim, nas Figs. 11.4-1 e 11.5-1, apenas dois registradores são essenciais.

O processo para somar mais de dois números é geralmente chamado de *acumulação* em vez de soma. Um *acumulador* alternativo que acomoda 3 bits de entrada e pode acumular uma soma de 4 bits $S = S_3S_2S_1S_0$ está mostrado na Fig. 11.5-2*a*. Neste circuito, deseja-se somar um AUGEND $X(k) = X_2(k)X_1(k)X_0(k)$ a um ADDEND, o ADDEND sendo a soma já acumulada $S(k-1) = S_2(k-1)S_1(k-1)S_0(k-1)$ armazenada no registrador de 4 bits.

O retângulo marcado G.V. é um *gerador de vai um* e está mostrado em detalhe na Fig. 11.5-2*b*. Este gerador de vai um é idêntico à estrutura de portas da Fig. 11.2-2*b* e gera **1** sempre que duas ou todas as três entradas são **1**.

Para verificar como o dígito soma é gerado, considere novamente a Eq. (11.2-1). Notamos que o dígito soma é gerado combinando os 3 bits (AUGEND, ADDEND e vai um) através de duas operações OU-EXCLUSIVO. (A operação OU-EXCLUSIVO é associativa e comutativa, de modo que a ordem das variáveis e a ordem da combinação não têm conseqüências.) Uma forma,

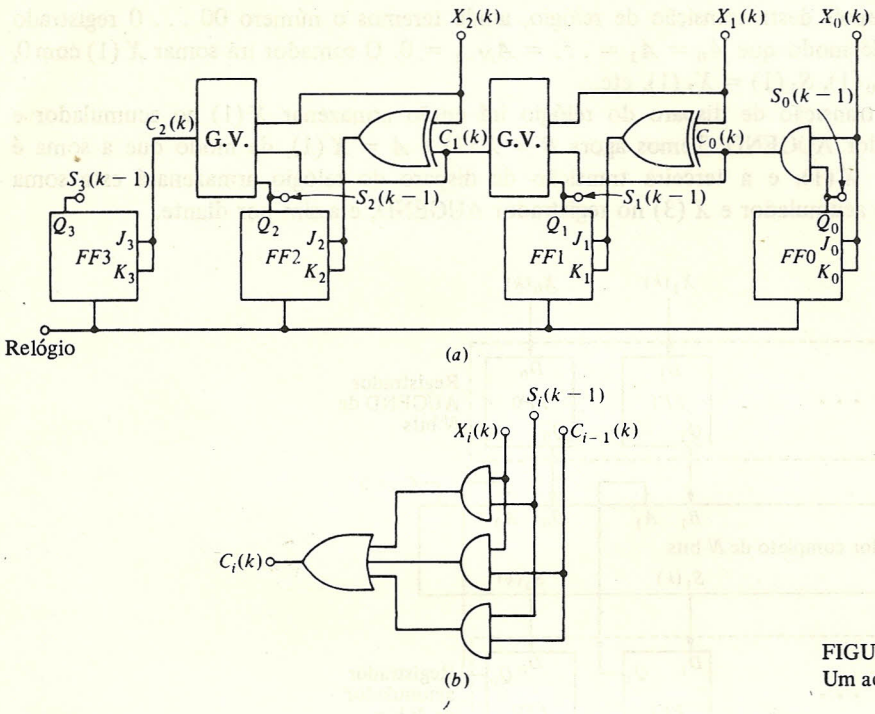


FIGURA 11.5-2
Um acumulador de 3 bits.

$Q_i(k-1)$ Registro no i-ésimo flip-flop antes do k-ésimo pulso de relógio, $S_i(k-1)$	$J = K = X_i(k) \oplus C_{i-1}(k)$	$Q_i(k)$ Registro no i-ésimo flip-flop depois do k-ésimo pulso de relógio, $S_i(k)$
0	0	0
0	1	1
1	0	1
1	1	0

FIGURA 11.5-3
Tabela da verdade descrevendo a operação do flip-flop *JK* no circuito acumulador da Figura 11.5-2.

então, de gerar S_i é começar combinando duas das entradas, digamos o bit AUGEND $X_i(k)$ e o bit vai um $C_{i-1}(k)$, em uma porta OU-EXCLUSIVO. Então, a saída desta primeira porta OU-EXCLUSIVO pode ser combinada com $S_i(k-1)$ em uma segunda porta OU-EXCLUSIVO. Tendo gerado o novo bit soma $S_i(k)$, temos de transferir este bit para um flip-flop no registrador que deve ser usado para manter a soma. Entretanto, como podemos ver agora, é possível usar um flip-flop *JK* para executar uma operação OU-EXCLUSIVO. Assim, o flip-flop pode ser usado não apenas como um registrador para o bit soma, mas pode também substituir a segunda porta OU-EXCLUSIVO usada para combinar $S(k-1)$ com $X_i(k) \oplus C_{i-1}(k)$.

Vamos então considerar, como na Fig. 11.5-2, que nos flip-flops *JK* $J = K$ e

$$J = K = X_i(k) \oplus C_{i-1}(k) \tag{11.5-1}$$

Quando o relógio aciona o flip-flop, ele muda de estado se $J = K = \mathbf{1}$ ou permanece no mesmo estado se $J = K = \mathbf{0}$. Pode ser agora verificado que o comportamento do flip-flop é descrito pela tabela da verdade da Fig. 11.4-3 e que $S_i(k)$ é realmente dado, como necessário, por

$$S_i(k) = S_i(k-1) \oplus X_i(k) \oplus C_{i-1}(k) \tag{11.5-2}$$

Neste circuito acumulador, os flip-flops servem não só como acumulador mas também executam uma operação OU-EXCLUSIVO. Por esta razão, este circuito é um pouco mais econômico (em relação a *hardware*) do que o circuito acumulador da Fig. 11.5-1.

11.6 SOMADORES RÁPIDOS; VAI UM ANTECIPADO

Como mencionado anteriormente, o somador da Fig. 11.5-1 e o acumulador da Fig. 11.5-2*a* têm uma limitação de velocidade devido à necessidade de o vai um se propagar de ordem para ordem. Por exemplo, na Fig. 11.5-1, considere a soma de $A = A_3A_2A_1A_0 = \mathbf{1111}$ e $B = B_3B_2B_1B_0 = \mathbf{0001}$. Na ordem mais baixa, os dois 1 geram um vai um. Este vai um juntamente com A_1 na ordem seguinte gera novamente um vai um, e assim por diante. Eventualmente, quando o vai um se propagar através de todas as ordens, teremos $A + B = C_4S_3S_2S_1S_0 = \mathbf{10000}$.

Há, pelo menos em princípio, uma maneira direta de evitar estes atrasos de propagação. Simplesmente utilizamos portas para gerar o dígito soma em cada ordem *diretamente* de todos os dígitos de entrada e sem recorrer ao sinal de vai um. O primeiro dígito soma é simplesmente $S_0 = A_0 + B_0$. O segundo dígito soma S_1, entretanto, envolverá portas que têm entradas para A_1, A_0, B_1 e B_0 e seus complementos (veja Prob. 11.6-1). O dígito soma de N-ésima ordem envolverá portas com $2N$ entradas, etc. Está claro que, com este método, o número de portas envolvidas crescerá muito rapidamente.

O somador com vai um paralelo (onde todos os dígitos soma são gerados diretamente dos dígitos de entrada) é rápido mas não econômico do ponto de vista de circuito (*hardware*). O somador com vai um em série (envolvendo uma propagação série de vai um) é lento mas econômico. Todas as maneiras de compromisso podem ser feitas entre estes dois extremos. Um compromisso possível é fazer o vai um contornar alguns somadores. Este contorno é mostrado na Fig. 11.6-1. Aqui, um somador de 4 bits utiliza quatro somadores completos ligados de maneira convencional, o que envolve propagação do vai um. Para ser genérico, supomos que A_1 e B_1 não são a ordem mais baixa. As ordens mais baixas estão sendo adicionadas em algum somador precedente (não mostrado), gerando, portanto, um vai um C_{in} para o somador mostrado na figura.

Podemos agora ver que, se há um vai um de entrada C_{in} e se os dígitos A_i e B_i são tais que este vai um de entrada deve-se propagar para a saída, este vai um de saída é gerado devido à estrutura de porta que foi acrescentada na Fig. 11.6-1 e portanto não precisa se propagar através da cascata de somadores completos. Assim, suponha que $C_{\text{in}} = \mathbf{1}$. Então, se A_1 ou B_1, ou ambos, forem **1**, este vai um se propagará através do primeiro somador completo. Este vai um continuará sua propagação através do segundo somador completo se A_2 ou B_2, ou ambos, forem **1**, e assim por diante. Assim, se C_{in} deve realmente se propagar para a saída, todas as entradas da porta AND vão para a lógica **1** e temos $C_{\text{out}} = \mathbf{1}$ como necessário. Na Fig. 11.6-1 está mostrado

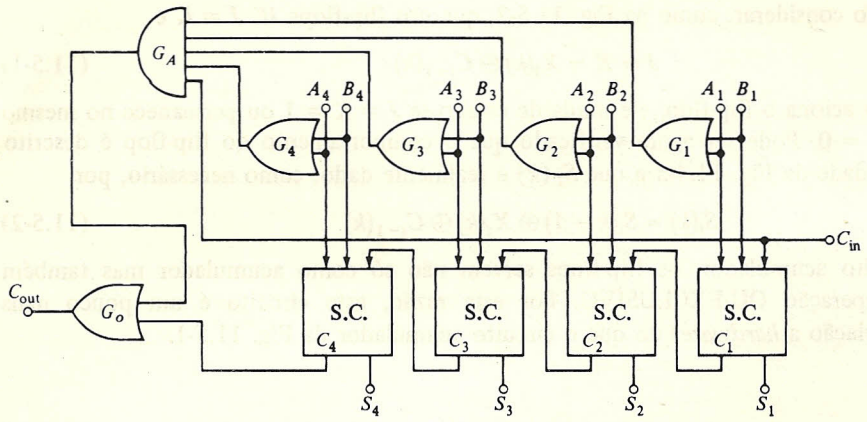


FIGURA 11.6-1
Um somador de alta velocidade.

um contorno sobre 4 bits. É evidente que o contorno é adaptável a qualquer número de estágios de somadores completos.

Evidentemente, o próprio circuito de contorno de vai um produz algum retardo de propagação. Este retardo é o atraso através de três portas: o atraso através da porta OR de saída G_{o1}, o atraso através da porta AND G_A, e, supondo que as portas G_1 até G_4 são idênticas, o atraso de uma destas portas OR. Notamos (veja Fig. 11.2-2*b*) que o retardo de propagação na geração do vai um é o atraso de duas portas. Portanto, podemos estimar que o atraso associado com um contorno de vai um é cerca de 1,5 vezes maior do que o atraso associado com um único somador completo.

Para ilustrar a aplicação do contorno, vamos examinar a eficiência de um contorno de vai um de quatro estágios. Estas unidades são feitas por vários fabricantes. Na Fig. 11.6-2*a* está mostrado um contorno de quatro estágios interligando os quatro últimos estágios de um somador de cinco estágios. O primeiro estágio tem como entradas apenas o bit menos significativo e não tem entrada de vai um que poderia precisar se propagar. Este primeiro estágio, mostrado como um meio-somador, entretanto, gera um vai um C_0, e portanto o contorno começa com este vai um. O contorno de vai um recebe, como entrada, o vai um C_0 assim como os dígitos de entrada A_1, B_1, A_2, B_2, etc. Estas entradas não estão indicadas na figura. Pode ser que o bit vai um de saída seja gerado pelo vai um de entrada C_0 que se propagou através dos quatro somadores completos. Neste caso, o vai um chegará primeiro na saída do contorno e então chegará antes como o vai um de saída do que o do quarto somador completo. Por outro lado, pode ser que não haja vai um de entrada C_0, ou ele pode não se propagar para a saída do somador de quatro estágios. Então, novamente, pode acontecer que haja um vai um de saída que não é devido a C_0 mas sim a um vai um gerado dentro do somador de quatro estágios que se propagou para a saída. Qualquer que seja a fonte do vai um de saída, se houver, este se propagará através da porta OR de saída para a entrada do estágio somador seguinte.

Vamos primeiro dar um tempo adequado para C_0 se estabilizar. Então perguntamos quanto tempo *adicional* devemos admitir para termos certeza de que todos os vai um se propagaram até onde devem ir, de modo que podemos ler a saída do somador. Iremos supor, como foi sugerido

antes, que o tempo de propagação do contorno é 1,5 vezes o tempo de propagação de um estágio de um somador completo. Sem o contorno, o tempo de espera de um somador de quatro estágios é sempre $T = 4d$. Se C_0 se propagar para a saída C_4, o tempo de propagação através do contorno é $T = 1{,}5d$; entretanto, devemos admitir a possibilidade de o vai um de entrada se propagar apenas até a saída do somador completo B. Deveremos então ter que admitir um tempo $T = 3d$. Alternativamente, pode acontecer que $C_0 = 0$, mas que um vai um é gerado na saída do somador 1 e é então propagado para C_4. De novo deveremos ter $T = 3d$. Nos dois casos o contorno não pode ser efetivo, e o tempo de espera é $T = 3d$ comparado com $T = 4d$ do caso sem contorno.

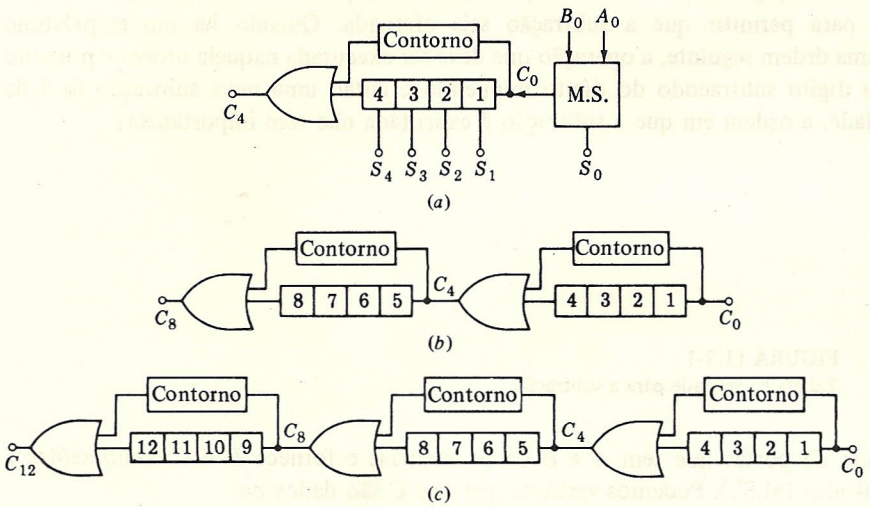


FIGURA 11.6-2
Estágios somadores em paralelo com contornos de vai um.

Em seguida, considere a situação representada na Fig. 11.6-2*b*, onde um grupo adicional com somador de quatro estágios com contorno aumenta agora a cascata de estágios somadores. Na ausência dos contornos, o tempo de espera máximo será $T = 8d$. Examinaremos agora uma situação que irá contrariar a eficiência potencial do contorno. Primeiramente supomos, como pior caso, que um vai um pode ser gerado na saída do somador completo 1 e se propaga apenas até a saída do estágio somador 7. Neste caso o tempo de espera é $T = 6d$ e, de novo, a economia não é muito grande.

Finalmente consideremos a situação da Fig. 11.6-2*c*. Aqui, como pode ser verificado, o mais longo tempo de espera corresponde ao caso no qual um vai um é gerado na saída do estágio somador 1, se propaga pelo contorno central e termina na saída do estágio somador 11. Neste caso o tempo de espera é $T = 3d + 1{,}5d + 3d = 7{,}5d$, comparado com $T = 12d$ na ausência dos contornos. Em geral, com n grupos de quatro estágios somadores, cada um com contorno, o tempo de espera é

$$T = 6d + 1{,}5(n - 2)d \qquad (11.6\text{-}1)$$

comparado com $T = 4nd$ sem contorno. Portanto, à medida que n aumenta, o contorno torna-se progressivamente efetivo. No limite, a relação entre o tempo de propagação com contorno e o tempo de propagação sem contorno se aproxima de 0,375, uma redução significativa no tempo de atraso.

11.7 SUBTRAÇÃO

As regras para subtração de dígitos em qualquer ordem dada são especificadas pela tabela da verdade da Fig. 11.7-1. Aqui A é o *minuendo*; B, o *subtraendo*; $D = A - B$, a *diferença* e C, o *empréstimo*. Isto é, quando $A = 0$ e $B = 1$, é necessário emprestar 1 do minuendo de ordem superior seguinte para permitir que a subtração seja efetuada. Quando há um empréstimo transferido para uma ordem seguinte, a operação que deve ser executada naquela ordem é primeiro uma subtração do dígito subtraendo do dígito minuendo e então uma nova subtração de 1 da diferença (na verdade, a ordem em que a subtração é executada não tem importância).

A	B	D	C
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

FIGURA 11.7-1
Tabela da verdade para a subtração.

Uma estrutura de portas que tem A e B como entradas e fornece D e C como saídas é chamada meio-subtrator (M.S'.). Podemos verificar que D e C são dados por

$$D = A \oplus B \qquad \text{e} \qquad C = \overline{A} \cdot B \tag{11.7-1}$$

Assim, D pode ser gerado pela mesma estrutura de porta utilizada para produzir a soma S no meio-somador; entretanto, o empréstimo é diferente do vai um da soma.

Um subtrator completo (S.C.) tem como entradas o minuendo A, o subtraendo B e um empréstimo de uma ordem anterior. Ele executa as duas operações de subtração referidas na Eq. (11.7-1) e fornece como saídas uma diferença final e um empréstimo para a ordem superior seguinte. Um modo pelo qual um subtrator completo pode ser construído é combinando dois meio-subtratores, como na Fig. 11.7-2*a*. Um meio-subtrator fornece $A_i - B_i$, enquanto o segundo meio-subtrator forma $(A_i - B_i) - C_{i-1}$. Um empréstimo deverá ser transferido para a ordem superior seguinte, se uma das subtrações ou ambas resultarem em um empréstimo. Portanto, como mostrado, as duas saídas de empréstimos individuais são transferidas para a ordem superior seguinte através de uma porta OR. O símbolo para o subtrator completo está mostrado na Fig. 11.7-2*b*.

Seguindo o padrão da Fig. 11.4-1, uma rede de subtratores completos pode ser combinada como na Fig. 11.7-3 para efetuar a subtração de $B = B_{N-1}B_{N-2} \ldots B_0$ de $A = A_{N-1}A_{N-2} \ldots A_0$. Se não houver dígitos de ordem menor do que A_0 e B_0, a subtração nesta primeira ordem pode ser feita em um meio-subtrator, pois $C_{\text{in}} = 0$. Deve ser notado que, se $A > B$, o último empréstimo C_{N-1} será $C_{N-1} = 0$, enquanto se $A < B$ o último empréstimo será $C_{N-1} = 1$.

Não indicamos explicitamente os registradores do minuendo, do subtraendo e de diferença, mas em qualquer situação física estes registradores serão envolvidos.

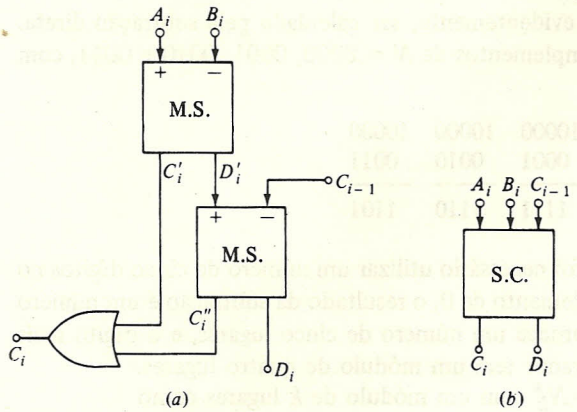


FIGURA 11.7-2
(*a*) Um subtrator completo;
(*b*) símbolo de um subtrator.

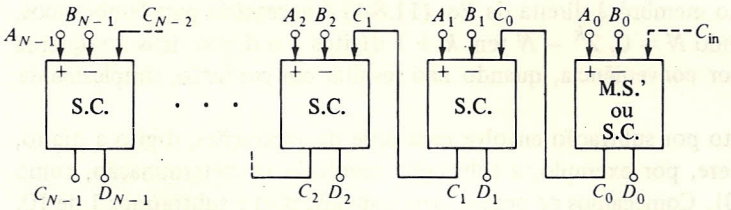


FIGURA 11.7-3
Um subtrator para dois números de N bits A e B.

11.8 NÚMEROS COMPLEMENTARES

Na seção aritmética de um computador ou outro processador digital, necessitaremos dispositivos tanto para subtração como para adição. Como veremos, a subtração pode ser executada por um processo que envolve adição e o uso de números complementares. Quando a subtração é obtida desta maneira, não é necessário um subtrator explícito e geralmente há uma economia significante em circuitos (*hardware*). Nesta seção discutimos a *complementação*.

Complemento em dois. Suponha que temos um registrador com quatro flip-flops. Então, em relação a este registrador, um número N tem um complemento N^*, definido da seguinte maneira: inicialmente colocamos o registrador em **0000** e em seguida o *voltamos* de uma quantidade igual a N. Por exemplo, se $N =$ **0001**, então $N^* =$ **1111**; se $N =$ **0010**, $N^* =$ **1110**; se $N =$ **0011**, $N^* =$ **1101**, etc.

Um complemento pode ser determinado sem ambigüidade apenas quando o número de flip-flops no registrador é especificado. O número de tais flip-flops pode ser especificado em termos do módulo do registrador. Como no caso de contadores, no registrador o módulo se refere à quantidade total de diferentes números que podem ser armazenados. Assim, um registrador de quatro flip-flops pode armazenar números de **0000** a **1111**, isto é, do decimal 0 a 15, e tem

um módulo de $2^4 = 16$. Portanto, os complementos especificados acima são mais precisamente chamados de *complementos (mod* 2^4) ou *complementos com um módulo de quatro lugares.* Por exemplo, o número 1 (0001) tem o complemento 15 (1111), pois $15 + 1 = 16$. Note que $16 - 1 = 15$, isto é, o módulo menos o número é o complemento.

O complemento de um número pode, evidentemente, ser calculado pela subtração direta. Assim obtemos que no sistema binário os complementos de $N = 0000$, 0001, 0010 e 0011, com módulo de quatro lugares, são

$$\begin{array}{rcccc} & 10000 & 10000 & 10000 & 10000 \\ N = & 0000 & 0001 & 0010 & 0011 \\ \hline N^* = & 10000 & 1111 & 1110 & 1101 \end{array}$$

Observe que, para permitir a subtração, foi necessário utilizar um número de cinco dígitos no minuendo. Em todos os casos, exceto o complemento de 0, o resultado da subtração é um número de quatro lugares. Para $N = 0$, a subtração fornece um número de cinco lugares, e o dígito mais à esquerda deve ser abandonado pois o registrador tem um módulo de quatro lugares.

Resumindo, escrevemos o complemento N_k^* com um módulo de k lugares como

$$N_k^* = (2^k - N)_k \tag{11.8-1}$$

Rigorosamente, o subscrito k no membro à direita da Eq. (11.8-1) é necessário para lembrarmos, como notado acima, que, quando $N = 0$, $2^k - N$ tem $k + 1$ dígitos e o dígito mais à esquerda deve ser abandonado. Ainda por conveniência, quando não resultar em confusão, simplesmente escreveremos $N_k^* = 2^k - N$.

O cálculo do complemento por subtração envolve uma série de subtrações, dígito a dígito, do número binário 10. Considere, por exemplo, a subtração envolvida na determinação, como acima, do complemento de 0001. Começamos na ordem menos significativa e subtraímos 1 de 10, dando 1 e transferindo um empréstimo para a ordem seguinte. Para levar em conta este empréstimo na ordem seguinte, adicionamos 1 ao dígito 0 no subtraendo. Verificamos agora que estamos de novo subtraindo 1 de 10, e assim por diante, para o resto da subtração. Em geral, no cálculo de qualquer complemento, depois de chegar ao primeiro 1 no subtraendo, note que cada subtração é uma subtração do 10 binário (2 decimal). Por isso, o complemento, como definido acima, é geralmente chamado de *complemento em dois.* Note também que, ao calcular um complemento em dois, uma vez que geramos um empréstimo, este empréstimo se propaga até o fim do cálculo. Para distribuir o complemento em dois de um segundo tipo de complemento definido abaixo, usaremos de agora em diante a notação N_2^* para o complemento em dois.

Um algoritmo útil para a determinação de complemento em dois que não envolve formalmente um processo de subtração é o seguinte:

1. Escreva o número utilizando a quantidade apropriada de bits para o módulo.
2. Deixe inalterado o bit 1 na posição de menor significado numérico e deixe inalterados também todos os bits 0 à direita deste bit 1.
3. Complemente todos os outros bits.

Como exemplo vamos obter o complemento em dois do número + 20 supondo um módulo de sete lugares. Escrevemos o número como 0010100. O 1 na posição de menor significado e os 0 à direita deste 1 são deixados inalterados. Complementando todos os outros bits, temos 1101100.

Complemento em um. Definimos agora um segundo tipo de complemento N_1^*, definido precisamente como o complemento de dois, exceto que o registrador é inicialmente acionado de modo que cada flip-flop está em 1. Por exemplo, o complemento, com um módulo de quatro lugares, de $N = 0001$ é $N_1^* = 1110$; se $N = 0010$, $N_1^* = 1101$; se $N = 0011$, $N_1^* = 1100$.

Estes complementos podem ser calculados por subtração direta. Obtemos:

$$\begin{array}{rcccc} & 1111 & 1111 & 1111 & 1111 \\ N = & 0000 & 0001 & 0010 & 0011 \\ \hline N_1^* = & 1111 & 1110 & 1101 & 1100 \end{array}$$

Observe que, no cálculo deste complemento por subtração, em cada ordem temos uma subtração de 1. Portanto, este complemento N_1^* é geralmente chamado de *complemento em um*. Note também que o cálculo do complemento em um é mais simples do que o do complemento em dois, pois a subtração envolvida no complemento em um não gera empréstimo. Além disto, deve ser observado também que o complemento em um pode ser determinado sem executar o processo de subtração. Pois o complemento em um N_1^* está relacionado com o número N da seguinte maneira: *cada dígito em* N_1^* *é o "complemento" do dígito correspondente em* N, isto é, cada 1 em N torna-se 0 em N_1^* e cada 0 em N torna-se 1 em N_1^*.

Pode ser notado agora que, dado N_1, seu complemento em um N_1^* pode ser obtido de várias maneiras simples, nenhuma necessitando subtração. Suponha, por exemplo, que o número N está armazenado em um registrador com o número disponível nas saídas Q dos flip-flops individuais. Então o complemento N_1^* está disponível imediatamente nas saídas $\bar{Q}$. Alternativamente, se os flip-flops são JK com $J = K = 1$, então estão no modo TOGGLE. Neste caso, um pulso de relógio aplicado a todo flip-flop no registrador fará mudar de estado cada flip-flop, e N_1^* aparecerá nas saídas Q. Um terceiro método envolve o uso de portas OU-EXCLUSIVO: suponha que estejam disponíveis k portas OU-EXCLUSIVO para um número de k bits. Os k dígitos do número $A = A_{k-1} \ldots A_0$ são aplicados a uma entrada de cada uma porta OU-EXCLUSIVO, como mostrado na Fig. 11.8-1. Quando o sinal de controle é $C = 0$, o número nas saídas da porta $X = X_{k-1} \ldots X_0$ é $X = A$. Quando $C = 1$, entretanto, $X = A_1^*$.

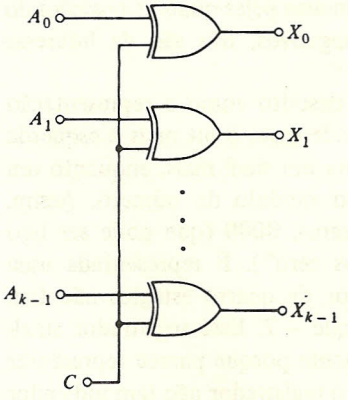


FIGURA 11.8-1
Um método de gerar o complemento em um de um número.

O complemento em um com um módulo de k lugares é

$$(N_1^*)_k = (2^k - 1) - N \qquad (11.8\text{-}2)$$

A relação entre os complementos de um e de dois é a seguinte

$$(N_2^*)_k = (N_1^* + 1)_k \qquad (11.8\text{-}3)$$

Rigorosamente, os subscritos k na Eq. (11.8-3) são necessários. A equação $N_2^* = N_1^* + 1$ não é sempre correta pois considere, por exemplo, que $N = \mathbf{0000}$; então, $N_1^* = \mathbf{1111}$, e $N_1^* + 1 = \mathbf{10000}$, enquanto N_2^* é **0000**. Novamente, entretanto, como antes, quando a intenção é clara, o subscrito pode ser omitido.

Finalmente, em resumo, definimos dois tipos de complementos, e notamos que o complemento em um pode ser determinado sem subtração e, uma vez que o complemento em um está disponível, o complemento em dois pode ser determinado adicionando 1 ao resultado, como notado na Eq. (11.8-3).

Restringimos nosso interesse ao sistema binário mas, evidentemente, complementos comparáveis podem ser definidos em um sistema numérico com qualquer base. No sistema decimal, correspondendo ao complemento em dois do binário, teríamos um complemento em *dez*, e correspondendo ao complemento em um do binário teríamos um complemento em *nove*.

11.9 REPRESENTAÇÃO EM REGISTRADORES DE NÚMEROS COM SINAIS

Um registrador binário de quatro lugares tem os estados **0000**, **0001**, . . . , **1111**. É bastante natural identificar estes estados, em ordem, com os números (decimais) 0, 1, 2, . . . , 15. Esta identificação está indicada no registrador da Fig. 11.9-1*a*. Entretanto, ela não é essencial. Temos liberdade de fazer qualquer associação que quisermos entre a posição do registrador e o número representado. Assim, suponha que precisamos usar um registrador para indicar tanto números negativos como números positivos. O registrador não tem nenhum mecanismo evidente para indicar sinal. Portanto, é claro que, se números negativos têm de ser representados, não temos outra alternativa a não ser atribuir posições do registrador. Há, evidentemente, um número muito grande de modos pelos quais esta atribuição pode ser feita. Por exemplo, podemos decidir que **0000** = 0 e que, depois, as posições do registrador representam números positivos e negativos da forma **0001** = = 1, **1001** = −1, **0010** = 2, **1010** = −2, etc. Dentre as várias maneiras pelas quais as posições do registrador podem ser identificadas com números positivos e negativos, três são de interesse especial e serão agora consideradas.

O esquema de identificação mostrado na Fig. 11.9-1*b* é descrito como a representação *sinal-módulo* de números negativos. O nome deriva do fato de, neste caso, o bit mais à esquerda do registrador ser utilizado para indicar o sinal. O bit **0** representa um sinal mais, enquanto um bit **1** representa um sinal menos. Os bits restantes indicam o módulo do número. Assim, **0011** = +3, enquanto **1011** = −3, etc. Observe que há dois zeros, **0000** (que pode ser lido como "mais zero") e **1000** (que pode ser lido como "menos zero"). É representada uma quantidade igual de números positivos e negativos. O registrador de quatro estágios não tem condição de registrar um número maior do que +7 ou menor que −7. Este registrador sinal-módulo não tem grande interesse para nós. Foi incluído simplesmente porque parece representar um meio "natural" de tratar com números negativos, isto é, como o registrador não tem indicador de sinal, simplesmente utilizamos um dos bits do registrador para indicar o sinal.

A associação da posição do registrador com números mostrada na Fig. 11.9-1*c* é uma associação *complemento em dois*. Isto é, a posição do registrador atribuída a um número negativo

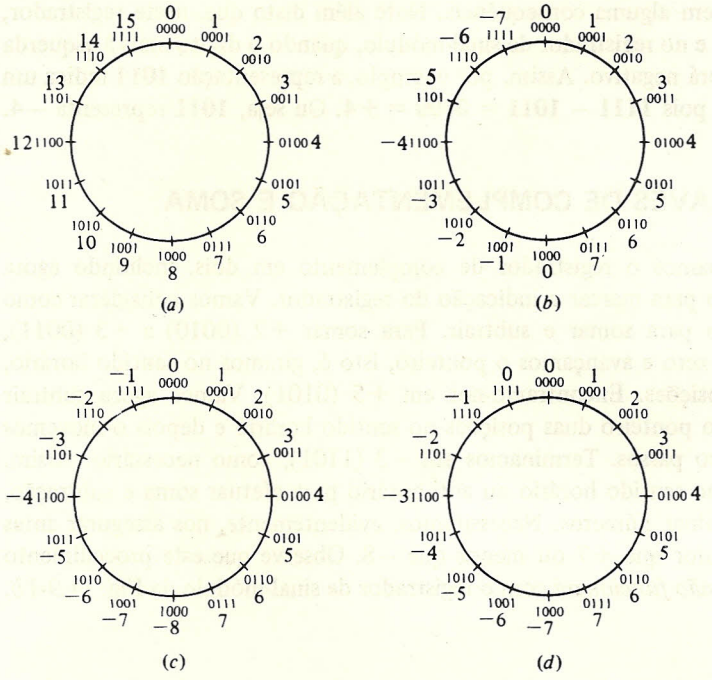


FIGURA 11.9-1
Atribuições possíveis de significado numérico para posições de registrador:
(*a*) natural, (*b*) sinal-módulo, (*c*) complemento em dois, (*d*) complemento em um.

é determinada com o complemento em dois do número positivo correspondente. Por exemplo, $+3 =$ **0011**, enquanto para localizar -3 no registrador obtemos o complemento em dois de 3, isto é, **10000** $-$ **0011** $=$ **1101**, de modo que a posição do registrador **1101** corresponde a -3. A atribuição de complemento em dois difere da distribuição de sinal-módulo, pois tem apenas um zero, tem lugar para um número negativo a mais que para número positivo e tem, evidentemente, uma ordem diferente. As duas atribuições, entretanto, têm uma característica em comum. Em ambos os casos, quando o dígito mais à esquerda é **1**, o número representado é negativo. Assim, por exemplo, suponha que, na representação de módulo em dois, encontramos a representação **1011** e desejamos saber seu significado numérico. Como o dígito mais à esquerda é **1**, sabemos que representa um número negativo. Para obter o módulo do número, determinamos seu complemento em dois, **10000** $-$ **1011** $=$ **0101** $= +5$. Portanto, o módulo é 5 e **1011** representa -5. Este método para calcular o módulo é válido pois, dado um número N, o complemento em dois do complemento em dois é o próprio número N, isto é,

$$2^k - (2^k - N) = N \qquad (11.9\text{-}1)$$

A associação de números e posições de registrador indicada na Fig. 11.9-1*d* é a associação de *complemento em um*. Isto é, a posição do registrador atribuída a um número negativo é determinada obtendo o complemento em um do número positivo correspondente. Por exemplo, $+3 =$ **0011**, enquanto para localizar -3 no registrador obtemos o complemento em um de 3, isto é, **1111** $-$ **0011** $=$ **1100**. Observe que neste registrador há dois zeros lado a lado. Veremos

abaixo que esta característica tem alguma conseqüência. Note além disto que, neste registrador, como no complemento em dois e no registrador de sinal-módulo, quando o dígito mais à esquerda for **1**, o número representado será negativo. Assim, por exemplo, a representação **1011** indica um número negativo de módulo 4, pois **1111** − **1011** = **0100** = +4. Ou seja, **1011** representa −4.

11.10 SUBTRAÇÃO ATRAVÉS DE COMPLEMENTAÇÃO E SOMA

Na Fig. 11.10-1 redesenhamos o registrador de complemento em dois, incluindo agora um ponteiro que pode ser usado para marcar a indicação do registrador. Vamos considerar como este registrador pode ser usado para somar e subtrair. Para somar +2 (0010) a +3 (0011), começamos com o ponteiro em zero e avançamos o ponteiro, isto é, giramos no sentido horário, duas posições e depois três posições. Encontramo-nos em +5 (0101). Vamos agora subtrair +5 de +2. Então, avançamos o ponteiro duas posições no sentido horário e depois o movemos no sentido anti-horário de cinco passos. Terminamos em −3 (1101), como necessário. Assim, em geral, movendo o ponteiro no sentido horário ou anti-horário para efetuar soma e subtração, respectivamente, podemos combinar números. Necessitamos, evidentemente, nos assegurar antes de que o resultado não será maior que +7 ou menor que −8. Observe que este procedimento simples para combinar números *não funcionará* com o registrador de sinal-módulo da Fig. 11.9-1*b*.

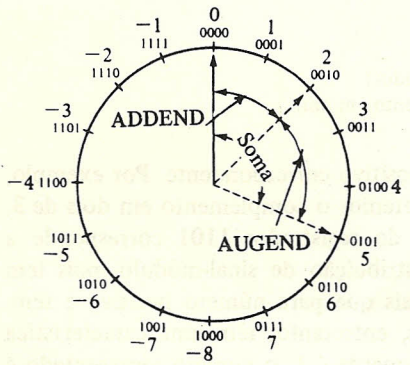


FIGURA 11.10-1
Um registrador de complemento em dois utilizado para soma e subtração.

Vamos agora voltar à subtração de 5 de 2. Tendo avançado o ponteiro no sentido horário até 0010, precisamos mover o ponteiro no sentido anti-horário de 5 passos. Entretanto, como há exatamente 16 posições no registrador, chegaremos ao mesmo ponto final *avançando* o ponteiro no sentido horário de 16 − 5 = 11 posições em vez de 5 posições no sentido anti-horário. Portanto, efetuamos uma subtração de 5 de 2 por um procedimento que realmente envolve apenas soma. Colocando o assunto mais formalmente, suponha que queremos calcular $D = A - B$ sem realmente executar uma operação de subtração. Então escrevemos $D = A + (-B)$. O número $-B$ é representado, como no registrador de complemento em dois, como $2^k - B$. Então, começando na posição do registrador correspondente a A, *avançamos o registrador no sentido horário* (*soma*) por um número de posições igual a $2^k - B$. Terminaremos então na posição $A + (2^k - B) = 2^k + (A - B)$. Entretanto, em um registrador de k dígitos, um avanço de 2^k posições corresponde a uma rotação completa. Portanto, $2^k + (A - B) = A - B$.

11.11 SOMA E SUBTRAÇÃO EM COMPLEMENTO EM DOIS

Como exemplos de operações em complemento em dois sejam nossos operandos $A = 5$ e $B = 6$ e consideremos os quatro casos $(+5) + (+6)$, $(+5) + (-6)$, $(-5) + (+6)$ e $(-5) + (-6)$. Para começar, temos que reconhecer que $5 + 6 = 11$ e $-5 - 6 = -11$. Estes números $+11$ e -11 estão fora dos limites de um registrador de quatro lugares (veja Fig. 11.9-1*c*), mas percebe-se facilmente que um registrador de cinco lugares será adequado. No primeiro caso, temos

$$\begin{array}{rl} 00101 & (+5) \\ +\,00110 & (+6) \\ \hline 01011 & (+11) \end{array}$$

que não necessita comentário. No segundo caso, representamos -6 como $100000 - 00110 = 11010$. Temos, então,

$$\begin{array}{rl} 00101 & (+5) \\ +\,11010 & (-6) \\ \hline 11111 & (-1) \end{array}$$

O resultado 11111 é reconhecido como um número negativo porque o bit mais à esquerda é 1. Para obter o módulo do número, calculamos seu complemento em dois, que é $00001 = +1$. Assim, 11111 representa -1.

No terceiro caso, temos

$$\begin{array}{rl} 11011 & (-5) \\ +\;\;00110 & (+6) \\ \hline (1)\;00001 & (+1) \end{array}$$

Como o registrador tem apenas cinco lugares, o 1 mais à esquerda não irá realmente aparecer e o registrador lerá corretamente $00001 = +1$.

No último caso, temos

$$\begin{array}{rl} 11011 & (-5) \\ 11010 & (-6) \\ \hline (1)\;10101 & (-11) \end{array}$$

De novo o bit mais à esquerda não aparece e o registrador lê 10101. O número é negativo, e seu módulo é 11 pois $100000 - 10101 = 01011 = +11$.

11.12 SOMA E SUBTRAÇÃO EM COMPLEMENTO EM UM

Vamos agora examinar o registrador de complemento em um da Fig. 11.9-1*d*. Aqui, para executar a operação de subtração, podemos utilizar um processo de soma similar ao usado em relação ao registrador da Fig. 11.9-1*c*. Assim, para obter $A - B$, escrevemos $A - B = A + (-B)$.

A parcela $-B$ é representada por seu complemento em um $(2^k - 1) - B$, e, começando em A, avançamos o registrador no sentido horário de $(2^k - 1) - B$ passos. Este número de posições de avanço no sentido horário é um a menos do que o utilizado no registrador de complemento em dois. Entretanto, comparando os dois registradores (Fig. 11.9-1*c* e *d*), observamos que na Fig. 11.9-1*d* os números negativos estão atrasados de uma posição em comparação com os da Fig. 11.9-1*c*. Portanto, terminaremos no lugar correto.

Há uma situação especial em relação ao registrador de complemento em um que vamos examinar agora. Suponha que desejamos executar a soma $7 + (-4)$. Então, usando o registrador de quatro lugares da Fig. 11.9-1*d*, representamos -4 por 1011 (1111 − 0100) e então somamos $7 + (-4)$ com o resultado

$$\begin{array}{rll} & 0111 & (7) \\ & 1011 & (-4) \\ \hline 1 & 0010 & (+2) \end{array}$$

O dígito mais à esquerda não aparece no registrador de quatro lugares. Portanto, lemos $0010 = 2$. O resultado está errado, e a razão para o erro é aparente. Tendo inicialmente avançado o registrador para 0111 (sete), avançamos então o registrador de 1011 (onze) posições adicionais. O avanço total é $7 + 11 = 18$ posições. Como o registrador tem apenas 16 posições, um avanço de 18 posições leva-o a mais de uma rotação completa. *Vê-se no registrador mostrado na Fig. 11.9-1d que qualquer rotação completa leva o registrador através de duas posições que estão marcadas zero. Portanto, depois de qualquer rotação completa, a indicação de registrador será uma unidade menor do que a indicação correta.* Isto, então, pode ser solucionado pela inclusão, em nosso procedimento, de um método de determinar se uma rotação completa ocorreu e, caso positivo, avançar o registrador de mais uma posição.

Vamos agora repetir a aritmética da seção precedente usando a representação em complemento em um de números negativos. Temos

$$\begin{array}{ll} 00101 & (+5) \\ 00110 & (+6) \\ \hline 01011 & (11) \end{array}$$

Em seguida, obtemos

$$\begin{array}{ll} 00101 & (+5) \\ 11001 & (-6) \\ \hline 11110 & (-1) \end{array}$$

De novo, como antes, o 1 na posição mais à esquerda indica um número negativo. O módulo deste número é 1 pois $11111 - 11110 = 00001$ $(= +1)$. Continuando, temos

$$\begin{array}{rll} & 11010 & (-5) \\ & 00110 & (+6) \\ \hline \textit{transbordo}\ 1 & 00000 & \\ & \quad\ \ 1 & \\ \hline & 00001 & (1) \end{array}$$

Neste caso, o transbordo (*overflow*) na sexta posição indica que o registrador completou uma (ou mais) rotação completa. Portanto, como indicado, adicionamos 1 à soma e mantivemos apenas os cinco lugares correspondentes às cinco posições do registrador. Isto é, o transbordo 1 é desconsiderado na sua posição de transbordo, mas é levado para a posição menos significativa. Finalmente, temos

$$\begin{array}{rl} 11011 & (-5) \\ 11001 & (-6) \\ \hline 1\ 10011 & \\ \rightarrow 1 & \\ \hline 10100 & (-11) \end{array}$$

A Fig. 11.12-1 mostra a modificação simples necessária em um somador de $(N + 1)$ bits para permitir que execute a operação de transporte do transbordo necessária na aritmética de complemento em um.

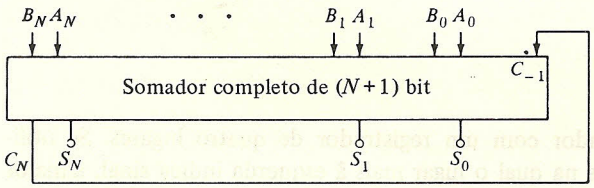


FIGURA 11.12-1
Um somador-subtrator básico (aritmética de complemento em um).

Os números com sinais são $A = A_N \ldots A_0$ e $B = B_N \ldots B_0$. Os dígitos A_N e B_N contêm a informação do sinal. Se o somador é construído com N somadores individuais, mesmo o somador na posição menos significativa tem que ser um somador completo. A saída do somador (soma ou diferença dependendo das entradas) é lida em $S_N \ldots S_0$. A saída vai um C_N não faz parte da resposta, mas é transportada para a entrada vai um C_{-1}.

11.13 SOMA E SUBTRAÇÃO DE UMA SEQÜÊNCIA DE NÚMEROS COM SINAIS

Vamos supor uma representação em complemento em um de números negativos. Então o sistema da Fig. 11.5-1 pode ser modificado para permitir a soma e subtração de uma seqüência de números com sinal. Se é necessária apenas soma, só precisamos prever o transporte do transbordo interligando o vai um de saída C_{N-1} com o vai um de entrada C_{in}. É, evidentemente, entendido que nos registradores AUGEND e acumulador o bit de ordem mais alta é um bit de sinal. Na aritmética de complemento em dois o *transporte do transbordo* não é necessário.

Quando o número no registrador AUGEND deve ser subtraído em vez de somado, devemos mudar cada bit do registrador AUGEND para seu complemento. Isto pode ser feito, entre outras maneiras, intercalando uma porta OU-EXCLUSIVO em cada ligação das saídas do AUGEND para as entradas do somador completo, como mostrado na Fig. 11.8-1. Uma entrada comum a cada porta é um sinal de controle que está no nível lógico **0** quando se deseja soma (este procedimento deve ser modificado para aritmética de complemento em dois fazendo também $C_{\text{in}} = \mathbf{1}$

durante a subtração). A outra entrada de cada uma das N portas é a saída Q correspondente do registrador AUGEND.

Durante a combinação de uma seqüência de números com sinal, a soma algébrica pode algumas vezes exceder a capacidade do acumulador ou na direção positiva ou negativa. No entanto, é interessante notar que, se a soma algébrica final estiver dentro dos limites do acumulador, a leitura final estará correta mesmo se houver transbordo do acumulador até a chegada a esta leitura.

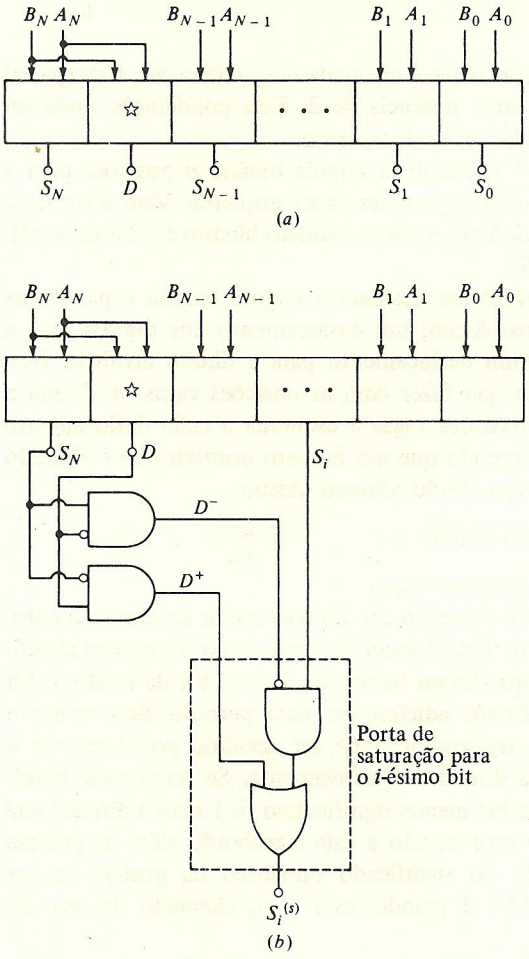
No caso mais simples, é fácil verificar que isto é realmente verdade. Considere que estamos somando uma seqüência de números com sinal e que a soma está sendo acumulada em um registrador de k dígitos. Vamos imaginar que o registrador foi ampliado de várias posições de dígitos extras, $k + 1$, $k + 2$, etc. em número necessário para evitar transbordo. Suponha que, depois de passar por estas posições extras, uma soma acumulada é finalmente contida nos k dígitos do registrador. Então as posições extras serão todas zero e não fará diferença que estas posições de dígitos extras não estejam realmente disponíveis. De forma similar, em outros casos, mesmo quando um transporte de transbordo é envolvido, pode ser mostrada de forma geral, e por exemplos, que o princípio continua a ser aplicado (veja Prob. 11.13-2).

11.14 SOMADOR SATURÁVEL

Suponha que construímos um somador com um registrador de quatro lugares. Se utilizarmos aritmética de complemento em dois na qual o lugar mais à esquerda indica sinal, a maior soma que o somador pode conter é $+7 = 0111$ e a soma mais negativa é $-8 = 1000$. Suponha agora que somamos $+5 = 0101$ e $+3 = 0011$. A soma é 8, que excede por apenas 1 a capacidade do somador. Entretanto, o resultado 1000 ($= 0101 + 0011$) seria interpretado como -8, de modo que o erro seria 16. Uma troca similar de sinal e um erro exagerado também ocorre quando a capacidade do registrador é excedida na direção negativa.

Há muitas situações onde um erro na soma é simplesmente não aceitável. Este seria certamente o caso em relação às contas financeiras em um banco. Por outro lado, suponha que é possível arranjar um modo tal que, quando um registrador soma tem transbordo, a indicação do registrador pode ser mantida em seu valor extremo. Isto é, no exemplo acima, suponha que a soma fosse mantida em $0111 = +7$ sempre que a soma verdadeira fosse $+7$ ou maior. Desta maneira, o erro devido ao transbordo seria mantido no mínimo. Este somador saturável poderia ser aceitável se nosso interesse não fosse especificamente no valor numérico da soma, mas no uso da saída soma para controlar algum processo. Assim, suponha que a saída soma é usada para controlar a razão na qual um processo está avançando, a razão sendo proporcional à soma. Então, com um somador saturável, quando ocorre o transbordo, pelo menos o processo é mantido na razão mais rápida consistente com a capacidade do somador. Consideremos agora como este somador saturável pode ser construído.

A Fig. 11.14-1*a* mostra um somador de $(N + 1)$ bits com um estágio extra de somador completo. Como indicado, os bits de sinal A_N e B_N são aplicados tanto a este *estágio* extra de *transbordo* como ao último estágio do somador. A maior saída positiva do somador básico é $2^N - 1$ e, se não houver transbordo além deste extremo, a saída do somador será $S_N D S_{N-1} \ldots S_0 = \mathbf{00}XX \ldots X$; isto é, teremos $S_N = D = \mathbf{0}$. De forma similar, se a saída é negativa, mas ainda dentro da capacidade do somador, teremos $S_N = D = \mathbf{1}$.



☆ Detector de transbordo.

FIGURA 11.14-1
(*a*) Um somador de $(N + 1)$ bits com um somador de 1 bit adicional para detectar transbordo; (*b*) detecção de transbordo e codificação lógica de saturação.

Agora, se ocorrer um transbordo na direção positiva, então, como pode ser verificado, teremos $S_N = \mathbf{0}$ mas $D = \mathbf{1}$. Enquanto se um transbordo ocorrer na direção negativa, teremos $S_N = \mathbf{1}$ mas $D = \mathbf{0}$. Supomos aqui que o transbordo é tal que a soma correta não é maior que $2^{N+1} - 1$. Isto é, supomos um transbordo em uma posição.

Um somador saturável está mostrado na Fig. 11.14-1*b*. Com um transbordo positivo $S_N = \mathbf{0}$ e $D = \mathbf{1}$, de modo que D^+ será $D^+ = \mathbf{1}$. Caso contrário, D^+ será $D^+ = \mathbf{0}$. De forma similar, com um transbordo negativo, e somente neste caso, teremos $D^- = \mathbf{1}$. Cada uma das saídas do somador $S_{N-1}, \ldots, S_0$ (mas não S_N e D) é ligada a um circuito de *saturação* separado (mostrado apenas para S_i no retângulo tracejado) para fornecer $S_i^{(s)}$. É facilmente verificado que, se não houver transbordo, $S_i^{(s)} = S_i$, o bit soma verdadeiro e a saída soma será $S_N, S_{N-1} \ldots S_0$ (D não é levado para a saída). Se ocorrer um transbordo positivo, a saída será $S_N S_{N-1}{}^{(s)} \ldots S_0^{(s)} = 01 \ldots 1$. Se ocorrer um transbordo negativo, a saída será $S_N S_{N-1}{}^{(s)} \ldots S_0^{(s)} = 10 \ldots 0$.

11.15 PONDERAÇÃO

A multiplicação de uma variável por uma constante é chamada de ponderação. De especial interesse é a ponderação na qual a constante é uma potência de 2. Esta ponderação pode ser feita convenientemente por operações de registrador de deslocamento.

Um número binário é multiplicado por 2^n movendo a vírgula binária n posições para a direita e é dividido por 2^n movendo a vírgula binária n posições para a esquerda. Vamos começar com o número binário 011,01 = 3,25 (o zero mais à esquerda no número binário é o bit de sinal). Então 0110,1 = +2 (3,25) e 01,101 = $+\frac{1}{2}$ (3,25).

Suponha, agora, que verificamos ser inconveniente deslocar a vírgula binária e propomos deixá-la numa posição fixa e deslocar os dígitos. Assim, um deslocamento dos dígitos para a esquerda de n posições multiplicaria por 2^n e um deslocamento para a direita dividiria. Nesta operação de deslocamento surge a questão do que fazer com as posições vagas na direita a cada deslocamento para a esquerda e com as posições vagas à esquerda a cada deslocamento para a direita. Esta questão é respondida reconhecendo que um número positivo não é alterado pela colocação de zeros adicionais à direita e à esquerda do número. Assim,

$$011{,}01 \equiv \cdots 000011{,}01000 \cdots$$

e está claro que tem que se colocar zeros nestas posições vagas.

Na Fig. 11.15-1 o número + 3,25 = 011,01 foi colocado em um registrador de deslocamento. Duas posições do registrador adicionais com zeros foram incluídas depois do bit menos significativo, e outras duas posições adicionais com zeros foram colocadas entre o bit de sinal e o bit mais significativo do número. Estas posições foram adicionadas para permitir deslocamento sem perda de bits significativos. O número no registrador pode ser dividido por 2 ou por 4 deslocando os bits uma ou duas posições para a direita, respectivamente. Se tentarmos dividir por 8, que é um deslocamento de três posições, o bit menos significativo (o 1 mais à direita) será deslocado para fora do registrador e perdido. O erro devido a este transbordo além da posição mais à direita do registrador é igual à metade do significado numérico da posição menos significativa do registrador. Se o número de bits é grande, este erro, chamado de *erro de quantização*, pode ser aceitável.

No registrador da Fig. 11.15-1, um ou dois deslocamentos para a esquerda são permitidos para multiplicar o número por 2 ou por 4. Três deslocamentos colocariam 1 na posição do bit de sinal e, portanto, não é permitido. Se a posição mais à esquerda na Fig. 11.15-1 representa 2^4 em vez do bit de sinal, um terceiro deslocamento para a esquerda seria permissível. Neste caso, entretanto, um quarto deslocamento para a esquerda perderia o bit mais significativo, resultando geralmente em um erro não aceitável chamado *erro de transbordo*. Em qualquer caso, deve-se lembrar que, havendo deslocamento, sempre deslocamos zeros nas posições terminais vagas do registrador desde que o número seja positivo.

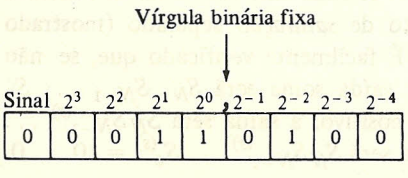


FIGURA 11.15-1
O número + 3,25 em um registrador de deslocamento.

Números negativos. Quando números negativos são representados por seus complementos em dois, então exatamente como com os números positivos, multiplicação e divisão podem ser feitas movendo a vírgula binária. Alternativamente, a vírgula binária pode ser mantida constante e os dígitos se moverem. O número $-3{,}25$ na representação em complemento em dois, escrito em um registrador com um número mínimo de posições, é calculado como

$$\begin{array}{r} 1000{,}00 \\ -\ 011{,}01 \\ \hline 100.11 \end{array}$$

Se houver duas posições de registrador adicionais disponíveis de cada lado da vírgula binária, escreveremos

$$\begin{array}{r} 100000{,}0000 \\ -\ 00011{,}0100 \\ \hline 11100{,}1100 \end{array}$$

Comparando 100,11 com 11100,1100, ambos representando $-3{,}25$, é claro que, acrescentando um número arbitrário de 1 à esquerda ou um número arbitrário de 0 à direita, não muda o valor do número. Portanto, no caso de número negativo, quando deslocamos para a direita, sempre deslocamos 1 para a posição do registrador mais à esquerda vaga. Deslocando para a esquerda, zeros são deslocados para as posições vagas mais à direita.

O deslocamento para a direita não produzirá erro até que o bit menos significativo (o 1 mais à direita) seja deslocado para fora do registrador. O deslocamento para a esquerda não produzirá erro até que o bit mais significativo (o 0 mais à esquerda) seja deslocado para a posição do registrador mais à esquerda (a posição do sinal).

Complemento em um. O número $-3{,}25$ na representação em complemento em um, quando escrito em um registrador com o número mínimo de posições, é calculado como

$$\begin{array}{r} 111{,}11 \\ 011{,}01 \\ \hline 100{,}10 \end{array}$$

Se houver duas posições adicionais disponíveis de cada lado da vírgula binária, escrevemos

$$\begin{array}{r} 11111{,}1111 \\ 00011{,}0100 \\ \hline 11100{,}1011 \end{array}$$

Quando comparamos estes resultados, verificamos que, no caso de complemento em um, acrescentando um número arbitrário de 1 tanto à esquerda como à direita não muda o valor do número. Portanto, neste caso 1 será deslocado nas posições terminais vagas quando houver deslocamento em ambas as direções. O deslocamento não produzirá erro até que um deslocamento à direita mova um zero para fora da posição mais à esquerda ou um deslocamento para à esquerda desloque um zero na posição do bit de sinal.

O procedimento descrito acima é geralmente empregado quando executamos cálculos em um computador digital. Entretanto, o procedimento consome tempo pois cada deslocamento requer um pulso de relógio adicional. Em muitos sistemas digitais gostaríamos de "fazer com ligação" (*hard-wire*) o circuito de ponderação de modo que a variável $Y = 2^n X$ fosse determinada no *mesmo* instante em que X é dado.

A Fig. 11.15-2*a* até *d* ilustra os circuitos feitos com ligação empregados nos projetos de filtros digitais e outros sistemas de processamento digital. Por simplicidade são mostrados números de 5 bits. A Fig. 11.15-2*a* mostra a ligação para $Y = 2^2 X$ utilizando complemento em dois. Note que $Y_1 = Y_0 = 0$ pois 0 é deslocado para os bits mais à direita. Note também que o bit de sinal nunca é mudado na prática, pois ponderação não pode causar uma mudança de sinal. Além disto, X_3 e X_2 são perdidos devido à ponderação. Assim, se X_3 ou X_2 é 1, resulta em erro de transbordo. Lógica de saturação pode ser projetada para minimizar o erro de transbordo utilizando um procedimento similar ao mostrado na Fig. 11.14-1.

A Fig. 11.15-2*b* mostra a ligação quando $Y = 2^{-2} X$ utilizando complemento em dois. Note que os bits vagos Y_3 e Y_2 estão conectados ao bit de sinal (Y_4). Isto é feito porque, se X é positivo, $Y_4 = Y_3 = Y_2 = 0$, enquanto se X é negativo, $Y_4 = Y_3 = Y_2 = 1$. Note também que os valores de X_1 e X_0 são perdidos devido à ponderação.

A Fig. 11.15-2*c* mostra o resultado da ponderação em X para formar $Y = 2^3 X$ utilizando complemento em um. Aqui, como Y_0, Y_1 e Y_2 têm o mesmo valor que o bit de sinal Y_4, eles foram interligados. A Fig. 11.15-2*d* mostra o circuito para $Y = 2^{-3} X$. De novo os bits a serem introduzidos, Y_1, Y_2 e Y_3, estão ligados ao bit de sinal Y_4.

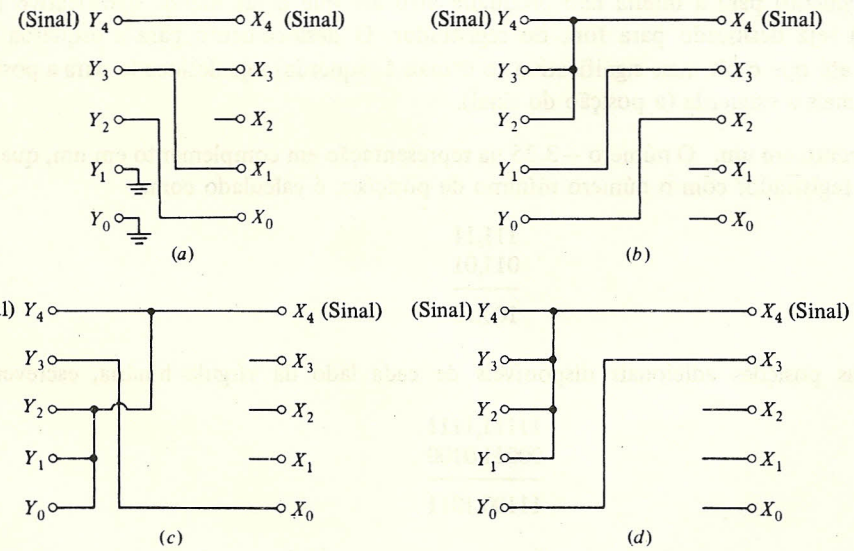


FIGURA 11.15-2
(*a*) Ponderação por $a = 2^2$ quando X e Y estão em complemento em dois, $Y = 2^2 X$.
(*b*) Ponderação por $a = 2^{-2}$ quando X e Y estão em complemento em dois, $Y = 2^{-2} X$.
(*c*) Ponderação com $a = 2^3$ usando aritmética de complemento em um, $Y = 2^3 X$.
(*d*) Ponderação com $a = 2^{-3}$ usando aritmética de complemento em um, $Y = 2^{-3} X$.
(O símbolo terra representa lógica **0**.)

11.16 MULTIPLICAÇÃO

O processo de multiplicação está ilustrado na Fig. 11.16-1. O multiplicando é multiplicado por cada dígito do multiplicador. Estes produtos parciais são então somados com a devida consideração para o significado numérico diferente de cada dígito do multiplicador. Cada produto parcial é ou identicamente zero ou igual ao multiplicando, dependendo se o dígito do multiplicador é 0 ou 1. Notamos que o produto tem mais dígitos do que o multiplicando ou que o multiplicador. Se cada um destes termos tem N dígitos, o produto pode ter até $2N$ dígitos. Se, então, os registradores e outros dispositivos de armazenamento em um sistema digital têm todos o mesmo número de posições de dígito, alguns dos dígitos do produto podem transbordar.

```
          1 0 1 1     (Multiplicando)
          1 1 0 1     (Multiplicador)
        -------------
          1 0 1 1
        0 0 0 0       } (Produtos parciais)
      1 0 1 1
    1 0 1 1
  -----------------
1 0 0 0 1 1 1 1       (Produto)
```

FIGURA 11.16-1
O processo de multiplicação.

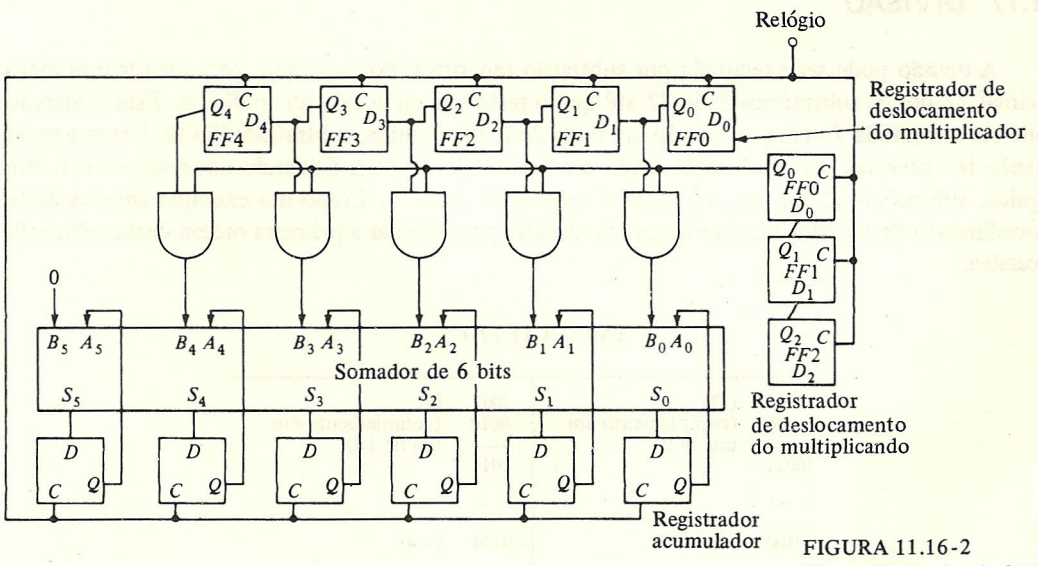


FIGURA 11.16-2
Um multiplicador de 3 bits.

Um multiplicador básico capaz de multiplicar duas palavras de 3 bits está mostrado na Fig. 11.16-2. Ele contém um registrador de deslocamento multiplicando de 5 bits, um registrador de deslocamento multiplicador de 3 bits e um acumulador de 6 bits (escolhemos flip-flops tipo D). Inicialmente o multiplicando é carregado nos três flip-flops da direita do registrador multiplicando, o bit menos significativo em *FF*0 e o mais significativo em *FF*2. O multiplicador é carregado no registrador de deslocamento multiplicador, o dígito menos significativo em *FF*0 e o mais significativo em *FF*2. Supõe-se que o acumulador tem todos os flip-flops em zero (está limpo).

Antes que ocorra o primeiro pulso de relógio, o primeiro produto parcial foi formado. A multiplicação é obtida pelas portas AND e o produto parcial aparece como $B_2B_1B_0$ nas entradas do somador e também como $S_2S_1S_0$ nas saídas do somador. No primeiro pulso do relógio, o produto parcial $S_2S_1S_0$ é registrado nos três flip-flops da direita do acumulador e, então, aparece também como $A_2A_1A_0$ na entrada do somador. Este mesmo primeiro pulso do relógio move o bit multiplicador seguinte para *FF*0 do registrador de deslocamento multiplicador e move também o multiplicando de três dígitos de um passo para a esquerda no registrador de deslocamento multiplicando. Portanto, o segundo produto parcial aparece como $B_3B_2B_1$, e a soma deste produto parcial e o primeiro produto parcial aparece na saída do somador como $S_4S_3S_2S_1S_0$. (A soma dos dois primeiros produtos parciais de 3 dígitos pode fornecer uma palavra de 5 dígitos.) Depois do segundo pulso de relógio, a soma dos três produtos parciais, que é o produto final, aparecerá na saída do somador como $S_5S_4S_3S_2S_1S_0$. O terceiro pulso registrará a soma dos três produtos parciais no acumulador e irá também limpar o registrador de deslocamento multiplicador. Então o processo de multiplicação está completo.

A multiplicação série é relativamente lenta pois é necessário que a soma seja executada uma depois da outra. Multiplicadores paralelos, que fazem a soma em paralelo e, portanto, diminuem significativamente a duração da multiplicação, são disponíveis atualmente.

11.17 DIVISÃO

A divisão pode ser executada por subtração repetitiva. Por exemplo, para dividir o número decimal 22 por 3, subtraímos 3 de 22 até que o resto seja menor do que o divisor. Esta subtração pode ser executada 7 vezes, deixando um resto de 1. Em seguida, subtraímos 0,3 de 1 tantas vezes quanto for possível. Esta subtração pode ser executada 3 vezes, deixando um resto de 0,1. Em seguida, subtraímos 0,03, etc., obtendo o quociente 7,33 ... Como um exemplo simples deste procedimento de divisão, consideremos um circuito para efetuar a primeira ordem desta subtração sucessiva.

TABELA 11.17-1

1101	(13)	1001	(9)
0110	(complemento em um de 9)	0010	(complemento em um de 13)
10011		1011	
↳1			
0100	(4)	− 0100	(−4)

Tratando apenas de números positivos, achamos conveniente suprimir o bit de sinal na representação do número, desta forma economizando uma posição de bit nos registradores. Na ausência de um bit de sinal, o procedimento para subtração, quando o minuendo e o subtraendo são positivos, está mostrado pelo exemplo na Tabela 11.17-1, na qual subtraímos o número decimal 9 (1001) do número decimal 13 (1101) e depois subtraímos 13 de 9. Quando a diferença é positiva, há um transbordo 1 que deve ser transportado e somado. Quando a diferença é negativa, não há transbordo. Neste caso a resposta correta é o complemento em um da soma

com um sinal de menos. É deixado como exercício verificar que isto é o caso geral. De importante em nossa aplicação presente é o fato de que, quando a diferença é positiva, há um transbordo 1 e, quando a diferença é negativa, não há transbordo.

Um esquema para dividir, até a primeira ordem, um número de quatro dígitos $X = X_3X_2X_1X_0$ por um divisor $Y = Y_3Y_2Y_1Y_0$ por subtração repetitiva está mostrado na Fig. 11.17-1.

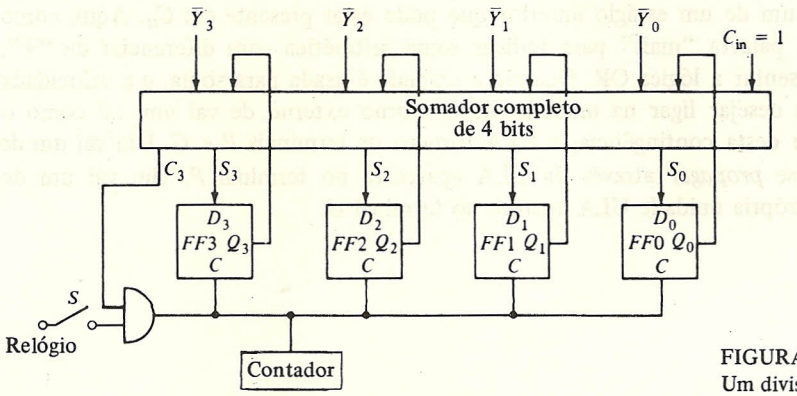


FIGURA 11.17-1
Um divisor por subtração repetitiva.

O dividendo X é carregado no registrador que aqui consiste em quatro flip-flops tipo D. As saídas do registrador estão ligadas em uma entrada do somador, enquanto a outra entrada é o complemento em um de Y dado por $\bar{Y}_3\bar{Y}_2\bar{Y}_1\bar{Y}_0$. Em princípio, a saída vai um C_3 deve ser ligada de volta para a entrada de vai um C_{in}. Entretanto, estamos interessados nesta ligação apenas quando $C_3 = 1$. Portanto, utilizamos o simples arranjo de fixar o C_{in} em $C_{in} = 1$. O contador é inicialmente acionado para zero.

Supondo que $X > Y$, teremos inicialmente $C_3 = 1$ e, portanto, a porta AND está habilitada. A diferença $X - Y$ aparece em $S_3S_2S_1S_0$. Vamos agora fechar a chave do relógio. O primeiro pulso de relógio armazenará a diferença $X - Y$ no registrador e também avançará o contador de um passo. Temos agora $(X - Y) - Y = X - 2Y$ em $S_3S_2S_1S_0$. Se $C_3 = 1$, a porta AND estará habilitada e o segundo pulso de relógio armazenará $X - 2Y$ no registrador e avançará o contador de um segundo passo, etc. Se após n pulsos de relógio, o resto tornar-se menor que Y, teremos $C_3 = 0$. A porta AND estará agora inibida e o contador irá parar. Portanto, o quociente é lido no contador.

11.18 A UNIDADE LÓGICA ARITMÉTICA (ULA)

Estão disponíveis circuitos integrados em ECL, TTL e CMOS que são chamados de unidade lógica aritmética (ULA). O circuito lógico nestas unidades é inteiramente combinatório (isto é, consiste em portas sem realimentação e sem flip-flops). A ULA é um dispositivo extremamente versátil e útil, pois torna disponível em um único circuito integrado um dispositivo para executar várias diferentes operações lógicas e aritméticas.

Funcionalmente, a operação de uma ULA típica tal como a unidade ECL tipo MC10181 está representada na Fig. 11.18-1. A unidade aceita como entradas duas palavras de 4 bits $A = A_3A_2A_1A_0$ e $B = B_3B_2B_1B_0$ e uma entrada de vai um chamada C_n. As operações que vão ser executadas com estas entradas são determinadas pelos níveis lógicos na entrada $S = S_3S_2S_1S_0$ e na entrada M (modo). Quando $M = 1$, as operações são lógicas, enquanto uma combinação de operações lógicas e aritméticas é selecionada quando $M = \mathbf{0}$. As saídas estão disponíveis em $F = F_3F_2F_1F_0$ e a saída de vai um C_{n+4}. Em um caso típico como indicado na Tabela 11.18-1, se $M = \mathbf{0}$ e $S = \mathbf{1001}$, então a saída F será a soma aritmética A mais B, levando em conta qualquer vai um de um estágio anterior que pode estar presente em C_n. Aqui, como na tabela, utilizamos a palavra "mais" para indicar soma aritmética para diferenciar de "+", que é usado para representar a lógica OR. Quando a unidade é usada para soma, e a velocidade é importante, podemos desejar ligar na unidade um contorno externo de vai um, tal como o tipo 10179. Lembrando desta contingência, a ULA fornece os terminais P e G. Um vai um de entrada que tem que se *propagar* através da ULA aparecerá no terminal P. Um vai um de saída que é *gerado* na própria unidade ULA aparece no terminal G.

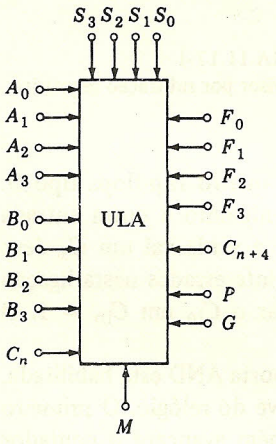


FIGURA 11.18-1
Representação de uma unidade lógica aritmética (ULA).

Podemos indagar acerca da utilidade de algumas das funções indicadas na Tabela 11.18-1. Considere então, por exemplo, que precisamos comparar dois números positivos A e B para determinar qual é o maior. Tal operação (chamada *comparação*) é necessária em um algoritmo para executar a divisão. Se colocarmos $M = \mathbf{0}$ e $S = \mathbf{0110}$, então obteremos que $F = A$ menos B menos 1. Agora, se $A > B$, o bit de sinal de F, que é F_3, será $F_3 = \mathbf{0}$.

A ULA é projetada para que números negativos sejam apresentados na forma de complemento em dois. Portanto, se $A \leqslant B$, então F será negativo e $F_3 = \mathbf{1}$.

A ULA ECL MC10181 é uma unidade muito rápida. Ela soma dois números de 4 bits em aproximadamente 6,5 ns, e tipicamente um vai um de saída é gerado em menos de 5 ns.

A ULA é o coração de toda unidade microprocessadora (MPU). Em um microprocessador, a ULA é combinada com registradores de deslocamento, ROMs e RAMs (veja Cap. 12), de modo que uma seqüência completa de operações aritmética e lógica possa ser executada.

TABELA 11.18-1
Tabela de Funções

Seleção de função				*Funções lógicas* ($M = 1$)	*Aritmética e lógica* ($M = 0$)
S_3	S_2	S_1	S_0	F	F
0	0	0	0	A	A menos 1
0	0	0	1	$A \cdot B$	$(A \cdot B)$ menos 1
0	0	1	0	$A \cdot \overline{B}$	$(A \cdot \overline{B})$ menos 1
0	0	1	1	0	menos 1 (em complemento em dois)
0	1	0	0	$A + B$	A mais $(A + \overline{B})$
0	1	0	1	B	$(A + \overline{B})$ mais $(A \cdot B)$
0	1	1	0	$A \oplus B$	A menos B menos 1
0	1	1	1	$\overline{A} \cdot B$	$A + \overline{B}$
1	0	0	0	$A + \overline{B}$	A mais $(A + B)$
1	0	0	1	$\overline{A \oplus B}$	A mais B
1	0	1	0	$\overline{B}$	$(A + B)$ mais $(A \cdot \overline{B})$
1	0	1	1	$\overline{A} \cdot \overline{B}$	$A + B$
1	1	0	0	1	A vezes 2
1	1	0	1	$\overline{A} + B$	A mais $(A \cdot B)$
1	1	1	0	$\overline{A} + \overline{B}$	A mais $(A \cdot \overline{B})$
1	1	1	1	$\overline{A}$	A

REFERÊNCIAS

1. MECL Integrated Circuits DATA BOOK. Motorola Semiconductor Products, Inc., 1973.
2. Motorola Application Note AN-488 (preparado por J. M. DeLaune). Motorola Semiconductor Products, Inc., 1971.

CAPÍTULO 12

Memórias em Semicondutores

Um processador digital geralmente necessita armazenar informação. Esta informação pode consistir em números que serão usados em um cálculo, resultados intermediários de um cálculo, instruções para a realização do cálculo ou todos os três. Quando não há cálculos envolvidos, necessitaremos apenas o armazenamento de dados. Por exemplo, uma máquina projetada para o endereçamento de envelopes a serem enviados pelo correio necessitará de um lugar para o armazenamento de nomes e endereços. A parte de um processador digital que armazena os dados é chamada de *memória*. Neste capítulo discutiremos a organização e a eletrônica de dispositivos de memória em semicondutores.

12.1 TIPOS DE MEMÓRIAS

Há três tipos de memórias: a memória de acesso, seqüencial, a memória de acesso aleatório (RAM) e as memórias apenas de leitura (ROM).

Um exemplo simples e direto de uma memória de acesso seqüencial é a fita de papel perfurada, mostrada na Fig. 12.1-1. A fita é uma tira de papel de grande comprimento com espaços reservados em intervalos regulares na largura, usados para representar os lógicos **1** ou **0**. Um **1** lógico pode ser representado por uma perfuração na fita, enquanto um **0** lógico é representado pela não perfuração no espaço reservado. (Claro que, se assim quisermos, a perfuração pode representar o **0** lógico, etc.)

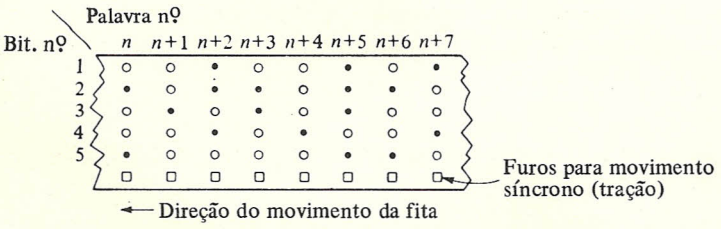


FIGURA 12.1-1
Uma fita de papel perfurada. Um exemplo de memória de acesso seqüencial.

Os bits gravados desta maneira ao longo da largura da fita formam uma palavra, e palavras sucessivas aparecem em seqüência ao longo do comprimento da fita. Na Fig. 12.1-1, temos palavras de 5 bits. Os círculos representam perfurações no papel e são tratados com **1** lógicos. Os pontos representam a ausência de perfuração e portanto são lidos como **0** lógicos. Assim, a *n*-ésima palavra é **10110**, a palavra de ordem $(n + 1)$ é **11011**, etc. As perfurações quadradas na parte inferior da fita são para o mecanismo de tração que funciona em sincronismo com o sistema do qual a memória em fita faz parte. As palavras são *escritas* na fita, através da perfuração mecânica da fita, à medida que esta avança pela *cabeça de perfuração*. As palavras são *lidas* em seqüência, passo a passo, à medida que a fita avança através da *cabeça de leitura*. A cabeça de leitura pode consistir em cinco pequenas fontes luminosas e igual número de dispositivos fotossensíveis.

A característica essencial da memória da Fig. 12.1-1 é que palavras são escritas e lidas em *seqüência*. Se tivermos a *n*-ésima palavra na cabeça de leitura, então a palavra de ordem $(n + k)$ não será lida até que a fita avance k vezes. Esta é a limitação principal de uma memória de acesso seqüencial. Se os dados necessários para alguma finalidade estiverem localizados em posições aleatórias de uma memória de acesso seqüencial, um tempo considerável pode ser necessário para se ter acesso a estes dados para o processamento. Por outro lado, memórias de acesso seqüencial têm a vantagem de ser relativamente baratas e são muito eficientes quando há a possibilidade de escrevermos dados na memória na ordem em que mais tarde eles serão necessários.

Em outro tipo de memória de acesso seqüencial, a fita tem uma cobertura de material magnético e os bits são registrados na fita pela aplicação de um campo magnético em uma ou outra direção. Da mesma forma que em fita de papel, palavras são escritas ou lidas à medida que a fita passa sob uma cabeça. Outras memórias de cobertura magnética usam discos ou tambores rotativos.

Em uma memória de acesso aleatório (RAM), *palavras* são novamente armazenadas em *posições*. Há provisões para localizarmos uma determinada *posição*, isto é, *endereçarmos* a posição para *escrevermos* dados (uma seqüência de bits) na posição endereçada ou *lermos* dados a partir desta posição. O tempo necessário para completar a operação de escrever uma palavra em uma posição de memória é chamado de tempo de *acesso à escrita* (e, correspondentemente, de tempo de *acesso à leitura* para a leitura de uma palavra). Suponha que lemos ou escrevemos uma palavra em uma primeira posição de memória e que, agora, voltamos nossa atenção para uma segunda posição de memória, escolhida arbitrariamente, isto é, aleatoriamente, e temos então acesso a esta posição para a escrita ou leitura. Em uma memória de acesso aleatório, o tempo de acesso a esta segunda posição é o mesmo para todas as posições. Esta situação difere daquela que prevalece em um sistema seqüencial de memória, onde o tempo de acesso a uma segunda posição depende de sua localização em relação à primeira.

A memória apenas de leitura (ROM) é um tipo de memória de acesso aleatório. A ROM se diferencia da RAM pelo fato de que não há possibilidade de escrevermos palavras em uma ROM, enquanto o sistema estiver operando, isto é, em tempo real. O conteúdo da memória é, normalmente, estabelecido pelo fabricante ou usuário e daí em diante, geralmente, não pode ser alterado pelo usuário.

12.2 MEMÓRIAS SEQÜENCIAIS EM REGISTRADOR DE DESLOCAMENTO

As memórias seqüenciais da seção anterior, como envolvem partes mecânicas, são limitadas em velocidade.

Uma memória seqüencial com registrador de deslocamento é mostrada na Fig. 12.2-1. Esta memória usa N registradores de deslocamento, cada um com K estágios, e nos possibilita armazenamento para K palavras, cada uma com N bits. Cada registrador armazena um dos N bits de cada uma das K palavras. Em cada ciclo do relógio (a entrada do relógio não é indicada explicitamente na Fig. 12.2-1), os bits em cada registrador avançarão um passo e as palavras armazenadas aparecerão *seqüencialmente* nas saídas $b_0, b_1, \ldots, b_{N-1}$. Nesta memória seqüencial, a palavra que está sendo lida, que é o conjunto de bits registrados na última posição do registrador, pode ser transferida de volta à posição do registrador mais à esquerda sob a forma, então, de registrador de deslocamento recirculante.

Assim, depois que a seqüência inteira de palavras apareceu na saída da memória, a mesma seqüência pode ser repetida, indefinidamente, desde que o relógio continue a excitar os registradores. Neste sentido, o registrador presente corresponde a uma memória em fita onde o início e o fim da fita foram colados de tal modo que ela forma um laço fechado.

Se o nível lógico da linha de habilitar para escrever for o lógico **1**, o caminho de recirculação pelos registradores será interrompido. Neste caso, os bits aplicados às linhas de escrita na entrada em sincronismo com o relógio preencherão posições sucessivas nos registradores de deslocamento. Assim, com o controle de escrita em **1**, podemos *apagar* e substituir o conteúdo da memória.

Partindo-se de uma memória inicialmente limpa, a primeira palavra nela escrita será a primeira palavra que aparecer na saída da memória, quando o seu conteúdo for mostrado. Assim, esta memória é descrita como sendo um sistema tipo primeiro que entra é o primeiro que sai (FIFO).

Um modo diferente de organização de uma memória seqüencial em registrador de deslocamento é mostrado na Fig. 12.2-2. Aqui, novamente N registradores de deslocamento, cada um de K bits, são usados para nos fornecer uma memória para palavras de N bits, sendo que a memória deve ter uma capacidade de K palavras. A memória em questão difere da memória da Fig. 12.2-1 em três aspectos importantes. A característica de circulação do circuito prévio não é empregada

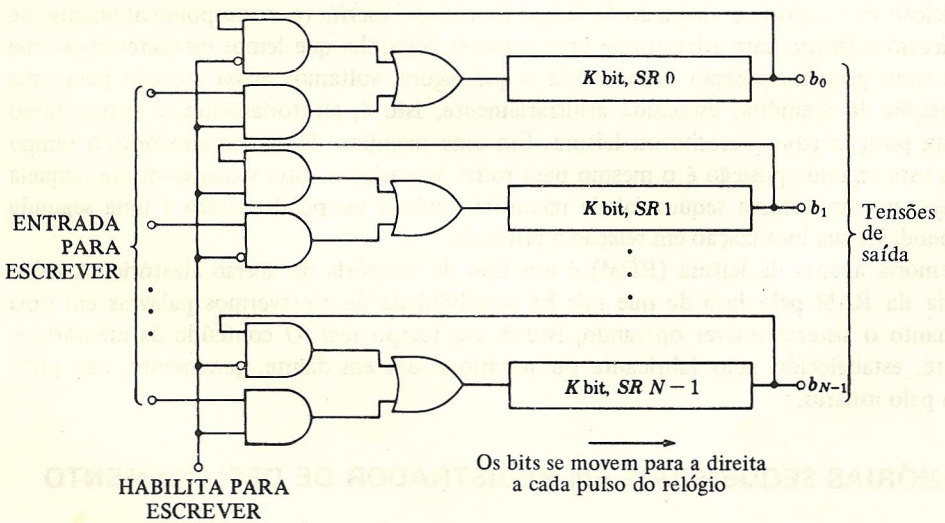


FIGURA 12.2-1
Uma memória de acesso seqüencial usando registradores de deslocamento.

e a entrada e a saída de dados são aplicadas e retiradas, respectivamente, do mesmo estágio do registrador. Os registradores de deslocamento, finalmente, possuem as características de poderem ser deslocados em qualquer direção (veja a seção 10.5). Se considerarmos um estágio de registrador típico em um registrador de deslocamento como sendo constituído por flip-flops do tipo D, então a entrada de dados será aplicada à entrada D (dados) do flip-flop mais inferior, em cada um dos registradores de deslocamento, e a palavra será reconstituída pela leitura dos bits das saídas Q dos mesmos flip-flops.

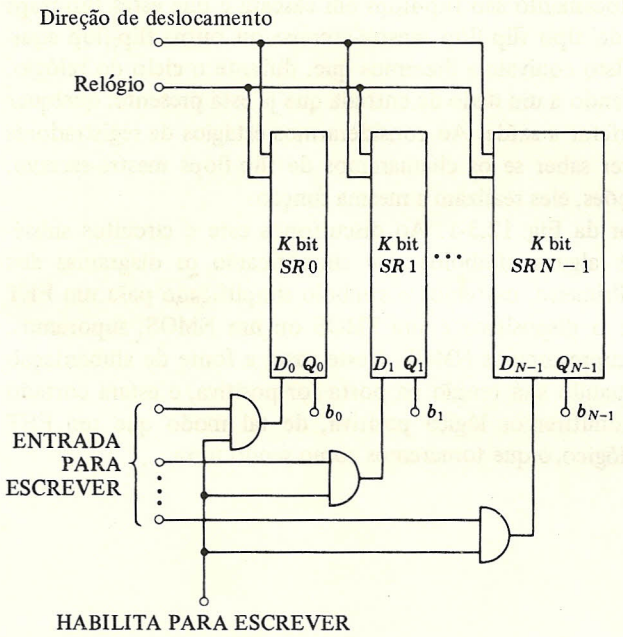


FIGURA 12.2-3
Uma memória de registrador de deslocamento seqüencial do tipo FILO de empilhamento para baixo.

Consideremos que o sinal de *habilita a escrita* esteja no **1** lógico, a linha de *direção do deslocamento* esteja de tal modo a deslocar os bits para cima e consideremos ainda a existência de uma seqüência de palavras apresentada nas linhas de *entrada de escrita* em sincronismo com o relógio. Um total de K palavras poderá então ser armazenado na memória. Cada uma das palavras entra em baixo e se desloca de um estágio para cima para dar lugar à palavra seguinte. De um modo figurativo, as palavras são empilhadas uma em cima da outra, sendo que a primeira palavra estará no topo da pilha. Para lermos as palavras em seqüência, colocamos o habilita a escrita no **0** lógico e então invertemos o sentido de deslocamento para baixo. A cada ciclo do relógio, uma palavra armazenada é recuperada, aparecendo na saída da memória em ordem inversa daquela em que as palavras foram ali armazenadas. Este tipo de memória é então referenciado como sendo um sistema primeiro que entra é o último que sai (FILO). Podemos também dizer que a operação de recuperação de dados é feita de modo que a pilha é empurrada de cima para baixo, fazendo com que as palavras sejam recuperadas na parte inferior da pilha uma a uma.

12.3 ESTÁGIOS DE REGISTRADORES MOS

Conforme foi observado, a tecnologia MOS possui vantagem especial em se tratando de integração em larga escala (LSI), porque um dispositivo MOS geralmente ocupa muito menos espaço em uma pastilha de silício quando comparado a um dispositivo bipolar. Assim, os dispositivos MOS são freqüentemente usados nas memórias seqüenciais de grande capacidade, e que empregam registradores de deslocamento. Consideraremos agora as características e a operação dos estágios de registradores MOS colocados em cascata em registradores de deslocamento.

Vimos que os registradores de deslocamento são flip-flops em cascata e que estes flip-flops devem ter a característica de operação do tipo flip-flop mestre-escravo ou outro flip-flop equivalente como discutido no Capítulo 9. Isto equivale a dizermos que, durante o ciclo do relógio, quando a saída do flip-flop está respondendo a um dado de entrada que já está presente, qualquer mudança no dado de entrada não deve afetar a saída. Ao considerarmos estágios de registradores de deslocamento MOS, poderemos querer saber se os chamaremos de flip-flops mestre-escravo, mas veremos que, dentro de certas limitações, eles realizam a mesma função.

Considere o circuito MOS inversor da Fig. 12.3-1. Ao discutirmos este e circuitos subseqüentes, arbitrariamente introduziremos alguns símbolos que simplificarão os diagramas dos circuitos e evitarão palavras excessivas. Primeiro, usaremos o símbolo simplificado para um FET que omite o substrato e não indica se o dispositivo é um PMOS ou um NMOS; suporemos, entretanto, durante este capítulo, que empregaremos NMOS. Neste caso, a fonte de alimentação V_{DD} é positiva e um FET conduzirá quando sua tensão na porta for positiva, e estará cortado quando a tensão na porta for zero. Admitiremos lógica positiva, de tal modo que um FET conduzirá quando sua porta estiver no **0** lógico, o que tomaremos como sendo terra.

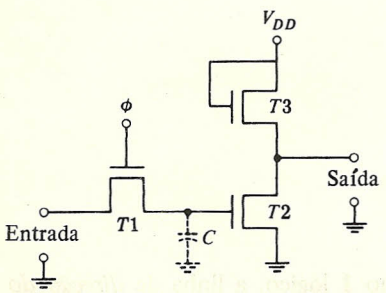


FIGURA 12.3-1
Um circuito MOS que pode armazenar um bit temporariamente.

Retornemos agora ao circuito da Fig. 12.3-1 e deixemos que a tensão ϕ na porta de $T1$ vá ao lógico **1** brevemente. (Supomos aqui, como em discussões subseqüentes, que o **1** lógico é uma tensão suficientemente elevada para assegurar que, quando a porta estiver neste nível, o FET estará conduzindo, mesmo que sua fonte não esteja em terra.) O capacitor C, então, se carregará ao nível lógico da linha de dados de entrada durante o intervalo em que $\phi = 1$. (Supomos que a linha de dados se mantém fixa durante este intervalo.) O transistor $T1$ está servindo como uma chave e é chamado de *porta de transmissão* (veja a seção 13.5) para conectar C à linha de dados da entrada.

Quando $T1$ corta, o inversor formado por $T2$ e $T3$ se *lembrará* do dado amostrado por causa da carga armazenada no capacitor. O capacitor está em forma tracejada para indicar que ele representa capacitância espúria presente na porta do transistor e não um capacitor delibera-

damente ali introduzido. Tipicamente, C é da ordem de 0,5 pF. Como o circuito presente *armazena*, ou se lembra, de um bit de dado, ele realiza a mesma função de um flip-flop. Comparando-se com o flip-flop, entretanto, o presente circuito tem a limitação de que a memória possui uma vida curta. A carga em C aos poucos se dissipa. Esta perda de carga se deve, em parte, a fugas pelo dielétrico que suporta a porta no transistor $T2$. A parte principal da fuga se deve, entretanto, a uma fuga através da junção polarizada reversamente e que é formada pelo substrato e o dreno de $T1$. Tipicamente, encontramos que o capacitor pode manter uma carga adequada durante um intervalo da ordem de 1 ms. Se dispositivos bipolares fossem usados no presente circuito, o tempo de armazenamento seria menor em muitas ordens de grandeza devido à corrente de base relativamente elevada e que é necessária para excitar um transistor bipolar. Com transistores bipolares, o tempo de armazenamento é tão pequeno que o circuito apresentado é geralmente ineficiente.

Um estágio de registrador de deslocamento pode ser construído, como mostrado na Fig. 12.3-2, a partir de dois estágios inversores, como na Fig. 12.3-1. Duas tensões de porta ϕ_1 e ϕ_2 são necessárias para as portas de transmissão $T1$ e $T4$. Estas formas de onda nas portas, como mostradas na Fig. 12.3-2*b*, estão defasadas, de tal modo que $T1$ e $T2$ nunca conduzirão simultaneamente. Quando $\phi = \mathbf{1}$, o bit do dado de entrada para o estágio é transferido a C_1. Ao mesmo tempo, o complemento do bit armazenado em C_2 é transferido a C_1, que é o capacitor de armazenamento de entrada do estágio registrador seguinte. Enquanto $\phi_1 = \mathbf{1}$, $\phi_2 = \mathbf{0}$ e assim, enquanto o novo bit de entrada é armazenado em C_1, e possivelmente mudando a saída do inversor de entrada ($T2$ e $T3$), este novo bit de entrada não afetará o estágio de saída ou o bit que está sendo transferido para o estágio seguinte. Quando $\phi_2 = \mathbf{1}$, o complemento do bit em C_1 será transferido a C_2. A similaridade entre a operação do presente circuito e a operação de um flip-flop mestre-escravo é aparente. O primeiro estágio inversor com seu capacitor de armazenamento serve como o flip-flop mestre, enquanto o segundo estágio inversor com seu capacitor de armazenamento serve como o flip-flop escravo. O fato de que são necessárias duas fases para as tensões nas portas deve ser comparado com o fato de que no

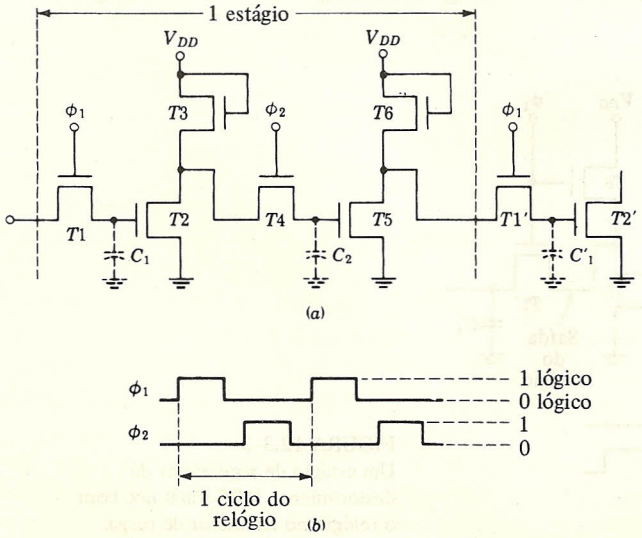


FIGURA 12.3-2
Um estágio de registrador de deslocamento dinâmico do tipo MOS.

flip-flop mestre-escravo, as formas de onda do relógio para o mestre e o escravo são formas de onda complementares.

Deve ser relembrado, entretanto, que o circuito mostrado na Fig. 12.3-2 não é realmente um flip-flop. Se o tempo decorrido entre ϕ_1 no estado de **0** até o instante em que ϕ_1 vai ao estado **1** for muito grande, a carga armazenada no capacitor C_1 terá se dissipado. Para se evitar esta possibilidade, o registrador de deslocamento é operado "dinamicamente", e o período máximo de ϕ_1 (e ϕ_2) é, tipicamente, menor do que 1 ms. Assim, este tipo de registrador de deslocamento é chamado de *registrador de deslocamento dinâmico*.

No circuito da Fig. 12.3-2, se o bit armazenado em C_1 for **1**, então, durante um intervalo de bit inteiro, $T2$ e $T3$ estarão conduzindo, dissipando potência e drenando corrente da fonte de alimentação V_{DD}. Se o bit for um **0**, então $T3$ e $T4$ não conduzirão, mas haverá um intervalo de duração igual a de um ciclo de relógio durante o qual C_2 estará armazenando um **1** e $T5$ e $T6$ conduzirão e dissiparão potência. A dissipação de potência pode ser grandemente reduzida através da modificação do circuito conforme a Fig. 12.3-3. Aí, as portas do inversor não são mantidas em V_{DD} mas são excitadas de modo que $T3$ conduza somente quando $T4$ conduzir e que $T6$ conduza somente quando $T1'$ conduzir. Se o bit armazenado em C_1 ou C_2 for um **0**, então o inversor correspondente não conduzirá. Se um **1**, entretanto, estiver presente em C_1 ou C_2, então o inversor correspondente conduzirá mas somente durante o intervalo de tempo em que ou ϕ_1 ou ϕ_2 estiver no nível **1** lógico. A forma de onda de ϕ_2 (ou ϕ_1), entretanto, necessita ser mantida em **1** durante um tempo suficiente para que C_2 (ou C_1) se carregue a partir de V_{DD} através de $T3$ e $T4$ (ou através de dois outros transistores correspondentes). O resultado é que este tempo de carga é apreciavelmente menor do que um ciclo completo de relógio (especialmente para baixas freqüências do relógio) e, assim, a disposição da *carga com relógio* da Fig. 12.3-3 pode ser eficiente para a redução da dissipação de potência. Com a carga com relógio, entretanto, a carga capacitiva no relógio excitador é aumentada e, na fabricação do circuito integrado correspondente, há o aumento da complexidade topológica ocasionada pela necessidade de distribuirmos o relógio externo a todas as portas de carga. Como um resultado da corrente elevada que é necessária, freqüentemente deveremos usar para o relógio excitador um circuito TTL.

Uma variação do estágio de registrador com carga com relógio é mostrada na Fig. 12.3-4.

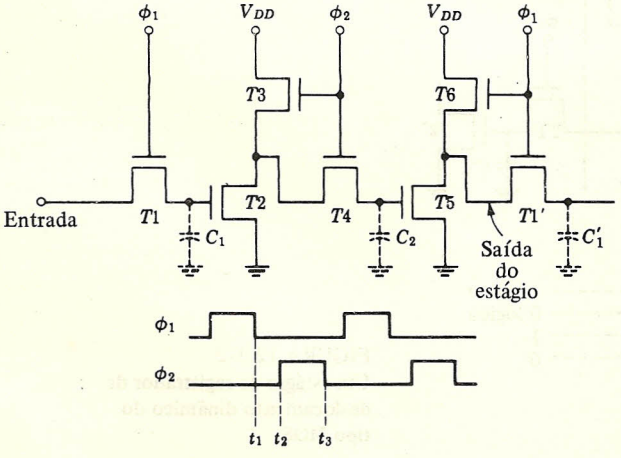


FIGURA 12.3-3
Um estágio de registrador de deslocamento MOS dinâmico com o relógio no transistor de carga.

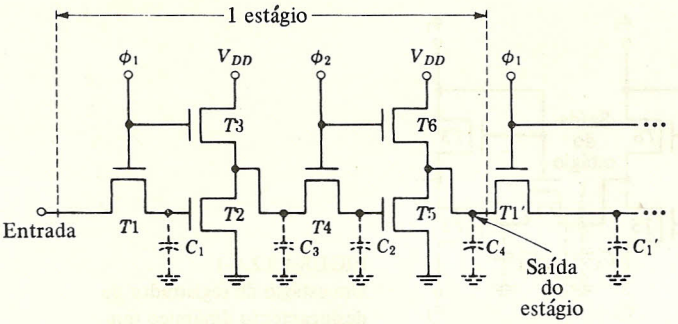


FIGURA 12.3-4
Um estágio de registrador de deslocamento MOS dinâmico alternativo com o relógio no transistor de carga.

Aqui, o relógio para as portas de transmissão ($T1$, $T4$, etc.) é aplicado à porta de carga do inversor seguinte ao invés de, como na Fig. 12.3-3, ser aplicado à porta de carga do inversor precedente.

No presente caso, a operação do circuito necessita a presença de um capacitor adicional C_3 na saída do inversor. Quando $\phi = \mathbf{1}$, o bit do dado de entrada é transferido para C_1 e seu complemento para C_3. Quando $\phi_2 = \mathbf{1}$, o bit em C_3 é transferido a C_2 e seu complemento para C_4. O bit do dado de entrada fica agora armazenado em C_4, que é a entrada do estágio seguinte.

Para vermos a necessidade de C_3, consideremos novamente a transferência do bit do dado de entrada através do primeiro inversor e da porta de transmissão $T4$ para C_2. Suporemos que o bit de entrada é um **0** e que C_3 não está presente. Então, quando $\phi_1 = \mathbf{1}$, o complemento do bit de entrada aparecerá na saída do inversor. Quando for $\phi_1 = \mathbf{0}$, ambos $T3$ e $T2$ não conduzirão e a saída do inversor estará isolada de sua entrada. Se C_3 estiver presente, entretanto, ele poderá armazenar o complemento do dado de entrada. Quando $\phi_2 = \mathbf{1}$, o nível lógico **1** pode ser transferido a C_2 através de $T4$. Como C_3 deve carregar C_2 e ainda manter uma tensão na faixa do **1** lógico, então é necessário que $C_3 \gg C_2$. Como pode ser verificado, para o caso em que o bit de entrada for um **1**, a presença de C_3 não se fará necessária.

12.4 REGISTRADOR DE DESLOCAMENTO DE DUAS FASES SEM RELAÇÃO

Os registradores de deslocamento da seção precedente envolvem, em todos os casos, estágios inversores. Conforme foi discutido na seção 8.3, esses estágios são compostos de um excitador FET e de uma carga FET. É necessário que haja uma *relação* (razão) grande entre a resistência do canal do excitador e a resistência do canal da carga, isto é, $(W/L)_D \gg (W/L)_L$ para que uma região de transição estreita esteja assegurada. Conforme foi também observado, este tipo de inversores era obtido fazendo-se o canal do FET de carga longo e estreito em comparação com o canal do FET excitador. Da mesma forma, o FET de carga ocupa uma área grande na pastilha do circuito integrado em comparação à área ocupada pelo excitador. Mais ainda, por causa da alta resistência do canal da carga, a velocidade de operação do inversor é limitada. Em qualquer ciclo completo de operação, haverá um intervalo de tempo em que um capacitor deverá se carregar através desta alta resistência. Estas desvantagens, no que diz respeito à área ocupada e à velocidade de operação, podem ser minimizadas através da substituição do inversor por dois FETs de baixa resistência e mesma geometria.

Esse registrador de deslocamento que *dispensa a razão* mencionada anteriormente é mostrado na Fig. 12.4-1. Observe que este circuito é similar ao mostrado na Fig. 12.3-4, exceto pelo

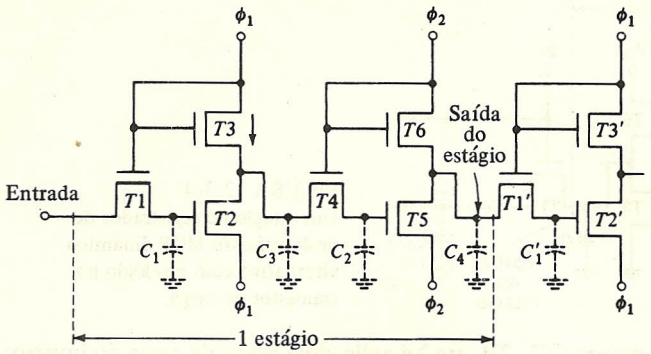


FIGURA 12.4-1
Um estágio de registrador de deslocamento dinâmico sem razão (relação).

fato de que ambas as conexões da fonte de alimentação e terra foram substituídas por conexões às fases do relógio. Nesta discussão, será conveniente pensarmos que $\phi = \mathbf{0}$ significa que $\phi = 0$ V e que, quando $\phi = \mathbf{1}$, ϕ estará em um nível de tensão positiva V_{DD} (digamos 10 V). Da mesma forma, o dado a ser transferido através do estágio registrador terá níveis lógicos **0** e **1** que serão 0 e V_{DD}, respectivamente.

Digamos agora que o bit do dado de entrada esteja no nível V_{DD}. Quando ϕ_1 for a V_{DD}, C_1 se carregará a V_{DD}. Desde que ϕ_1 está em V_{DD}, $T3$ também conduzirá e $T3$ carregará o capacitor C_3 a V_{DD}. Observe que, durante a operação de carga de C_3, o transistor $T2$ está cortado, pois em nenhum instante a tensão de porta excede a tensão de fonte de $T2$ de um valor V_T, a tensão de limiar. Assim sendo, a combinação de $T2$ e $T3$ não opera no modo de um inversor.

Quando ϕ_1 retorna a 0V, $T3$ corta e $T2$ conduz porque a carga armazenada em C_1 causa em V_{GS} ($T2$) um excesso, em relação a V_T. Como resultado, C_3 se descarrega através de $T2$ e o capacitor C_3 é deixado em 0 V. O resultado final é que, *depois* do pulso de relógio, ϕ_1 voltou a 0V e o bit armazenado em C_3 será o complemento do dado de entrada. Assim, o efeito líquido é o mesmo que se obteria se a combinação $T2$, $T3$ fosse sem dúvida um inversor. Pode ser verificado da mesma forma que, se o bit do dado de entrada fosse um **0**, uma inversão tomaria lugar novamente. De uma maneira similar, quando ϕ_2 percorre seu ciclo de **0** a **1**, e volta novamente a **0**, ele transfere para C_4 o complemento do bit em C_3. O registrador da Fig. 12.4-1 introduz uma pesada carga capacitiva na fonte do sinal de relógio porque é o relógio que deve fornecer a corrente para carregar os capacitores.

12.5 REGISTRADOR DE QUATRO FASES SEM RELAÇÃO

No circuito da Fig. 12.4-1 (como no circuito da Fig. 12.3-4), necessitamos que $C_3 \gg C_2$, porque C_2 deve carregar-se a partir de C_3 sem causar uma variação de tensão apreciável. A grande capacidade de C_3 possui duas desvantagens: (1) ela impõe uma limitação na velocidade de operação e (2) há a necessidade de que, na fabricação, uma área relativamente grande seja reservada na confecção do circuito integrado para a localização do capacitor. O esquema mostrado na Fig. 12.5-1*a* evita esta dificuldade porque ele não precisa que um capacitor se carregue a partir do outro. Ele tem a inconveniência, entretanto, de necessitar uma forma de onda de relógio de quatro fases.

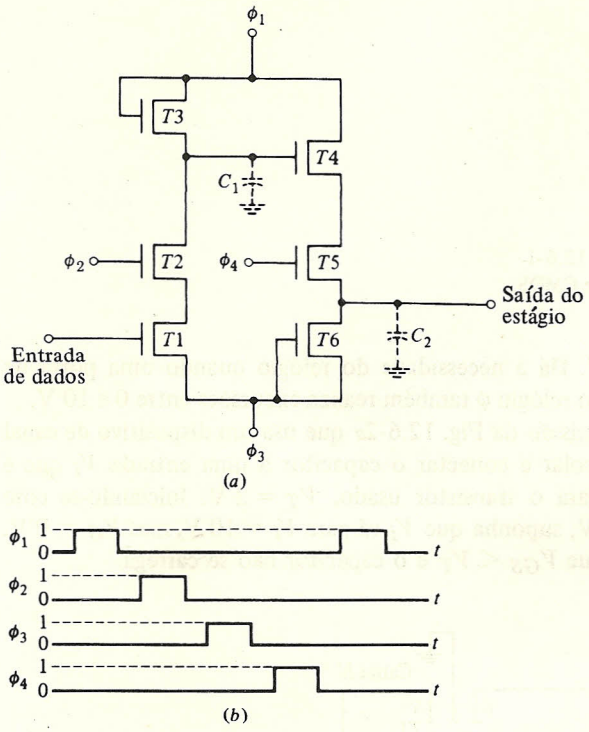


FIGURA 12.5-1
(*a*) Um estágio registrador de quatro fases, sem razão.
(*b*) Formas de onda do relógio.

As formas de onda do relógio são mostradas na Fig. 12.5-1*b*. Durante o intervalo em que $\phi_1 = \mathbf{1}$, C_1 se carrega ao **1** lógico. Este é o caso, não importando qual seja a entrada, porque $\phi_2 = \mathbf{0}$ e, portanto, $T2$ está cortado. Este nível lógico **1** permanece armazenado em C_1 depois que ϕ_1 retorna a $\phi_1 = \mathbf{0}$. Suponha agora que a entrada esteja no **1** lógico. Então, quando ϕ_2 vai a **1** e $T2$ conduz, C_1 se descarrega através de $T2$ e $T1$, deixando C_1 no lógico **0**. Assim, temos agora armazenado em C_1 o complemento do bit de entrada. Pode ser verificado, de maneira similar, que, se o bit de entrada for **1**, então quando ϕ_2 for a **1**, $T1$ permanecerá cortado e o bit armazenado em C_1 será novamente o complemento do bit de entrada. De uma maneira similar, através de operações das fases do relógio ϕ_3 e ϕ_4, o complemento do nível armazenado em C_1 será transferido a C_2 e assim para a entrada do registrador seguinte. Este circuito tem a desvantagem de que ϕ_1 deve fornecer a corrente para carregar C_1 e ϕ_3 deve carregar C_2.

12.6 ESTÁGIOS REGISTRADORES CMOS

Da mesma forma que os estágios registradores MOS, os estágios registradores CMOS são construídos a partir de estágios inversores e portas de transmissão (tomando vantagem das capacitâncias espúrias). O inversor CMOS, discutido em detalhe nas seções 1.15 e 8.4, é mostrado novamente na Fig. 12.6-1. Para sermos mais específicos, suporemos uma tensão de alimentação $V_{SS} = +10$ V. Considerando tal sistema, a entrada V_i e a saída V_o excursionarão entre 0 V (terra) e 10 V. Voltaremos nossa atenção agora para a porta de transmissão que será utilizada

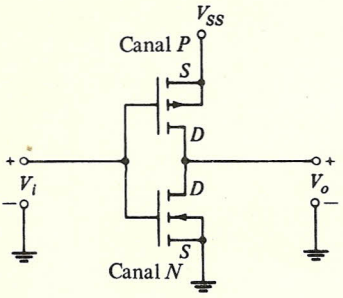


FIGURA 12.6-1
O inversor CMOS.

para a variação de tensão entre 0 e 10 V. Há a necessidade do relógio quando uma porta de transmissão é empregada. Admitiremos que o relógio ϕ também realiza excursões entre 0 e 10 V.

Consideremos agora a porta de transmissão da Fig. 12.6-2*a* que usa um dispositivo de canal único N. A porta está sendo usada para isolar e conectar o capacitor a uma entrada V_i que é $V_i = 0$ V ou $V_i = 10$ V. Suponha que, para o transistor usado, $V_T = 2$ V. Iniciando-se com $V_i = 0$ V e a tensão no capacitor $V_C = 0$ V, suponha que V_i vá para $V_i = 10$ V, mas $V_G = 0$ V. O transistor permanecerá então cortado já que $V_{GS} < V_T$ e o capacitor não se carrega.

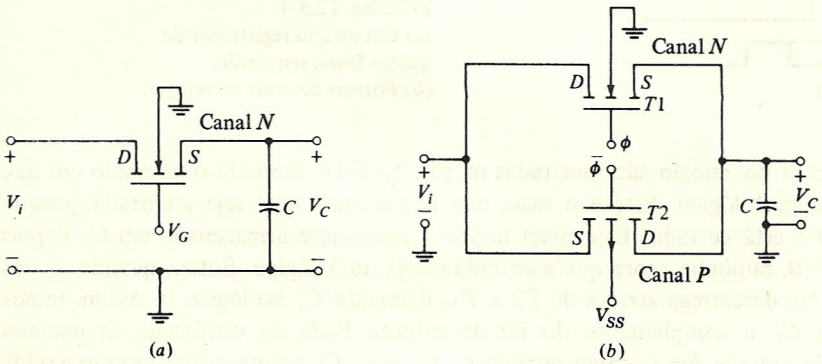


FIGURA 12.6-2
(*a*) Uma porta de transmissão MOS usada para carregar um capacitor a partir de uma fonte de tensão. (*b*) Uma porta de transmissão CMOS.

Agora, digamos que V_G vá a $V_G = 10$ V. A corrente circulará então da esquerda para a direita no transistor. Como o transistor é um MOS de canal N, o sentido da corrente estabelece que, à esquerda do transistor estará o dreno, e à direita, a fonte, conforme é indicado na figura. Como a tensão de limiar (que é a tensão porta-fonte V_{GS} no corte) é 2 V, o transistor pára de conduzir quando V_C chega a 8 V, porque neste ponto $V_{GS} = V_G - V_C = 10$ V $- 8$ V $= 2$ V. Se agora com V_G ainda em $V_G = 10$ V, a entrada deverá ser $V_i = 0$ V, o sentido da corrente reverterá, a fonte e o dreno inverterão e o capacitor estará apto a se descarregar até 0 V. Como resultado, neste sistema com níveis lógicos separados de 10 V, nossa porta de transmissão com um transistor tem a capacidade de transmitir uma variação de somente 8 V. Esta limitação se aplica a todas as portas de transmissão empregadas nos estágios registradores MOS dinâmicos

discutidos na seção anterior. Esta característica, é claro, não invalida a efetividade da porta nem impede a operação dos estágios registradores mas, sem dúvida, reduz a margem de ruído.

A limitação da porta de transmissão MOS é eliminada na porta CMOS mostrada na Fig 12.6-2*b*. Aí, os dois transistores de um par CMOS são colocados em paralelo e as tensões aplicadas nas portas são complementares. Retornemos agora ao caso em que $V_i = 10$ V e o capacitor se encontra no processo de carga. A corrente através de ambos os transistores novamente circula da esquerda para a direita. Como, porém, o transistor $T2$ é um MOS de canal P, sua fonte estará na esquerda e seu dreno, na direita, como indicado. Quando $\phi = 10$ V e $V_C = 8$ V, teremos, como antes, $V_{GS}\ (T1) = 10 - 8 = 2$ V e $T1$ estará no limiar de corte. Para $T2$, entretanto, temos $V_{GS}\ (T2) = 10 - \bar{\phi} = 10 - 0 = 10$ V. Como $V_T = 2$ V, o transistor $T2$ estará conduzindo desde que a diferença entre V_i e ϕ seja maior do que 2 V. Assim, o capacitor pode se carregar à tensão $V_C = V_i = 10$ V porque $T2$ permanece conduzindo.

Um estágio registrador CMOS é mostrado na Fig. 12.6-3. Ele consiste, como a maioria dos estágios registradores MOS elementares (Fig. 12.3-2), em duas portas de transmissão $G1$ e $G2$, dois inversores $I1$ e $I2$ e os dois capacitores C_1 e C_2. Nesta figura omitimos novamente as conexões de substrato por simplicidade. Observe particularmente a inversão das fases nas portas, em portas alternadas. A operação funcional deste estágio CMOS é tão similar ao estágio registrador da Fig. 12.3-2 que não precisamos repetir a descrição.

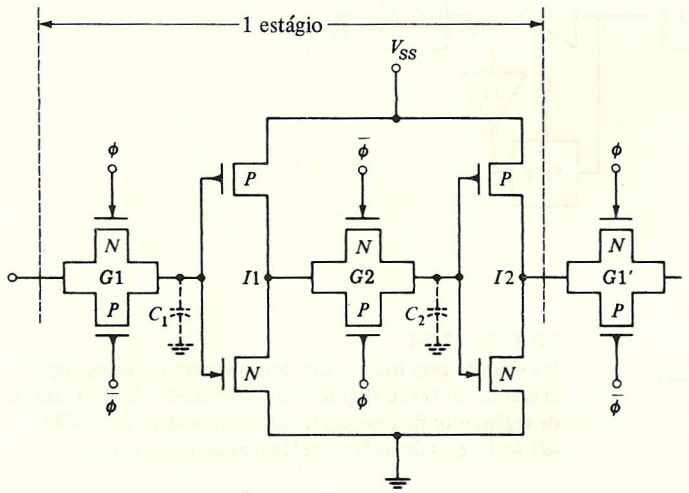


FIGURA 12.6-3
Um estágio registrador CMOS que consiste em duas portas de transmissão e dois inversores.

Observamos que o estágio MOS da Fig. 12.3-2 tinha desvantagens devido ao fato de que os inversores possuíam "razões" e drenariam corrente diretamente da alimentação V_{SS} sempre que a porta do inversor estivesse no **1** lógico. Daí em diante consideramos uma série de modificações projetadas para remediar estas dificuldades. Podemos então observar que o inversor CMOS é "sem razão" e não drena uma corrente permanente da alimentação V_{SS}. Por outro lado, um inversor CMOS e uma porta CMOS usam mais área em uma pastilha de silício de circuito integrado do que uma porta ou um inversor MOS.

12.7 ESTÁGIO DE REGISTRADOR DE DESLOCAMENTO ESTÁTICO

Os estágios registradores dinâmicos da seção anterior não operarão se o intervalo do relógio for maior do que o intervalo para o armazenamento de carga nas capacitâncias espúrias.

Quando um registrador de deslocamento deve operar em freqüências muito baixas, os estágios dinâmicos devem ser substituídos por estágios estáticos.

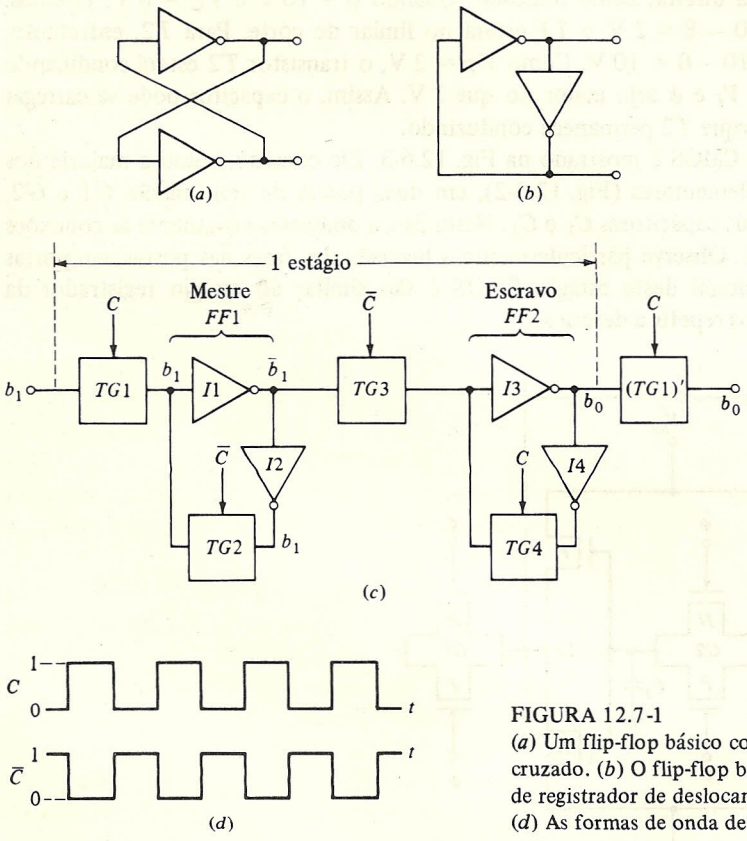


FIGURA 12.7-1
(*a*) Um flip-flop básico com dois inversores e acoplamento cruzado. (*b*) O flip-flop básico redesenhado. (*c*) Um estágio de registrador de deslocamento estático MOS ou CMOS. (*d*) As formas de onda de relógio necessárias em (*c*).

Um flip-flop convencional reduzido às suas partes essenciais é mostrado na Fig. 12.7-1*a*. Ele está também redesenhado na Fig. 12.7-1*b* para tornar aparente que o circuito consiste em uma cascata de dois inversores com a saída realimentada à entrada. O circuito de um estágio de registrador de deslocamento estático MOS ou CMOS é mostrado na Fig. 12.7-1*c*. Circuitos similares foram discutidos na seção 9.21. Observe que temos aqui um flip-flop mestre e um escravo modificados pela introdução de portas de transmissão (*TG*2 e *TG*4) nas malhas de realimentação. Cada estágio de registrador de deslocamento tem duas portas de transmissão adicionais (*TG*1 e *TG*3) interpostas entre os flip-flops. O circuito para os estágios inversores foi dado para o CMOS na Fig. 12.6-1 e o diagrama das portas de transmissão para o CMOS é mostrado na Fig. 12.6-2*b*. Uma porta de transmissão e inversor MOS são mostrados na Fig. 12.3-1.

Seguindo uma convenção usual, a forma de onda do relógio será chamada de C e seu complemento de $\overline{C}$. Estes sinais são mostrados na Fig. 12.7-1*d*. As entradas de relógio das portas são chamadas de tal modo que fique claro que $TG1$ e $TG4$ abrem e fecham ao mesmo tempo em que $TG2$ e $TG3$. É também visível que, quando $TG1$ e $TG4$ permitem a transmissão, $TG2$ e $TG3$ não permitem, e vice-versa. Suporemos que os pulsos do relógio são aplicados às portas de tal modo que, quando $C = \mathbf{1}$ ($\overline{C} = \mathbf{0}$), as portas permitem a transmissão (são curto-circuitos entre entrada e saída) e não permitem a transmissão quando $C = \mathbf{0}$. Vendo as portas como chaves, poderemos dizer que a chave (porta) está *FECHADA* quando $C = \mathbf{1}$ e a chave (porta) está *ABERTA* quando $C = \mathbf{0}$. Deve ser lembrado que, ainda que um pulso de relógio seja mostrado em cada porta de transmissão, deve ser entendido que em sistema CMOS ambos os sinais C e $\overline{C}$ estão presentes.

Iniciemos em um determinado instante com $C = \mathbf{1}$. O bit de dado de entrada C_1 está sendo apresentado a $FF1$, mas ele não será armazenado em $FF1$ porque sua malha de realimentação não está fechada. A malha de realimentação de $FF2$ está fechada e há um bit b_0 lá armazenado. Este bit, cujo nível lógico depende do passado, está sendo apresentado através de $TG1'$ ao primeiro flip-flop do estágio registrador seguinte. Observe também que $TG3$ está aberto de modo que $FF2$ não é influenciado por qualquer coisa à esquerda de $TG3$. Agora, vamos permitir que C vá a $C = \mathbf{0}$. Então $TG1$ abre. A porta $TG2$ fecha, completando o circuito flip-flop e armazena o bit b_1 em $FF1$. O bit b_1 na saída do inversor $I2$ foi transmitido através de $TG2$ e substitui o bit b_0 originalmente transmitido através de $TG1'$. Podemos nos questionar sobre o aparecimento de alguma dificuldade de sincronismo, já que o tempo de propagação por $TG2$ é finito. Não há a ocorrência deste problema porque a inevitável capacitância espúria na entrada de $I1$ manterá o bit b_1 durante um tempo suficiente para que haja a transmissão por $TG2$. Observe que neste caso dependemos da capacitância espúria para a manutenção da carga por um intervalo de tempo igual ao tempo de propagação da porta e não por um intervalo de um ciclo do relógio. Assim, a freqüência do relógio não nos interessa em nossa discussão atual.

No instante em que C vai a $C = \mathbf{0}$ e o bit b_1 está sendo armazenado em $FF1$, $TG3$ fecha e depois de um tempo de propagação (através de $TG3$ e $I3$), o bit b_1 aparece como sendo um bit novo na entrada de $TG1'$. Neste instante, porém, $TG1'$ está *ABERTO*. Quando C volta a $C = \mathbf{1}$, a malha de realimentação em $FF2$ fecha e o bit permanece armazenado em $FF2$.

O estágio possui duas propriedades relevantes à nossa discussão de registradores: (1) se ocorrer de o relógio parar em qualquer ponto, o bit que está no estágio permanecerá armazenado ou em $FF1$ ou em $FF2$, dependendo se o relógio pára em $C = \mathbf{0}$ ou em $C = 1$; e (2) a saída de um estágio muda no instante do ciclo do relógio em que a chave da porta de entrada do estágio seguinte está *ABERTA*, e portanto não permite a transmissão.

12.8 UM ESTÁGIO REGISTRADOR ESTÁTICO DE TRÊS FASES

O registrador de deslocamento estático da Fig. 12.7-1, além de ter portas de transmissão, tem dois flip-flops $FF1$ e $FF2$, cada um envolvendo dois inversores. Um estágio registrador estático que ainda sirva para trabalhar em um registrador de deslocamento pode ser construído usando-se somente um flip-flop, ainda que isto implique algumas complicações adicionais. O circuito está mostrado na Fig. 12.8-1*a*. Aqui, por simplicidade, mostramos as portas de transmissão como MOSFETS. Entretanto, portas CMOS podem também ser empregadas. Os transistores $T1$, $T2$ e $T3$, neste circuito, estão sendo usados como portas de transmissão. Como antes,

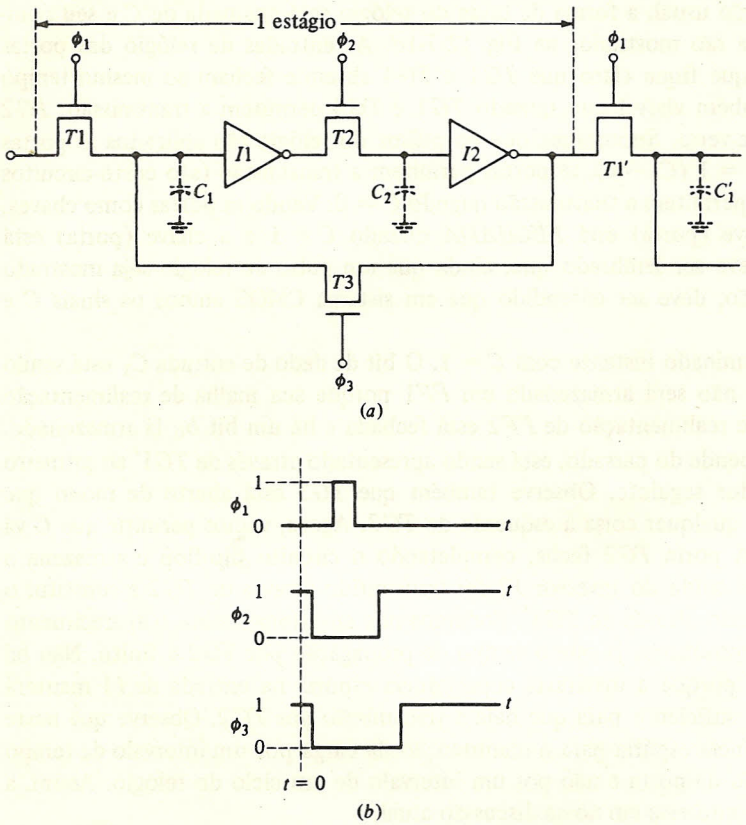


FIGURA 12.8-1
(*a*) Um estágio de registrador estático de três fases.
(*b*) Formas de onda do relógio.

consideramos que a porta permite a transmissão, isto é, a chave está FECHADA, quando o sinal do relógio correspondente está na lógica **1**, e a chave está ABERTA quando o relógio está na lógica **0**. É necessário um relógio de três fases.

Considere, então, como mostrado na Fig. 12.8-1*b*, que em $t = 0$, $\phi_1 = \mathbf{0}$, enquanto $\phi_2 = \phi_3 = \mathbf{1}$. Então a realimentação envolvendo os inversores $I1$ e $I2$ está FECHADA e constitui um flip-flop. Como as duas portas de transmissão $T1$ e $T1'$ estão abertas, este flip-flop está isolado dos estágios precedente e seguinte. Haverá um bit registrado no flip-flop; se é um **1** ou **0** será determinado pelos fatos anteriores. Suponha que, enquanto ϕ_1 permanece em $\phi_1 = \mathbf{0}$, fazemos, por um curto espaço de tempo, $\phi_2 = \phi_3 = \mathbf{0}$. Então, o bit armazenado no flip-flop será mantido nos capacitores C_1 e C_2. Se retornarmos $\phi_2 = \phi_3 = \mathbf{1}$ antes que as cargas em C_1 e C_2 possam variar apreciavelmente, o estado do flip-flop não irá se alterar.

Agora, façamos ϕ_1 e ϕ_3 irem para a lógica **0**, como na Fig. 12.8-1*b*. (Na figura é indicado que ϕ_2 e ϕ_3 vão para a lógica **0**, simultaneamente. Esta característica não é essencial; também não é importante qual sinal de relógio vai para **0** primeiro.) Suponha que pouco depois de ϕ_2 e ϕ_3 tornarem-se **0**, ϕ_1 vai para $\phi_1 = \mathbf{1}$. Então, devido à tensão mantida em C_2, o estado do flip-flop, isto é, o nível lógico mantido, na saída de $I2$, será transferido para o capacitor C_1' do flip-flop seguinte. De forma similar, o estado do flip-flop precedente será transferido para C_1.

Agora façamos ϕ_1 retornar para **0** e que ϕ_2 seja o primeiro a voltar para o nível lógico **1**, fechando desta forma a chave $T2$. Então, qualquer que tenha sido o estado anterior de C_2, ele irá agora para o estado complementar de C_1. Finalmente, quando ϕ_3 volta para $\phi_3 = \mathbf{1}$, o circuito de realimentação do flip-flop é novamente complementado e o flip-flop mantém seu novo estado indefinidamente. A ordem de fechamento das chaves $T2$ e $T3$ é importante, pois como pode ser verificado, se ϕ_3 fechar primeiro, o flip-flop voltará para seu estado original.

12.9 MEMÓRIA APENAS DE LEITURA (ROM)

Uma memória apenas de leitura (ROM, das iniciais do nome em inglês *read-only memory*) é um dispositivo de memória feito para armazenar informação que é fixa. Numa operação inicial, a informação é descrita na memória e daí em diante é *somente lida* e não é escrita novamente. Geralmente, a informação na memória é lá colocada pelo fabricante do dispositivo. Há ainda memórias que permitem ao usuário escolher o que armazenar na memória. Tais memórias são chamadas de memórias programáveis (PROM). Há ainda ROMs que permitem a mudança da informação armazenada. Nesta, entretanto, a operação de escrita é efetuada em um tempo muitas ordens de grandeza maior do que o tempo necessário à leitura. Estes dispositivos de memória (descritos como *apagáveis*) são memórias que permitem somente a leitura, sendo que, para mudar a informação armazenada, é necessária a interrupção do processo digital no qual a memória está envolvida.

Um dos mais importantes atributos de uma ROM é que a informação que ela armazena não será perdida no caso de interrupção do fornecimento da energia que ela utiliza para sua operação.

Tais memórias são referidas como sendo *não-voláteis*. Em contraste, as memórias seqüenciais já vistas e as memórias de acesso aleatório a serem discutidas (a iniciar-se na Seção 12.13) são ambas memórias *voláteis*.

A ROM tem muitas aplicações em um sistema. Ela pode ser usada para implementar uma tabela da verdade arbitrária. Sempre que uma tabela da verdade envolver variáveis lógicas de entrada e saída suficientes para que sua implementação física necessite de um grande número de portas, uma ROM poderá ser a solução em termos econômicos, em tamanho, peso e custo.

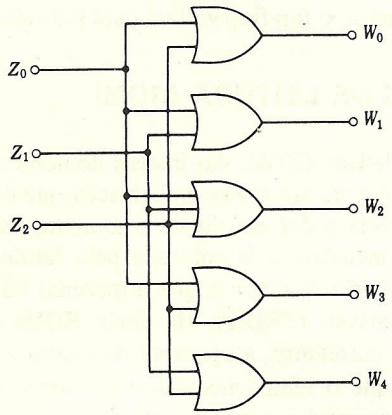
As ROMs são largamente utilizadas em conversão de código e em conexão com *displays* alfanuméricos. A ROM é também usada para nos fornecer resultados que de outra maneira seriam alcançados através de uma computação envolvendo uma seqüência de operações aritméticas, por exemplo, multiplicação, divisão ou o valor de uma função trigonométrica (como o sen x ou ln x) ou também pode ser usada como gerador de funções.

Uma ROM é também um *codificador*. Um codificador é uma estrutura de portas lógicas que possui M entradas $Z_0, Z_1, \ldots, Z_{M-1}$ e K saídas $W_0, W_1, \ldots, W_{K-1}$. Ela é feita de tal modo que, em qualquer instante que quisermos selecionar uma determinada entrada, digamos Z_i, fazemos $Z_i = \mathbf{1}$, enquanto todas as outras entradas estarão no **0** lógico. (De modo alternativo, poderemos ter $Z_i = \mathbf{0}$, enquanto todas as outras saídas estarão no **1** lógico.) Correspondendo a cada entrada Z_i, as quais poderão ser selecionadas de modo que $Z_i = \mathbf{1}$, as saídas K estarão nos níveis lógicos $W_0(i), W_1(i), \ldots, W_{K-1}(i)$. Isto significa que o codificador aceita a entrada Z_i (somente) $= \mathbf{1}$ e identifica esta situação através da palavra *código* $W_0(i), W_1(i), \ldots, W_{K-1}(i)$; se o codificador é visto em sua aplicação como uma memória, sua i-ésima localização de armazenamento na memória é *endereçada* fazendo-se Z_i (somente) $= \mathbf{1}$, e a ROM responde pela apresentação

em sua saída da palavra armazenada naquela localização. Uma estrutura lógica de um codificador é ilustrada na Fig. 12.9-1. A especificação da tabela da verdade é dada na Fig. 12.9-1*a* e a sua realização prática com portas lógicas é mostrada na Fig. 12.9-1*b*. A ROM ilustrada armazena três palavras, cada uma composta de 5 bits.

Z_0	Z_1	Z_2	W_0	W_1	W_2	W_3	W_4
0	0	1	1	0	1	1	1
0	1	0	0	1	1	0	1
1	0	0	1	1	1	1	0

(*a*)



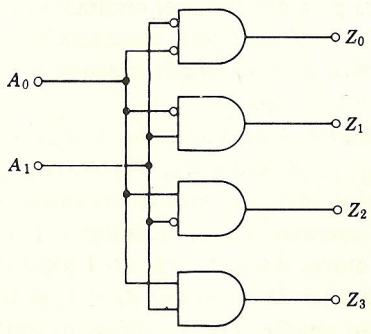
(*b*)

FIGURA 12.9-1
(*a*) Uma especificação de uma tabela da verdade de um codificador. (*b*) O codificador feito com portas OR.

De uma maneira geral, o endereço de uma palavra armazenada está disponível em um sistema digital sob a forma de uma palavra binária codificada. Portanto, é necessário interpor, entre a palavra de endereço codificada sob forma binária e a ROM, um dispositivo que tome nota do endereço e selecione, correspondentemente, uma linha individual. Tal dispositivo realiza uma função inversa à função realizada pelo codificador e assim é chamado de *decodificador*. Uma tabela da verdade para um *decodificador* é dada na Fig. 12.9-2*a*. A palavra de endereço tem 2 bits; assim, há a disponibilidade de quatro endereços. A realização prática deste decodificador com portas lógicas é mostrada na Fig. 12.9-2*b*. Observe que na Fig. 12.9-1 somente três das quatro Z_i possíveis estão sendo usadas.

A_0	A_1	Z_0	Z_1	Z_2	Z_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

(*a*)



(*b*)

FIGURA 12.9-2
(*a*) Uma tabela da verdade para um decodificador de quatro palavras. (*b*) O decodificador feito com portas AND.

Como uma conveniência ao usuário, os fabricantes em geral fornecem os decodificadores conjuntamente com o codificador ROM. Tal dispositivo de memória, com o decodificador incluído, como é indicado na Fig. 12.9-3, é geralmente chamado de *ROM decodificado*. Ao fornecer o decodificador, o fabricante também é beneficiado. Isto porque em uma pastilha de circuito integrado há geralmente uma limitação no número de pinos que podem ser utilizados para conexões externas. Em uma memória de M palavras sem decodificador, deveríamos ter M pinos fornecidos para o endereçamento, enquanto com o decodificador, N pinos com $2^N = M$ seriam suficientes.

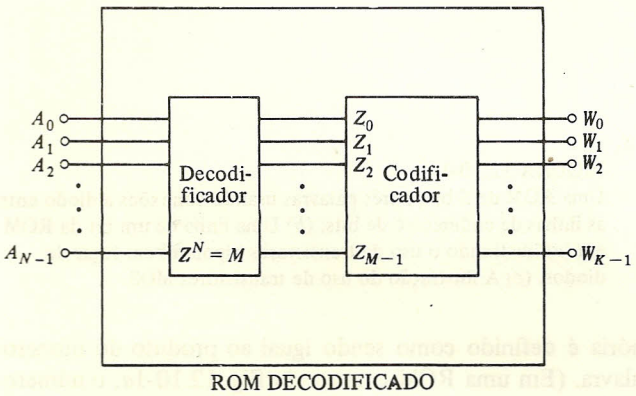


FIGURA 12.9-3
Uma ROM com o decodificador incluído.

12.10 A IMPLEMENTAÇÃO DE ROMs

Uma possível implementação do codificador ROM com portas OR mostrado na Fig. 12.9-1*b* é mostrada na Fig. 12.10-1*a*. Pode-se verificar (Prob. 12.9-2) que o circuito mostrado sem dúvida constitui precisamente a estrutura lógica da porta OR. O uso de diodos, entretanto, tem uma desvantagem que vem a ser a alimentação de corrente que deve ser fornecida às saídas, e que deve ser fornecida diretamente pelas entradas do decodificador.

Esta dificuldade é amenizada pelo uso de transistores bipolares no lugar de diodos, da maneira mostrada na Fig. 12.10-1*b*.

Aqui, por simplicidade, indicamos somente as conexões à linha de saída W_3. Agora, a corrente de saída é fornecida principalmente pela fonte V_{CC}. Desde que, conforme observamos, na tecnologia bipolar, diodos em circuitos integrados são geralmente transistores com o coletor curto-circuitado à base, a fabricação segundo a Fig. 12.10-1*b* não é substancialmente mais complicada do que a que foi mostrada na Fig. 12.10-1*a*. Deve ser ainda observado que todos os transistores conectados a uma linha de entrada Z_i terão seus terminais de coletor ligados em comum a V_{CC} e suas bases em comum à linha Z_i. Assim, tal arranjo vertical de transistores é freqüentemente substituído por um único transistor com emissores múltiplos. As ROMs que empregam tecnologia bipolar podem ter tempos de acesso da ordem de 15 ns. O *tempo de acesso* de uma memória é o tempo decorrido depois do endereçamento, até que a palavra endereçada fique disponível na saída da memória.

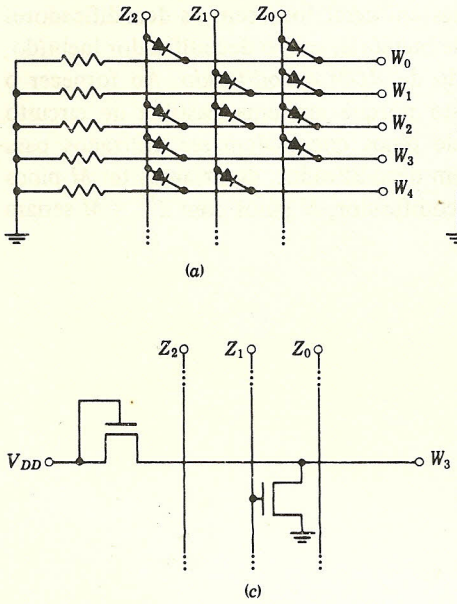


FIGURA 12.10-1
Uma ROM de 5 bits e três palavras usando conexões a diodo entre as linhas de endereço e de bits. (*b*) Uma linha de um bit da ROM em (*a*) ilustrando o uso de transistores bipolares em lugar de diodos. (*c*) A ilustração do uso de transistores MOS.

O número de bits em uma memória é definido como sendo igual ao produto do número de palavras pelo número de bits por palavra. (Em uma ROM como a da Fig. 12.10-1*a*, o número de diodos geralmente será igual à metade do número de bits, desde que consideremos que os **1** e os **0** ocorrerão aproximadamente com a mesma freqüência.) Quando o número de bits é elevado, digamos maior do que 1.000, a tecnologia MOS é preferida à tecnologia bipolar porque dispositivos MOS são mais econômicos. A implementação de uma linha de um bit (novamente, para fins de comparação, a linha W_3 de saída) é mostrada na Fig. 12.10-1*c*. Supondo lógica positiva como de costume e supondo NMOS, vemos que W_3 estará no **0** lógico somente quando $Z_1 = \mathbf{1}$, conforme é pedido pela tabela da verdade da Fig. 12.9-1*a*. Tempos de acesso utilizando-se dispositivos MOS estão tipicamente ao redor de 400 ns.

12.11 ROMs PROGRAMÁVEIS E APAGÁVEIS

Em uma ROM, as linhas de endereço e as linhas de bit da palavra de saída formam um arranjo de linhas cruzadas, isto é, uma estrutura de grade. Em cada intersecção da grade, é colocado um dispositivo (diodo, transistor bipolar ou MOS) ou não, dependendo de o bit da palavra ser **1** ou **0**. (Em casos onde não há interesse especial no tipo de dispositivo, o acoplamento entre a linha de endereçamento e a linha do bit é, muitas vezes, simplesmente mostrado através de um ponto na intersecção da grade.)

Em uma ROM programável (PROM), o fabricante nos possibilita o acesso a cada intersecção da grade através de um dispositivo de conexão. Em série com cada um destes dispositivos, entretanto, há um elemento fusível. Qualquer um dos elementos fusíveis está localizado na intersecção de uma linha Z_i com uma linha W_j. Conectando Z_i a W_j e fazendo-se circular uma corrente convenientemente elevada através do elemento, poderemos queimá-lo. Assim, o usuário de tal

PROM poderá queimar elementos de acordo com a necessidade, deixando transistores apenas nas posições necessárias para estabelecer o armazenamento desejado na memória.

Um tipo de ROM *apagável*, ou que pode ser *alterada*, usa transistores PMOS de *porta flutuante*. Estes transistores, quando em operação com tensões normais, apresentam a porta completamente isolada de conexão elétrica com qualquer outra parte da pastilha do circuito integrado. Há a possibilidade de termos o estabelecimento de uma carga negativa nestas portas pela aplicação de uma tensão elevada entre fonte e dreno. A carga negativa deixada na porta por tal tratamento deixa o transistor correspondente a um canal condutor. A ROM pode ser apagada pela sua exposição à luz ultravioleta que serve para descarregar qualquer porta carregada.

12.12 APLICAÇÕES DE ROMs

Um multiplicador ROM. Considere que queremos realizar a operação aritmética de multiplicação. Conforme foi visto na Seção 11.16, a multiplicação pode ser realizada através de uma seqüência de operações de deslocamento, isto é, multiplicando-se por potências de 2, e uma seqüência de somas. Por outro lado, podemos ver uma tabela de multiplicação como uma tabela da verdade. Assim, a entrada na tabela de multiplicação a fim de efetuarmos o cálculo $11 \times 10 = 0110$, isto é, $3 \times 2 = 6$, deve ser lida de modo a significar que uma memória endereçada pelo código de entrada $A_1A_0B_1B_0 = 1110$ nos dá como saída a palavra $P_3P_2P_1P_0 = 0110$.

Quando os multiplicandos tiverem muitos bits, uma multiplicação direta com uma ROM pode ficar difícil. Por exemplo, quando o multiplicando e o multiplicador tiverem cada um 8 bits, o produto contém 16 bits, e o número de bits que precisam ser armazenados na memória é 16 bits/palavra $\times 2^{16}$ palavras $\approx 10^6$. Uma economia no armazenamento de bits pode geralmente ser alcançada pelo uso de várias ROMs no modo a ser agora ilustrado.

Consideremos que queremos multiplicar dois números de 4 bits $A_3A_2A_1A_0$ e $B_3B_2B_1B_0$. Escrevemos então

$$A_3A_2A_1A_0 = A_3A_200 + 00A_1A_0 \qquad (12.12\text{-}1a)$$
$$B_3B_2B_1B_0 = B_3B_200 + 00B_1B_0 \qquad (12.12\text{-}1b)$$

O produto será então

$$P = (A_3A_200)(B_3B_200) + (00A_1A_0)(B_3B_200) + (A_3A_200)(00B_1B_0) + (00A_1A_0)(00B_1B_0) \qquad (12.12\text{-}2)$$

Observe que o produto P aparece como uma soma de quatro produtos. Quatro multiplicadores ROM são necessários, como é indicado na Fig. 12.12-1. Nestas multiplicações, entretanto, os zeros da Eq. (12.12-1) são ignorados. Assim, para efetuarmos o último produto da Eq. (12.12-2) usamos uma ROM que aceita como entrada o endereço $A_1A_0B_1B_0$ e nos dá uma das 16 possíveis palavras de produto de saída, com 4 bits. Deveremos agora somar a saída dos quatro multiplicadores.

Conforme pode ser verificado, as significâncias numéricas são as fornecidas na figura. Só uma ROM nos dá bits de significâncias 2^1 e 2^0. Estes são retirados e se tornam bits do produto final.

Três ROMS nos dão bits de significâncias 2^2 e 2^3 e são então combinados em dois somadores de 2 bits. Da mesma forma, três ROMs nos dão bits de significâncias 2^4 e 2^5 que são então combinados em dois outros somadores de 2 bits. É deixado como exercício para o estudante

(Prob. 12.12-2) mostrar que a disposição vai um das saídas dos vários somadores está correta para assegurar um resultado correto do produto.

Cada uma das ROMs da Fig. 12.12-1 armazena 12 X 4 bits. As quatro ROMs armazenam então 16 X 4 X 4 bits = $2^8 = 256$ bits. Se a multiplicação fosse efetuada por uma única ROM, necessitaria armazenar 2^8 palavras X 8 bits/palavra = 2^8 X 8 bits. Assim, o esquema apresentado reduz a necessidade de armazenamento por um fator de 8. A economia é mais expressiva à medida que o número de bits aumenta. Quando os fatores a serem multiplicados têm, cada um, 8 bits, há uma economia de um fator de $2^7 = 128$. É claro que um pouco desta economia é dissipada pela necessidade de termos 5 somadores. Além disso, o uso de somadores, mesmo com o uso de vai um antecipado, nos aumenta consideravelmente o tempo necessário para a realização da multiplicação.

É freqüentemente necessário que um multiplicador ROM nos dê uma saída que tenha o mesmo número de bits de cada um dos fatores. Assim, no exemplo mostrado, onde as entradas tinham, cada uma, palavras de 4 bits, a saída também seria uma palavra de 4 bits. Neste caso, em relação à Fig. 12.12-1, os bits de saída seriam os quatro bits mais significantes. Neste caso, é possível mantermos o erro máximo entre ± 8 pelo uso de circuito adicional (Prob. 12.12-1). Se um erro de 15 for permitido, a complexidade da Fig. 12.12-1 pode ser significantemente reduzida, de modo a incluir somente três ROMs e três somadores.

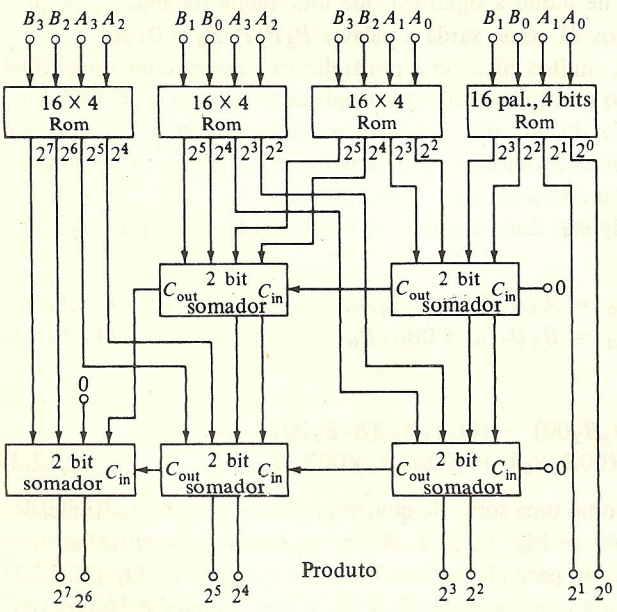


FIGURA 12.12-1
Um multiplicador ROM para dois números de 4 bits, ilustrando uma técnica para a redução da capacidade de armazenamento necessária.

A ROM como uma tabela para consulta. As ROMs são largamente utilizadas como tabelas de consulta para logaritmos, funções trigonométricas, raízes quadradas, exponenciais, etc.

Técnicas similares àquelas utilizadas com o multiplicador podem ser usadas efetivamente para reduzir a capacidade de armazenamento necessária para a memória. Por exemplo, considere uma ROM para sen θ. Se quisermos ter uma resolução de 0,01°, então, para a faixa $0 \leqslant \theta \leqslant 90°$ haveria a necessidade de termos uma memória de 9.000 palavras. Podemos entretanto escrever que $\theta = I + F$ onde I é a parte inteira de θ e F é a parte fracionária. Então,

$$\text{sen}\,\theta = \text{sen}\,(i + F) = \text{sen}\,I\cos F + \cos I\,\text{sen}\,F \qquad (12.12\text{-}3)$$

A implementação da Eq. (12.12-3) requer quatro memórias menores: duas memórias de 90 palavras para sen I e cos I e duas memórias de 100 palavras para cos F e sen F. Maiores simplificações são possíveis no que se refere a bits por palavra, através do reconhecimento de que cos $F \approx 1$ e sen $F \approx F$.

12.13 CÉLULAS DE MEMÓRIA DE ACESSO ALEATÓRIO COM TRANSISTORES DE JUNÇÃO BIPOLARES

As células de armazenamento de bits em uma *memória de acesso aleatório* (RAM) podem usar dispositivos do tipo BJT ou MOS nos modos estático ou dinâmico. Quando houver a necessidade de alta velocidade, a RAM com BJT será a escolhida, já que seu tempo de acesso é da ordem de 35 ns, em contraste com a RAM MOS que tem tempos de acesso da ordem de 400 ns. Por outro lado, a RAM BJT é pequena e contém 1.024 células de memória, ou menos, enquanto a RAM MOS é disponível em versões com 4.096 células de memória.

Nesta Seção e na 12.14 consideramos células de memória que usam o BJT. As células MOS serão discutidas a partir da Seção 12.15.

A célula de memória de uma RAM BJT é simplesmente um flip-flop. Algumas características especiais, entretanto, devem ser incorporadas de modo a facilitar o *endereçamento*, a *escrita* e a *leitura* à célula. É claro que, uma vez dado um flip-flop e sua disponibilidade de portas, de acordo com a necessidade essas três operações são facilmente efetuadas. Como RAMs úteis contêm normalmente centenas de células de armazenamento, essas operações devem ser feitas com economia.

Uma célula de memória RAM utilizando transistores de emissores múltiplos é mostrada na Fig. 12.13-1. A célula propriamente dita é o flip-flop composto por $T1$ e $T2$. O restante do circuito nos dá um mecanismo para a escrita e a leitura de dados. Este circuito auxiliar pode também ser usado para células adicionais de memória, as quais podem estar conectadas às linhas de dados; daí o porquê das extensões tracejadas a partir das linhas de dados. As memórias bipolares disponíveis no comércio, do tipo aqui discutido, operam com uma tensão de alimentação na faixa de 3,5 a 5,0 V. Podemos então considerar razoavelmente que o **0** lógico representa qualquer tensão abaixo de 0,3 V e o **1** lógico representa qualquer tensão acima de 3,0 V. Conforme é indicado na figura, os sinais X e Y excursionam entre esses níveis lógicos. Esses sinais são usados para o endereçamento da célula. Conforme poderemos ver, teremos acesso à leitura e à escrita quando X e Y estiverem simultaneamente no nível **1** lógico.

Vamos supor que X e Y estejam no **0** lógico ($\leqslant$0,3 V) e que a linha ler-escrever esteja também no **0** lógico. $T3$ e $T4$, então, estarão conduzindo com tensões de coletor também no **0** lógico, sendo que os diodos $D1$ e $D2$ não conduzem. Se, digamos, o estado do flip-flop é tal que $T1$ está conduzindo e $T2$ está cortado, então a corrente de emissor circula por E_X e E_Y. Uma tensão de polarização de 0,5 V é aplicada através do resistor R_3 ao emissor E_D. E_D é mais positivo do que E_X e E_Y de no mínimo 0,2 V, e assim E_D não conduz. Os transistores $T5$ e $T6$ estão também cortados e o terminal de dados de saída está no **1** lógico, persistindo neste nível lógico independentemente do estado do flip-flop. Agora, deixemos que a célula seja endereçada pela variação de X e Y ao **1** lógico. As correntes através de E_X e E_Y serão redirecionadas para E_D. Uma componente desta corrente circulará pela base de $T5$ e o terminal de dados de saída

assumirá o mesmo nível lógico presente no coletor de $T1$. Assim, com a linha de ler-escrever no **0** lógico (e então as portas $G1$ e $G2$ estão impossibilitadas à entrada de dados), a operação de endereçamento da célula nos dá uma leitura dela.

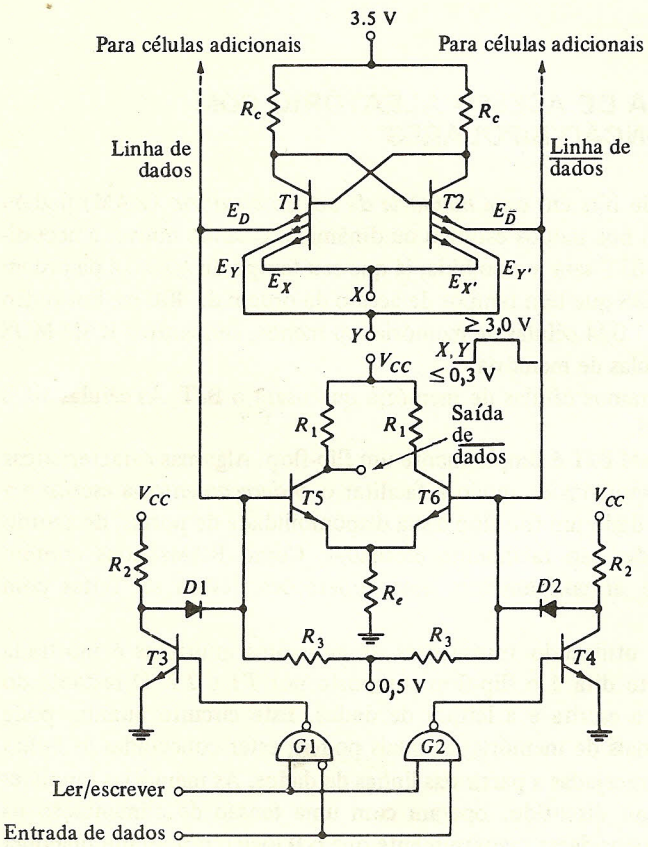


FIGURA 12.13-1
Uma célula de memória RAM BJT. Há a possibilidade de ler e escrever.

Façamos agora $X = Y = 1$, de tal modo que o flip-flop esteja usando os emissores E_D e $E_{\bar{D}}$ e digamos que a linha de ler-escrever esteja no **1** lógico. As portas $G1$ e $G2$ agora estão habilitadas e se a linha de dados estiver no **1** lógico, $T3$ permanecerá conduzindo e $T4$ cortará. O potencial do coletor de $T4$ aumentará e com ele o emissor $E_{\bar{D}}$ de $T2$. Assim, não importa qual era o estado original do flip-flop, ele será forçado ao estado no qual $T2$ não conduz. Assim, o nível lógico no coletor de $T2$ será o nível lógico do dado de entrada. Se, entretanto, a célula não fosse endereçada, E_D e $E_{\bar{D}}$ não estariam drenando corrente e o flip-flop não teria respondido à operação de escrita.

É claro que, ainda que a célula não esteja endereçada, o terminal de *saída de dados* responderá à operação de escrita.

Presumivelmente, entretanto, a memória é parte de um sistema que "sabe" que uma operação de escrever está em andamento e ignorará a saída até que seja instruído a *ler*.

A célula flip-flop do transistor de três emissores da Fig. 12.13-1 é endereçada quando o produto lógico XY for $XY = \mathbf{1}$. Quando não houver a necessidade de que a célula realize esta operação AND, um dos emissores poderá ser omitido em cada um dos transistores.

12.14 OUTRAS CÉLULAS DE MEMÓRIA COM TRANSISTORES BIPOLARES

Uma célula de memória bipolar alternativa é mostrada na Fig. 12.14-1. Transistores do tipo Schottky ($T1$ e $T2$) e diodos também do tipo Schottky ($D1$ e $D2$) são empregados. Quando em condição de espera (célula não endereçada), a linha X de endereço é mantida no nível lógico **1**, o que para a presente célula é de aproximadamente 2,5 V. Neste nível, o flip-flop permanece operacional. As linhas de diodos estão polarizadas em 1,6 V, de modo que, quando a célula não está endereçada, os diodos $D1$ e $D2$ ficam polarizados reversamente.

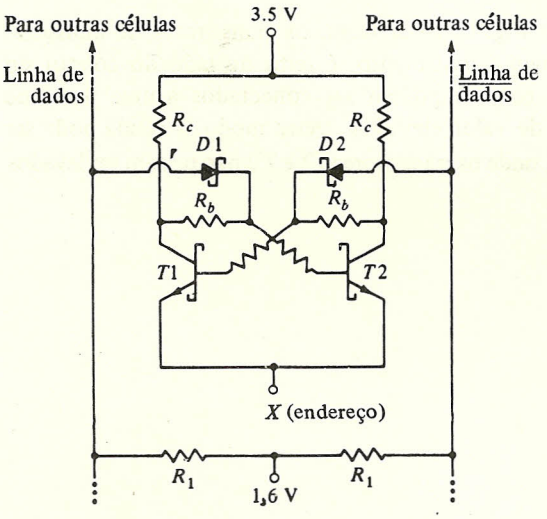


FIGURA 12.14-1
Uma célula de memória a transistor bipolar e diodo Schottky.

A célula é endereçada pelo abaixamento da linha de endereço ao lógico **0** ($\approx$ 0,3 V). Suponha, então, que antes de a célula ser endereçada, ela estava no estado em que $T1$ conduzia e $T2$ estava cortado. Quando X cai para 0,3 V, a base de $T1$ cairá para aproximadamente 0,3 + 0,75 = 1,05 V. A tensão direta de um diodo Schottky é de 0,45 V. Assim, a linha de $\overline{\text{dados}}$ cairá de 1,6 V para 1,05 + 0,45 = 1,5 V. Digamos, como de costume, que $V_{CE}(\text{sat}) = 0{,}2$ V para $T1$, sendo então que a tensão em seu coletor cairá para 0,3 + 0,2 = 0,5 V. Se desprezarmos a queda no resistor R_b, encontraremos então que a linha de dados cai mais substancialmente, de 1,6 V para 0,5 + + 0,45 = 0,95 V. Na prática, o resistor R_b é pequeno o suficiente ($\approx$ 1 kΩ) para assegurar que, ainda que a queda em R_b seja levada em consideração, a variação de tensão na linha de dados é muito maior do que variação na linha de $\overline{\text{dados}}$. A diferença de tensão entre a linha de dados e a linha de $\overline{\text{dados}}$ é utilizada para ler a célula.

É importante lembrarmos que as linhas de dados e $\overline{\text{dados}}$ vão para muitas outras células. Quando a célula mostrada na figura é endereçada, as outras não o são, e então os diodos $D1$ e

$D2$ dessas outras células estão cortados, desconectando as outras células das linhas de dados e $\overline{\text{dados}}$.

Para escrevermos na célula, primeiramente a endereçamos fazendo $X = 0{,}3$ V. Suponha novamente que no início $T1$ esteja conduzindo e que queremos que $T2$ conduza. Façamos, então, a linha de dados ir para 2,8 V. Como resultado, $T2$ conduzirá e, com a condução de $T2$, $T1$ cortará. As outras células, que não foram endereçadas, não mudam de estado, já que a tensão no coletor do $T1$ de cada uma delas será de $2{,}5 + 0{,}2 = 2{,}7$ V, e, para termos $D1$ conduzindo, deveríamos levar a linha de dados a $2{,}7 + 0{,}45 = 3{,}15$ V em vez de 2,8 V.

A célula Schottky da Fig. 12.14-1 tem alguma vantagem comparada à célula de emissores múltiplos da Fig. 12.13-1. Na célula Schottky, a tensão de espera (*standby*) na célula é de $3{,}5 - 2{,}5 = 1{,}0$ V. Na célula de emissores múltiplos, esta tensão é de $3{,}5 - 0{,}3 = 3{,}2$ V. Assim sendo, se os resistores R_C de coletor são os mesmos nos dois casos, a potência dissipada na célula Schottky será apreciavelmente menor. A dissipação de potência pode ser reduzida pelo aumento de R_C. Este aumento nas resistências de coletor, entretanto, reduziria a velocidade. Por outro lado, a célula Schottky não possui a característica de ter duas linhas de endereçamento como na célula de emissores múltiplos.

Outra célula de memória é mostrada na Fig. 12.14-2. Aqui, os transistores de emissores múltiplos são usados novamente. O endereçamento, entretanto, é feito no lado do coletor do transistor, de tal modo que os emissores em comum podem ser conectados a uma fonte de corrente constante (possivelmente um resistor de valor elevado). Desse modo, a célula pode ser operada no modo de lógica acoplada a emissor, onde os transistores $T1$ e $T2$ não podem ser levados à saturação.

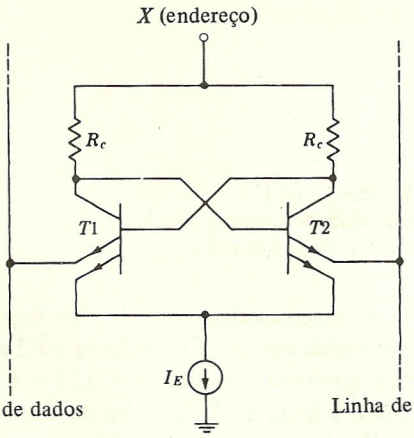


FIGURA 12.14-2
Uma célula de memória a transistor bipolar que opera no modo de lógica acoplada a emissor.

12.15 RAMs A MOS

Uma célula estática de seis transistores. Uma célula de memória MOS estática de seis transistores é mostrada na Fig. 12.15-1*a*. Um bit é armazenado no flip-flop, que consiste em dois inversores de acoplamento cruzado. Os transistores $T1$ e $T2$ são o excitador e a carga de um inversor e $T3$ e $T4$ o são, de modo análogo, para o outro inversor.

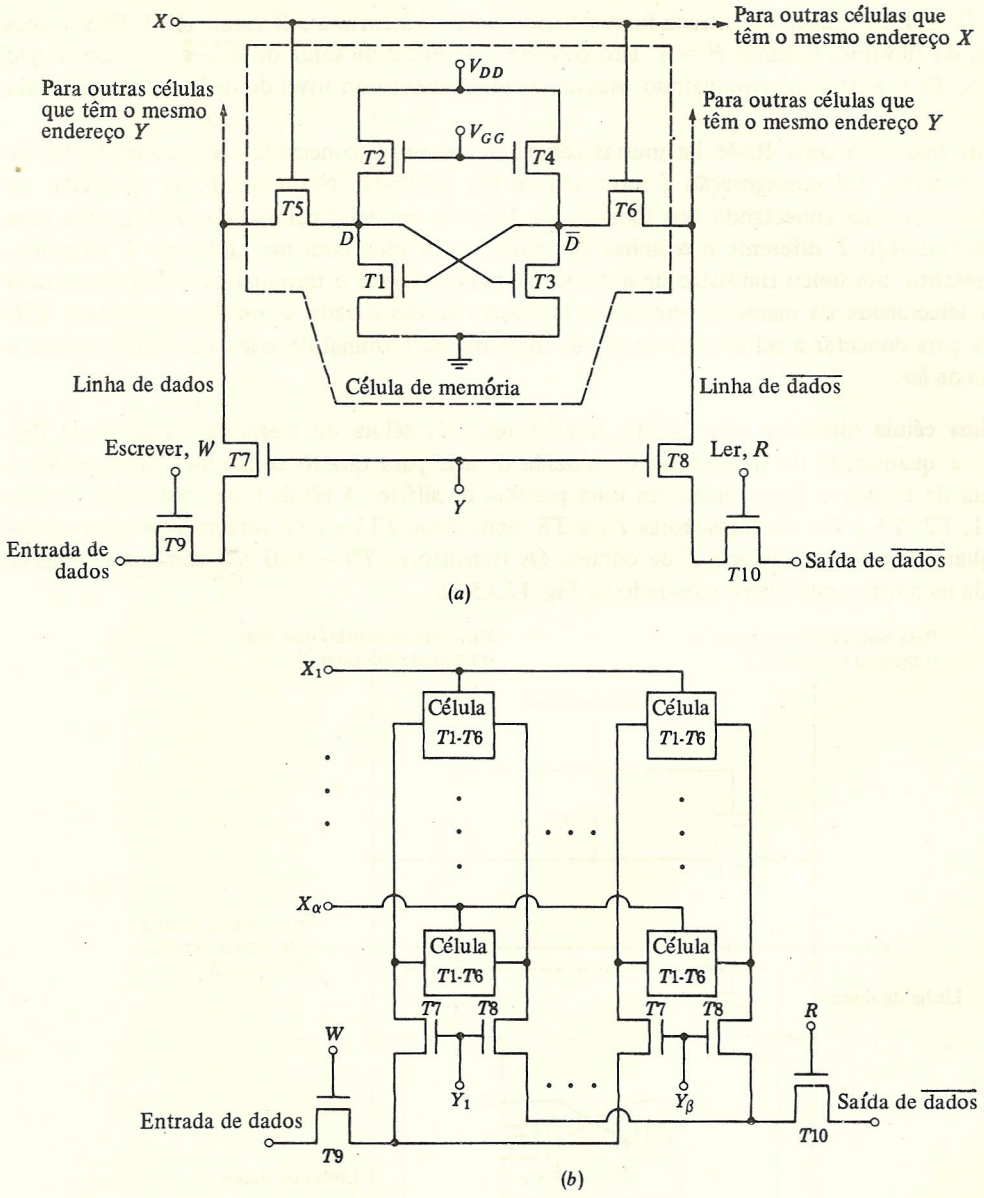


FIGURA 12.15-1
(*a*) Um célula de memória MOS estática. (*b*) A interconexão de células para formar uma RAM.

A célula de memória que é mostrada, é endereçada fazendo-se X e Y irem ao nível lógico **1**. Fazendo-se $X = 1$, conectamos a célula às linhas de dados e $\overline{\text{dados}}$. Para escrevermos na célula, fazemos $W = 1$. Isto conecta o terminal de dados da entrada ao nó D, já que $T5$, $T7$ e $T9$ estarão conduzindo. Se o dado de entrada está no **1** lógico, isto eleva a porta de $T3$ fazendo-o conduzir

e torna $\overline{D} = \mathbf{0}$. Se o dado de entrada for o **0** lógico, então $T3$ cortará e $\overline{D}$ estará em **1**. Para lermos o estado do flip-flop, fazemos $R = \mathbf{1}$. Isto conecta o terminal de saída de $\overline{\text{dados}}$ a $\overline{D}$, desde que agora $T6$, $T8$ e $T10$ estão conduzindo. Assim, o complemento do nível do dado escrito na célula é lido.

Em geral, em uma RAM há muitas células de memória conectadas às mesmas linhas de entrada e saída. Tal configuração é mostrada na Fig. 12.15-1*b*. Nesta figura, há $\alpha\beta$ células de memória, cada uma conectando seis transistores. Observe que há β colunas de células, cada uma com um endereço Y diferente e α linhas de células, cada uma com um endereço X diferente. Há, entretanto, um único transistor de entrada $T9$ para conectar o terminal de dados da entrada à célula selecionada da memória, quando a instrução *escreva* é dada, e um único transistor $T10$ de saída para conectar a célula selecionada da memória ao terminal de saída de $\overline{\text{dados}}$ durante a operação de *ler*.

Uma célula dinâmica com quatro transistores. Na célula de memória dinâmica da Fig. 12.15-2, a quantidade de transistores é reduzida de seis para quatro com uma correspondente economia de espaço e de potência em uma pastilha de silício. A célula é composta dos transistores $T1$, $T2$, $T5$ e $T6$. Os transistores $T7$ e $T8$, bem como $T11$ e $T12$, servem a todas as células que tenham o mesmo endereço Y de coluna. Os transistores $T9$ e $T10$ são comuns a todas as células da memória, conforme é mostrado na Fig. 12.15-1*b*.

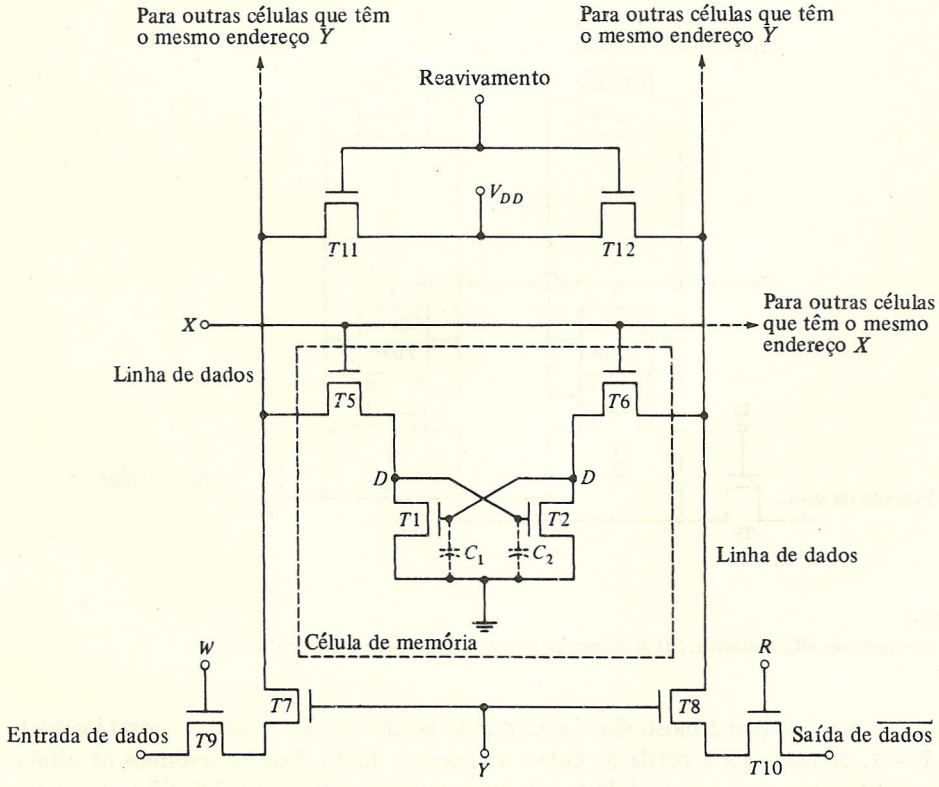


FIGURA 12.15-2
Uma célula MOS dinâmica com quatro transistores.

O estado da célula é armazenado nas capacitâncias espúrias C_1 e C_2, cujas presenças são essenciais. Estes capacitores ficam acessíveis aos terminais de dados quando as portas de transmissão $T7$ e $T8$ bem como $T5$ e $T6$ estão conduzindo pela elevação simultânea dos endereços X e Y ao **1** lógico.

Em um estado da célula, a tensão em C_1 é maior do que a tensão de limiar de $T1$ e conseqüentemente $T1$ conduz. De forma correspondente, C_2 tem tensão zero e $T2$ está cortado. No outro estado, as tensões de C_1 e C_2 e os estados de condução de $T1$ e $T2$ são invertidos. Tendo-se tido acesso à célula, podemos *ler* seu estado, fazendo-se $R = \mathbf{1}$. Podemos *escrever* na célula, fazendo $W = \mathbf{1}$.

Se não tivermos realizado uma operação de escrever por um tempo longo, então, devido à fuga de carga do capacitor, a informação na célula poderá ser perdida. É necessário, portanto, *reavivar* (*refresh*) a célula periodicamente. Esta operação de reavivamento é realizada, permitindo-se um breve acesso da tensão de alimentação V_{DD} à célula. Este acesso se torna disponível quando o endereço X e o terminal de reavivamento estão simultaneamente no **1** lógico, de tal modo que $T5$ e $T6$, bem como $T11$ e $T12$, estarão portanto conduzindo. Suponha agora que, inicialmente, $T1$ esteja conduzindo, $T2$ esteja cortado, a tensão em C_1 seja $V_{C_1} > V_T$, tensão de limiar, e $V_{C_2} = 0$ V. Durante o intervalo de reavivamento, V_{DD} é aplicado através de $T12$ e $T6$ a C_1 que está em paralelo com $T2$. $T2$, entretanto, está cortado, e assim toda a corrente de V_{DD} irá diretamente a C_1, permitindo que C_1 recupere qualquer carga que tenha perdido devido a fugas. Similarmente, V_{DD} é aplicado a C_2 que está em paralelo com $T1$. $T1$ está conduzindo e, assim, C_2 não se carregará tão rapidamente quanto C_1. Observe que, durante o intervalo de reavivamento, $T6$ e $T12$ se comportam como carga para o transistor excitador $T2$ e que $T5$ e $T11$ se comportam como carga para $T1$.

Assim, durante este intervalo de reavivamento, a célula se comporta como um flip-flop convencional, consistindo em dois inversores com acoplamento cruzado. De qualquer modo, é claro que qualquer que seja o estado inicial do flip-flop, durante o intervalo de reavivamento, este estado inicial é reforçado.

Uma célula de memória com três transistores. É aparente que, se um bit tiver de ser preservado através da carga armazenada em capacitores (como na Fig. 12.15-2), somente um capacitor é suficiente. Tal memória rudimentar é indicada na Fig. 12.15-3. É claro que haverá a necessidade de circuitos adicionais para permitir a leitura, a escrita e o reavivamento; porém, cada componente deste circuito extra estará apto para ser partilhado por muitas células de memória. Estamos preocupados principalmente com os componentes que devem ser duplicados em cada uma das células.

Uma dificuldade importante associada à célula simples de um transistor da Fig. 12.15-3 é que, durante a operação de leitura, o capacitor de armazenamento C se descarregará na linha

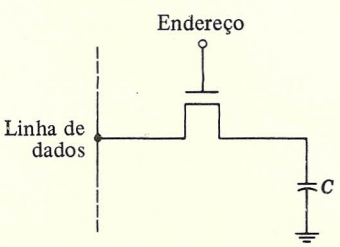


FIGURA 12.15-3
Uma memória de um capacitor.

de dados. A menos que a capacitância de armàzenamento seja grande em relação à capacitância da linha de dados, a operação de leitura poderá ser destrutiva. Isto significa que o processo de leitura de um bit poderá apagá-lo da memória. Suponha, por outro lado, que C é feito grande o suficiente. Durante a operação de escrever, um capacitor grande necessita ser carregado, e o intervalo de tempo necessário à operação de escrever será longo. Uma solução para esta dificuldade é apresentada na Fig. 12.15-4, onde há acessos separados ao capacitor C no que tange à escrita e à leitura. Agora, entretanto, é necessária uma célula de memória de três transistores. Nesta célula, o transistor $T1$ é usado durante a instrução de escrever, enquanto os transistores $T2$ e $T3$ são usados quando o estado lógico do capacitor C deve ser lido. Como o capacitor é o capacitor da porta de $T2$, ele está isolado da linha de $\overline{\text{dados}}$ da saída. Um circuito de reavivamento é também necessário, levando-se ainda em consideração o fato de que a carga no capacitor C pode se dissipar através de $T1$. O reavivamento é alcançado, usando-se um inversor que consiste em uma porta de transmissão $T9$ e o amplificador inversor formado pelo capacitor C_r e os transistores $T10$ e $T11$. Observe a similaridade existente entre este amplificador de reavivamento e o inversor mostrado na Fig. 12.3-4, consistindo em $T1$, $T2$, $T3$ e C_1.

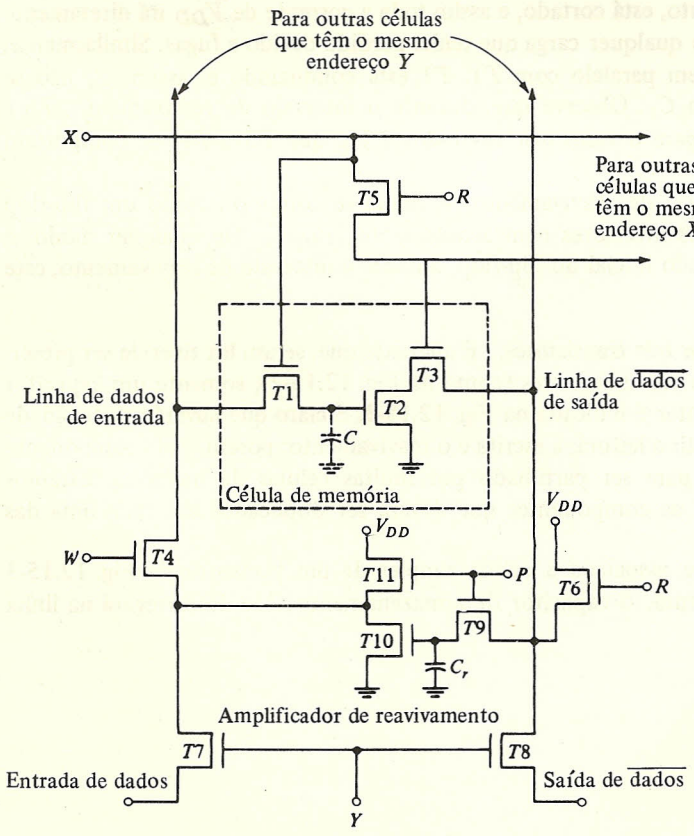


FIGURA 12.15-4
Uma célula de memória dinâmica com três transistores.

Para termos acesso à célula, fazemos X e Y iguais a **1**. Como antes, muitas células têm o mesmo endereço Y. Para escrevermos na célula, desconectamos o circuito de reavivamento fazendo $P = \mathbf{0}$. Fazemos então $W = \mathbf{1}$. Isto conecta o terminal de entrada de dados ao capacitor C, já que $T7$, $T4$ e $T1$ conduzem. O capacitor C, então, se carrega ao estado do dado de entrada. Para lermos a célula, fazemos $R = \mathbf{1}$ ($W = \mathbf{0}$), o que faz com que $T6$ e $T3$ da célula endereçada conduzam. A linha de $\overline{\text{dados}}$ de saída é então conectada ao dreno de $T2$, já que $T3$ e $T8$ conduzem. O complemento do nível armazenado em C é lido no terminal de $\overline{\text{dados}}$ de saída. Observe que o transistor $T6$ age como uma carga para $T2$ durante a operação de leitura, de tal modo que $T2$ e $T6$ formam um amplificador inversor.

Para reavivarmos a célula, fazemos $Y = \mathbf{0}$, $X = \mathbf{1}$, $P = \mathbf{1}$ e $R = \mathbf{1}$. Os terminais de $\overline{\text{dados}}$ da entrada e de $\overline{\text{dados}}$ da saída são então desconectados de todas as outras células da memória. O complemento do nível lógico do capacitor C é agora transferido através de $T9$, e este nível é então armazenado no capacitor C_r. O terminal P de entrada, que permite a conexão de C_r à linha de $\overline{\text{dados}}$ de saída, é chamado de *entrada de pré-carga*. Esta terminologia é usada porque, quando $P = \mathbf{1}$, C_r se pré-carrega ao complemento do nível em C. Depois que esta pré-carga é alcançada, fazemos R igual a **0** e W igual a **1**. A saída do inversor, $T10$ e $T11$, reaviva a carga no capacitor C. Observe que, inicialmente, a saída do amplificador de reavivamento está desconectada de $T1$ e do capacitor C. Isto é para assegurar que $T11$ inicialmente não seja uma carga para o capacitor C, até depois de C_r ter sido pré-carregado ao nível correto. Se esta precaução não fosse tomada, então o capacitor C poderia ser descarregado erroneamente.

As células de memória que têm o mesmo endereço Y são freqüentemente reavivadas seqüencialmente, sendo que a célula que possui o endereço X_1 é reavivada primeiro, depois o é a célula com endereço X_2 etc. Para cada coluna de células, há um circuito de reavivamento; assim, se houver β colunas na RAM (veja a Fig. 12.15-1*b*), haverá então β circuitos de reavivamento. As β células que têm o mesmo endereço X são reavivadas simultaneamente. Assim, se houver α linhas e se, para reavivar uma célula, despender-se um tempo T_r, a memória inteira será reavivada no tempo αT_r.

Observe que, ainda que haja somente três transistores na célula de memória mostrada na Fig. 12.15-4, muitos transistores auxiliares são necessários para implementarmos as operações de leitura, escrita e reavivamento. Estes transistores, entretanto, são compartilhados por outras células de memória.

12.16 ORGANIZAÇÃO DE UMA RAM

A organização de uma memória com capacidade de armazenamento para M palavras, cada uma de 3 bits, é mostrada na Fig. 12.16-1. A célula (1, 1) armazena o primeiro bit da primeira palavra; a célula (1, 2), o segundo bit, e assim por diante. Estas primeiras células de armazenamento de palavras são endereçadas pelo aumento do nível na linha Z_1. Se a memória armazena M palavras, são necessárias M linhas de endereçamento $Z_1, Z_2, \ldots, Z_M$. A localização do armazenamento da memória é apresentada aqui sob forma codificada através dos λ bits de endereçamento $A_0 A_1 \ldots, A_{\lambda-1}$ (onde $M = 2^{\lambda}$). Um decodificador foi interposto entre as células de memória e o endereço de entrada codificado. Conforme foi discutido na Seção 12.9, tal decodificador seleciona uma e somente uma das linhas de endereço, sendo que a linha selecionada depende do endereço da entrada. Nem todas as memórias disponíveis comercialmente fornecem o referido decodificador e, em tais casos, ele deverá ser providenciado pelo usuário. Quando o decodificador

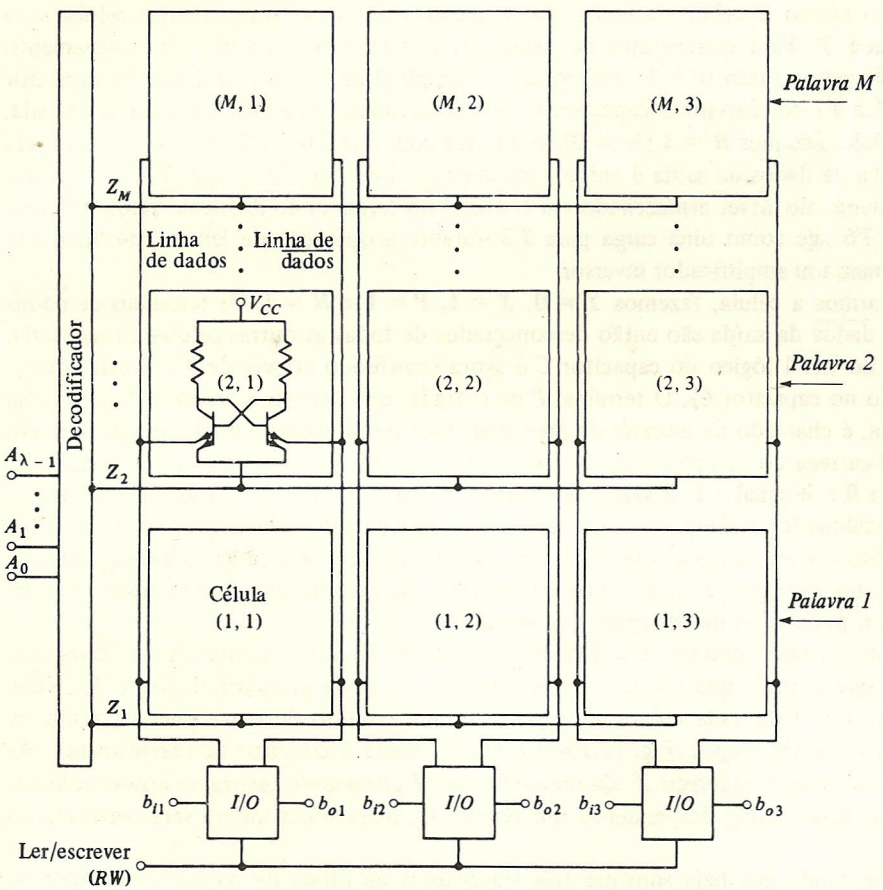


FIGURA 12.16-1
A organização de uma memória de M palavras e 3 bits/palavra.

já for parte de uma unidade de memória, o fabricante caracterizará seu produto como sendo "decodificado" ou "completamente decodificado".

Todas as células ($C_{1,1}$, $C_{2,1}$, . . . , $C_{m,1}$) cuja função é armazenar os primeiros bits de palavras estão conectadas a um par comum de linhas de dados. Todas as células para os segundos e terceiros bits estão conectadas da mesma maneira. O bloco com a marca I/O (entrada-saída) representa todo o circuito mostrado nas Figs. 12.13-1 ou 12.15-4, com exceção do flip-flop da célula de memória. Os bits b_{i1}, b_{i2} e b_{i3} são bits de entrada que serão escritos na memória quando a linha ler/escrever (RW) for ao **1** lógico. Os bits b_{01}, b_{02} e b_{03} são os bits de saída que serão lidos a partir da memória quando $RW = \mathbf{0}$.

Se a célula de memória tiver dois terminais de entrada de endereçamento, como nas Figs. 12.13-1 e 12.15-4, podemos ter acesso individual e separadamente a cada célula. Em tal caso, uma memória com M células pode ser usada para armazenar M palavras, cada uma tendo 1 bit. A organização de tal memória é mostrada na Fig. 12.16-2. Observe particularmente que há a

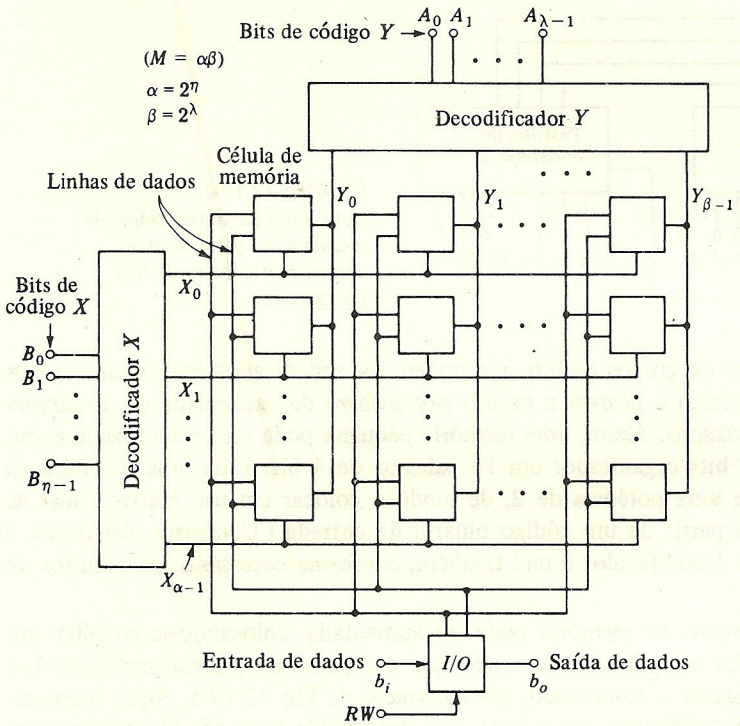


FIGURA 12.16-2
Organização de uma memória com N palavras de 1 bit.

necessidade de dois decodificadores. A qualquer instante, somente uma linha de saída do decodificador X e uma do decodificador Y serão selecionadas. Da mesma forma, somente aquela célula que estiver na intersecção destas duas linhas selecionadas será endereçada. Todas as linhas de dados de todas as células estão em paralelo e somente um estágio simples de entrada-saída será necessário ao manuseio da palavra de 1 bit.

Este arranjo permite o uso de decodificadores mais simples, já que alguma decodificação é feita na própria célula. Suponha, por exemplo, que necessitamos uma memória com 256 (2^8) palavras, cada uma de 1 bit. Se as células tivessem linhas de endereçamento simples, necessitaríamos um decodificador com 256 linhas de saída. Suponha, entretanto, que as células estivessem arranjadas de acordo com a Fig. 12.16-2, em uma matriz quadrada ($\alpha = \beta = 16$). Necessitaríamos então de dois decodificadores, mas cada decodificador teria somente 4 linhas de entrada e 16 linhas de saída.

Se as células de memória empregadas na RAM mostrada na Fig. 12.16-2 são dinâmicas, cada coluna de células tem seu próprio circuito de reavivamento, como na Fig. 12.15-4. Assim, em uma memória de 1024 bits contendo 32 colunas, são usados 32 circuitos de reavivamento.

12.17 PASTILHAS DE CIRCUITOS INTEGRADOS DE MEMÓRIA A SEMICONDUTOR EM PARALELO

Em uma pastilha de memória em circuito integrado, o número de bits em uma palavra é igual ao número de células de memória que têm aquela linha de endereço comum, e o número

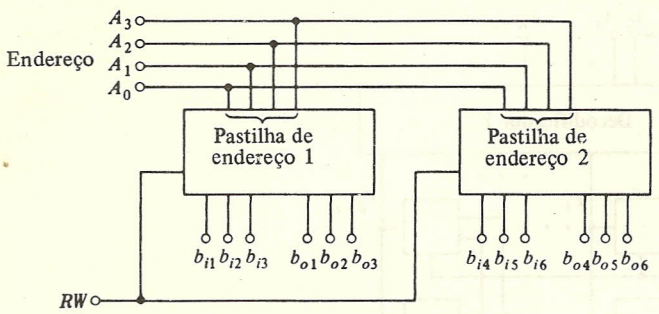


FIGURA 12.17-1
Colocando pastilhas (*chips*) de memória em paralelo para aumentar o número de bits por palavra.

de palavras é igual ao número de grupos de bits que podem ser endereçados separadamente. Os fabricantes geralmente especificam a *palavra* e os *bits por palavra* de capacidade de armazenamento através do termo *organização*. Assim, uma memória pequena pode ser caracterizada como tendo uma capacidade de 64 bits organizados em 16 palavras de 4 bits cada uma. (O número de palavras é invariavelmente uma potência de 2, de modo a colocar em uso efetivo todas as saídas de um decodificador a partir de um código binário de entrada.) Conforme observado, a pastilha pode também ter um decodificador e terá também, conforme necessário, os circuitos de entrada-saída.

A capacidade de um sistema de memória pode ser aumentada, colocando-se pastilhas em paralelo. As pastilhas colocadas em paralelo, de modo que o número de palavras continua fixo mas o número de bits por palavra é aumentado, são mostradas na Fig. 12.17-1. Aqui, representamos o caso de duas pastilhas idênticas, cada uma com capacidade para 48 bits, organizadas em 16 palavras com 3 bits/palavra. As palavras são endereçadas por um código de endereço de 4 bits $A_3A_2A_1A_0$. As entradas de endereço das duas pastilhas estão em paralelo, da mesma forma que a entrada de ler/escrever (RW). Os 3 bits de saída da pastilha 1 (b_{o1}, b_{o2}, b_{o3}) e os 3 bits de saída da pastilha 2 (b_{o4}, b_{o5}, b_{o6}) são agora os 6 bits de saída (b_{o1}, . . . , b_{o6}) da nova palavra aumentada. Da mesma forma, os bits de entrada da palavra de 6 bits são b_{i1} . . . b_{i6}. Pastilhas adicionais podem ser colocadas em paralelo para aumentar ainda mais o número de bits por palavra.

Se memórias de palavras de 1 bit do tipo mostrado na Fig. 12.16-2 são colocadas em paralelo, o número de bits em uma palavra final de saída é diretamente igual ao número de células em paralelo. Os bits de entrada de código X são aplicados aos decodificadores X de cada pastilha, e os bits de entrada de código Y são aplicados aos decodificadores Y de cada pastilha. Este procedimento é ilustrado na Fig. 12.17-2. Desenhamos aí todas as linhas de endereço A e B como sendo linhas simples com a finalidade de simplificarmos a figura.

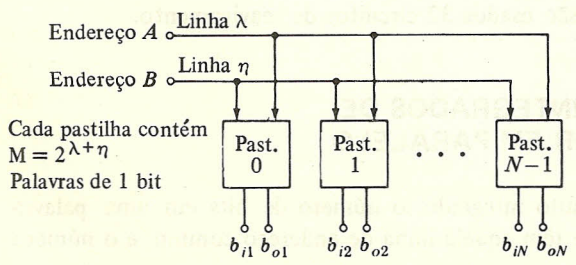


FIGURA 12.17-2
Colocando pastilhas em paralelo para aumentar o número de bits por palavra. O caso especial em que cada pastilha nos dá somente um bit.

Expansão de memória de palavra de 1 bit. Considere novamente que temos pastilhas de memória, cada uma com M bits, onde cada bit é separadamente endereçável. Já foi visto, como na Fig. 12.17-2, como N pastilhas podem ser organizadas em uma memória de M palavras, cada uma de N bits. Suponha, entretanto, que ainda que N bits por palavra sejam adequados, necessitamos de mais do que M palavras. Digamos que precisemos de $L \times M$ palavras. Esta memória expandida pode ser construída, colocando-se em paralelo L grupos de N pastilhas, como mostrado na Fig. 12.17-3.

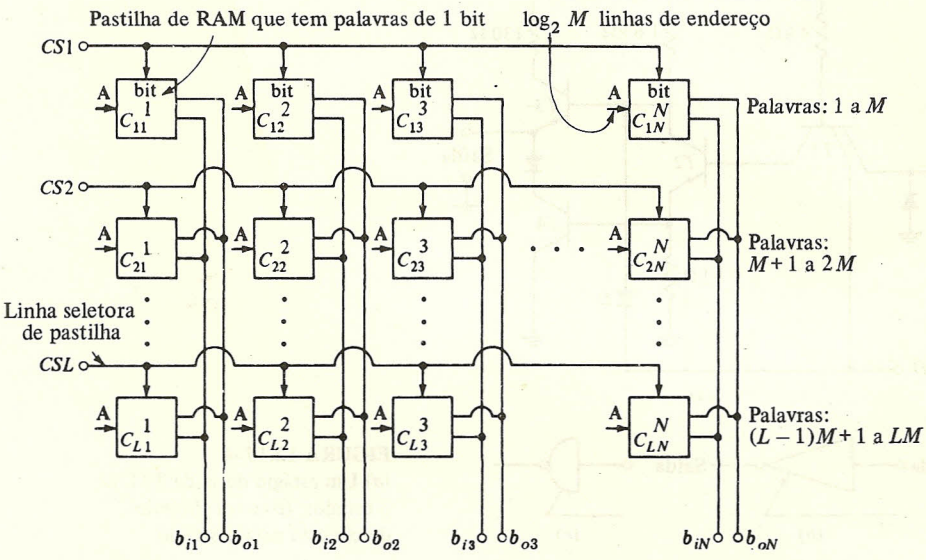


FIGURA 12.17-3
Conexão de $M \times 1$ pastilhas RAM para formar uma memória de LM palavras de N bits.

As pastilhas da linha superior armazenam as M primeiras palavras, sendo que as M palavras seguintes são armazenadas na segunda linha e, finalmente, o *L-ésimo* grupo de M palavras é armazenado na linha inferior. Para que seja possível selecionarmos uma palavra em uma determinada linha, o fabricante nos dá a disponibilidade de uma linha de endereçamento adicional chamada *selecionador de pastilha* (*chip select*). Quando a linha do selecionador de pastilha estiver em $CS = 0$, o decodificador da pastilha estará impossibilitado e nenhuma palavra da pastilha será endereçada. Quando a linha estiver em $CS = 1$, o decodificador tornar-se-á habilitado e teremos acesso às palavras no modo tradicional.

Na Fig. 12.7-3, a flecha com a marca A em cada pastilha representa todas as linhas de entrada de endereços pelas quais um bit é endereçado em uma pastilha. O endereço de entrada total aplicado à memória, consistindo nas linhas de entrada de endereço e na linha CS, escolhe uma linha selecionadora de pastilha e a palavra é lida a partir da linha da pastilha correspondente. Se compararmos a leitura de uma memória à leitura de um livro, o *selecionador de pastilha* seleciona uma *página* e então o endereço A seleciona uma palavra na página.

A seguir, devemos levar em consideração que, quando colocamos pastilhas em paralelo para aumentarmos o número de palavras, é necessário conectarmos em paralelo as linhas dos bits de saída a cada uma das outras pastilhas. Assim, por exemplo, a linha de saída do arranjo paralelo que tem o primeiro bit da palavra deve ser conectada aos terminais de primeiro bit de saída de cada uma das outras pastilhas; isto é, C_{11}, C_{21}, ..., C_{L_1} estão em paralelo.

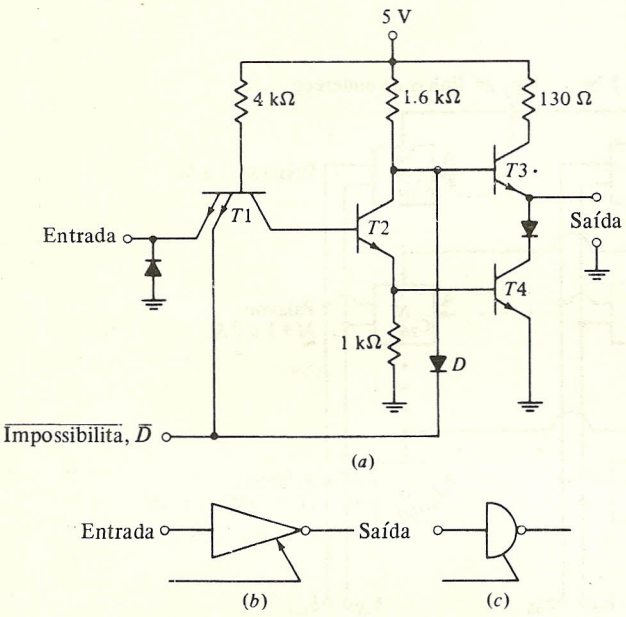


FIGURA 12.17-4
(*a*) Um estágio de saída TTL de 3 estados; (*b*) e (*c*) símbolos de circuito para o estágio.

Será necessário, portanto, planejarmos para uma pastilha de memória um estágio de saída que permita ao nível lógico de saída não ser afetado pela conexão dos terminais de saída das outras pastilhas não selecionadas. O estágio de saída TTL mostrado na Fig. 12.17-4*a* é freqüentemente usado para esta finalidade. Este estágio, obviamente, é logo reconhecido como sendo a porta TTL normal modificada pela adição de uma entrada que a pode tornar $\overline{\text{impossibilitada}}$.

Quando a linha $\overline{\text{impossibilitada}}$ está no **1** lógico, o diodo D não conduz, nem o emissor de $T1$ que está conectado a esta linha. Assim, com $\overline{D} = \mathbf{1}$ um estágio de saída direta é disponível, com todas as vantagens comuns ao PULL-UP ativo (veja Capítulo 5). Quando $\overline{D} = \mathbf{0}$, ambos $T3$ e $T4$ estarão cortados e o terminal de saída estará inteiramente isolado. A impedância vista do terminal de saída será muito elevada, sendo finita apenas devido às fugas e às capacitâncias parasitas. O estágio da Fig. 12.17-4 é freqüentemente descrito como um estágio de *três estados*, sendo os estados disponíveis o **1** e o **0** lógicos e o *terceiro estado* um estado nominalmente isolado e de alta impedância. Os símbolos para o estágio de três estados são mostrados nas Figs. 12.17-4*b* e *c*.

Quando pastilhas de memória são colocadas em paralelo com a finalidade de aumentar o número de palavras, o estágio de saída de três estados é tornado habilitado ou impossibilitado pela entrada do selecionador de pastilha. Somente os estágios de saída da pastilha selecionada são tornados habilitados. As portas CMOS também são disponíveis com saídas de três estados.

12.18 O DISPOSITIVO ACOPLADO A CARGA (CCD)

Vimos que um arranjo de dispositivos MOSFET fabricados em uma pastilha de silício, e formando um registrador de deslocamento dinâmico em circuito integrado, pode servir como uma memória seqüencial. Consideraremos agora uma memória seqüencial com um registrador de deslocamento dinâmico MOS diferente, usando o princípio do *dispositivo acoplado a carga* (CCD). Enquanto a memória CCD opera na mesma velocidade da memória MOSFET, a memória CCD dissipará muito menos potência. A vantagem relativa mais importante da memória CCD, entretanto, é que ela pode ser fabricada com uma densidade de bits que é da ordem de três vezes a densidade que pode ser conseguida com memórias MOSFET. Conforme observamos, há uma vantagem em usarmos o mínimo possível de superfície em uma pastilha de silício, já que, à medida que aumenta a superfície, aumenta também a probabilidade de termos imperfeições na pastilha. Assim, a maior densidade possível com dispositivos CCD nos dá melhores resultados a baixo custo. Uma vantagem adicional do dispositivo CCD é que ele requer uma fabricação muito mais simples, com um procedimento de menos operações do que as necessárias em um MOSFET e em tecnologia bipolar.

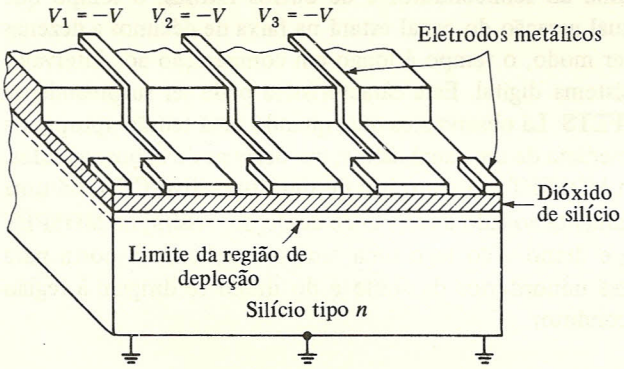


FIGURA 12.18-1
A estrutura de um dispositivo acoplado a carga.

A estrutura do CCD é representada na Fig. 12.18-1. O dispositivo é fabricado em um substrato semicondutor. Indicamos o silício do tipo n para sermos específicos, mas o tipo p também serviria da mesma forma. O substrato é coberto com uma camada isolante de dióxido de silício e sobre o óxido é colocado um arranjo de eletrodos de metal pouco separados. O sanduíche de metal, óxido e semicondutor é semelhante à estrutura MOSFET. Observe, entretanto, a ausência de regiões do tipo p que no MOSFET servem de fonte e dreno.

Consideremos inicialmente que, enquanto a parte inferior do substrato é mantida em terra (0 V), todos os eletrodos de metal são mantidos à mesma tensão negativa e fixa, $-V$. O espaçamento entre os eletrodos é extremamente pequeno em comparação com sua largura. (O espaçamento na Fig. 12.18-1 está muito exagerado.) Assim, a camada metalizada pode ser considerada como uma superfície eqüipotencial na tensão $-V$. Como a base do substrato é uma superfície eqüipotencial em 0 V, as superfícies eqüipotenciais geralmente são planos paralelos às faces da estrutura.

Se a tensão $-V$ na metalização for suficientemente elevada em módulo, de tal modo que exceda a tensão V_T de limiar do substrato, haverá então a formação de uma região de depleção

abaixo do óxido e a ele adjacente. A região de depleção é uma região de onde portadores móveis foram removidos. No caso presente, as relativamente poucas lacunas minoritárias presentes no substrato serão levadas à superfície do substrato logo abaixo do óxido, enquanto os portadores majoritários – os elétrons – serão levados para o interior do substrato. Como a carga predominantemente negativa foi removida de sua região inicialmente neutra, a região de depleção é deixada com uma carga positiva. As linhas de campo elétrico que se originam na carga negativa do metal terminarão nesta carga positiva. O contorno da região de depleção é estabelecido quando cargas positivas suficientes foram fornecidas para permitir a terminação de todas as linhas de campo elétrico. Da mesma forma que uma superfície eqüipotencial típica, o contorno da região de depleção é um plano paralelo às superfícies da estrutura (veja a Fig. 12.18-1).

A região de depleção mostrada na Fig. 12.18-1 inicialmente se encontra isenta de cargas móveis. À medida que o tempo passa, entretanto, lacunas presentes no substrato tipo *n* farão difusão na região de depleção. Depois que um número suficiente de lacunas entrou na região de depleção, há a formação de uma camada condutora abaixo do óxido, da mesma maneira pela qual um canal é formado em um dispositivo MOS.

Dependendo da natureza e quantidade de impurezas no semicondutor, da presença ou ausência de defeitos na estrutura cristalina do semicondutor e de outros fatores, o tempo que ocorre entre a depleção inicial e a eventual geração do canal estará na faixa de décimos a dezenas de segundos, ou ainda mais. De qualquer modo, o tempo é longo em comparação aos intervalos usuais de relógio encontrados em um sistema digital. Esta característica pode ser surpreendente em vista de nossa experiência com MOSFETS. Lá observamos que, quando uma tensão apropriada era aplicada à porta, havia a formação imediata de um canal, isto é, em dezenas de nanossegundos. A diferença vem do fato de que em um MOSFET, ao contrário de um dispositivo CCD, há uma fonte de portadores minoritários imediatamente ao lado da região de depleção. Assim, no MOSFET temos uma tensão aplicada entre fonte e dreno. Tão logo uma tensão é aplicada à porta para gerar uma região de depleção, portadores minoritários da fonte e do dreno se dirigem à região de depleção e a convertem em um canal condutor.

12.19 ARMAZENAMENTO DE CARGA

Considere agora a situação representada na Fig. 12.19-1*a*. Aí, a tensão em um dos eletrodos metálicos foi feita substancialmente mais negativa do que a aplicada em seus vizinhos, isto é, há uma tensão mais negativa no eletrodo 2 do que nos demais. Assim, a região de depleção abaixo do eletrodo 2 se estende mais profundamente do que aquelas abaixo dos eletrodos adjacentes. O contorno da região de depleção tem agora o formato indicado pela linha tracejada na Fig. 12.19-1*a*.

Gráficos qualitativos e aproximados do potencial elétrico como uma função de x, a distância medida horizontalmente através do substrato, em vários níveis são mostrados na Fig. 12.19-1*b*. Em qualquer nível que passa através da região de depleção, o potencial abaixo do eletrodo 2 está mais abaixo do que o de seus eletrodos vizinhos. A depressão do potencial é mais pronunciada para um nível AA' que está localizado mais perto dos eletrodos, sendo menos pronunciada para um nível CC' localizado distante dos eletrodos. Levamos em consideração, ao desenharmos estes gráficos, que, fora da região de depleção, o substrato é um bom condutor, tendo um grande

suprimento de portadores majoritários. Como não há circulação de corrente, não há campo elétrico e, assim, não há diferença de potencial ao longo do eixo x, dentro do substrato tipo n.

O leitor deve lembrar-se de que uma partícula carregada com carga q em um campo descrito por um potencial (unidimensional) $V(x)$ tem exercido sobre ela uma força no sentido positivo de x e dada por $f = q\,dV/dx$. Assim, na Fig. 12.19-1*b*, onde o potencial é plano, $(dV/dx = 0)$, não há força. Na região compreendida entre os eletrodos 1 e 2, onde dV/dx é negativa, a força é para a direita; na região entre os eletrodos 2 e 3, onde dV/dx é positiva, a força é para a esquerda. Assim, uma carga positiva introduzida na região de depleção em qualquer nível está livre para se movimentar somente dentro da região limitada pelo "poço de potencial", de acordo com o mostrado em *b*.

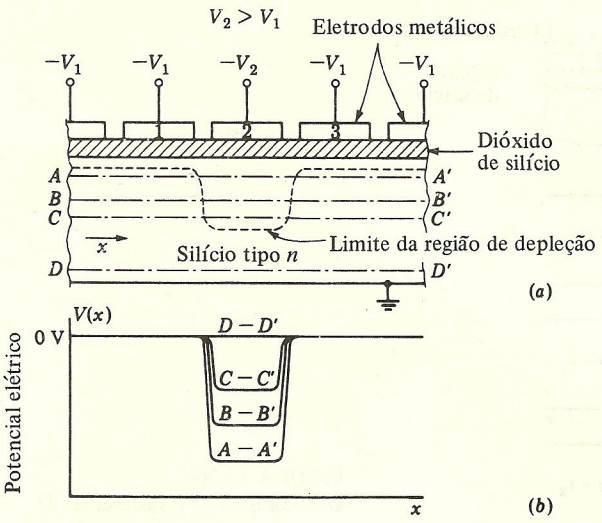


FIGURA 12.19-1
(*a*) O formato da região de depleção, quando um eletrodo fica mais negativo do que seus vizinhos. (*b*) O potencial elétrico $V(x)$ através do substrato, em vários níveis.

Finalmente, é aparente que a aplicação, a um eletrodo em particular, de uma tensão negativa maior em módulo do que a aplicada em seus vizinhos gera abaixo daquele particular eletrodo uma região de depleção que penetra mais profundamente no substrato. Agora, se introduzirmos nesta região uma carga positiva (de um modo ainda a ser descrito), esta carga estará presa a uma posição. Eventualmente, esta carga introduzida perderá sua identidade por causa da difusão de novos portadores na região de depleção conforme foi descrito acima. Desde que, entretanto, possamos identificar esta carga, sua presença ou ausência pode ser usada para representar os dois níveis lógicos. Conforme veremos, há meios pelos quais tais cargas presas podem ser transferidas de uma posição abaixo de um eletrodo para uma posição abaixo do seguinte, e assim por diante, onde, então, toda a estrutura serviria como um registrador de deslocamento.

12.20 TRANSFERÊNCIA DE CARGA

Um mecanismo pelo qual carga pode ser transferida lateralmente no CCD é ilustrado na Fig. 12.20-1. O dispositivo CCD que aparece na Fig. 12.20-1*b* se estende na direção x. Consideramos inicialmente um instante $t = t_0$ quando a tensão no eletrodo k está em $V = -V_2$, enquanto

a tensão em todos os outros eletrodos está em $V = V_1$. Há então uma região de depleção estendida, abaixo do eletrodo k, e uma região de depleção mínima abaixo de todos os outros eletrodos. Então, em um instante $t = t_0$, a tensão $V(x)$ no substrato, em qualquer nível que intercepte a região de depleção estendida, aparecerá conforme mostra a Fig. 12.20-1*c*. Supomos aí que planejamos, de algum modo, introduzir uma carga positiva na região de depleção. Representamos a carga neste caso como estando no fundo da depressão de potencial criada.

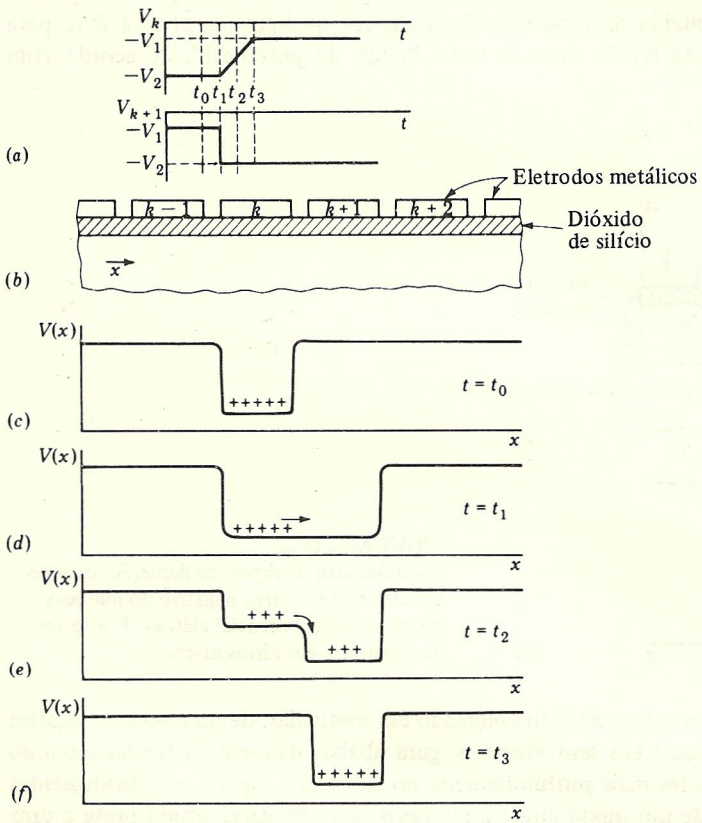


FIGURA 12.20-1
O mecanismo de transferência de carga. (*a*) A forma de onda de V_k e V_{k+1}. (*b*) O dispositivo *CCD*. (*c*) até (*f*) As distribuições de potencial nos instantes t_0 a t_3 como identificados em (*a*). A transferência da carga é mostrada.

Agora, como indica a Fig. 12.20-1*a*, vamos arranjar para que em um instante $t = t_1$ a tensão no eletrodo $k + 1$ caia também para $V = V_2$. O perfil do potencial toma então a aparência mostrada na Fig. 12.20-1*d*. A barreira de potencial à direita da carga na Fig. 12.20-1*c* foi agora removida. De acordo com o indicado pela flecha na Fig. 12.20-1*d*, a carga fará difusão para a direita. Inicialmente, pelo menos, não há transporte de carga no sentido reverso, simplesmente porque não há carga na região $k + 1$. Se o perfil de potencial persistisse como mostrado na Fig. 12.20-1*d*, então eventualmente a carga original se distribuiria uniformemente sobre as regiões k e $k + 1$. Arranjamos, entretanto, como mostrado pelas formas de onda de V_k e V_{k+1} na Fig. 12.20-1*a*, para que a tensão V_k retorne agora vagarosamente ao valor $V_k = -V_1$.

À medida que V_k aumenta, a carga na região k continua a mover-se para a região $k + 1$. Agora, entretanto, o mecanismo de deslocamento de carga é devido a uma combinação de difusão e à presença de campo elétrico produzido por uma diferença de potencial entre as regiões.

Finalmente, em $t = t_3$ e daí em diante, de acordo com o indicado na Fig. 12.20-1*f*, a carga está na região $k + 1$, tendo sido transferida para lá a partir da região k.

Durante o intervalo entre $t = t_1$ e $t = t_2$, enquanto a carga está sendo transferida da região k para a região $k + 1$, é necessário que as tensões nos eletrodos $k - 1$ e $k + 2$ sejam mantidas em $V = -V_1$, de tal modo que não haja regiões de depleção adicionais formadas abaixo desses eletrodos. Se houvesse a formação de uma região de depleção abaixo do eletrodo $k - 1$, parte da carga na região k seria transportada no sentido errado. Se houvesse a formação de uma região de depleção abaixo do eletrodo $k + 2$, parte da carga seria transportada na direção correta, porém pularia um passo.

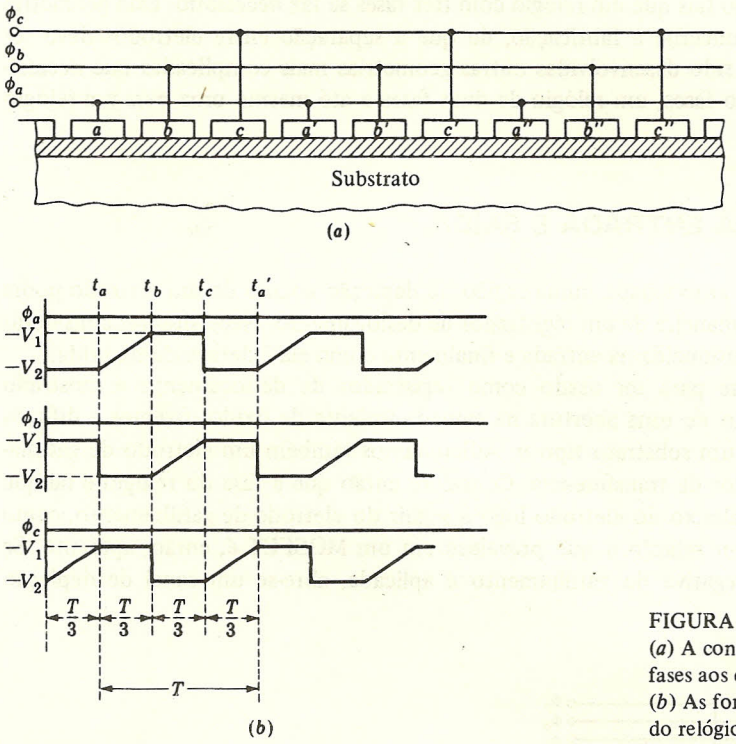


FIGURA 12.20-2
(*a*) A conexão de um sinal de relógio de três fases aos eletrodos de um dispositivo CCD. (*b*) As formas de onda das fases dos sinais do relógio.

Levando-se em conta o mecanismo de transferência de carga aqui descrito e a necessidade de a carga não ser transferida no sentido inverso, e se transfira no sentido correto passo a passo, poderemos agora considerar como efetuar uma seqüência de passos no sentido direto como um registrador de deslocamento. Conforme mostra a Fig. 12.20-2*a*, cada terceiro eletrodo é conectado a uma linha comum de relação, e as três partes ϕ_a, ϕ_b e ϕ_c que compõem a forma de onda do relógio são mostradas na Fig. 12.20-2*b*. Seu período é T. Cada uma das partes é dividida em três intervalos de duração $T/3$. Nestes subintervalos, o sinal está em $-V_1$, ou em $-V_2$, ou subindo de $-V_2$ a $-V_1$. No instante t_a, ϕ_b esteve em $-V_1$ durante $T/3$, de modo que certamente não há carga abaixo dos eletrodos b (b, b', b'', etc.). Também φ_c recém completou sua subida a $-V_1$, e, como resultado, qualquer carga que estivesse abaixo dos eletrodos c seria levada para as regiões abaixo dos eletrodos a. Da mesma forma, em $t = t_a$ qualquer carga (ou ausência

de carga dependendo se é um **1** ou um **0** lógico que está sendo representado) está embaixo dos eletrodos *a*. Considere especificamente que há tal carga abaixo do eletrodo *a* na Fig. 12.20-2*a*. Durante o intervalo de tempo entre t_a e t_b, esta carga será transferida para a região abaixo do eletrodo *b*, sendo que o processo de transferência é completado em $t = t_b$. No instante $t = t_c$, a carga terá sido transferida para a região abaixo do eletrodo *c*. Finalmente, no instante $t = t_c$, depois de um intervalo T, a carga que estava em *a*, em $t = t_a$, será agora encontrada sob a'. Observe que, quando o ciclo tiver sido completado, a carga será transferida de uma região para outra que *dista três eletrodos* da primeira. Assim, há a necessidade de termos *três eletrodos* para nos fornecer armazenamento e transferência de *um bit*.

Descrevemos aqui um dispositivo do tipo CCD para o qual a geometria dos eletrodos e a camada isolante de óxido são tais que um relógio com três fases se faz necessário. Esta geometria tem a dificuldade, no que concerne à fabricação, de que a separação entre eletrodos deve ser extremamente pequena. Têm sido desenvolvidas outras geometrias mais complicadas que necessitam de um relógio com quatro fases, um relógio de duas fases e até mesmo uma para um relógio de fase única.

12.21 ARRANJOS PARA ENTRADA E SAÍDA

Vimos como uma carga armazenada numa região de depleção abaixo de um eletrodo podia ser transferida lateralmente à maneira de um registrador de deslocamento. Necessitamos considerar brevemente como a carga é introduzida na entrada e finalmente como ela é detectada na saída.

Um método conveniente para ser usado como registrador de deslocamento é mostrado na Fig. 12.21-1*a*. Aqui, abaixo de uma abertura na camada isolante de óxido, fizemos a difusão de uma região do tipo *p* em um substrato tipo *n*. Adicionamos também um eletrodo de gatilhamento que precede os eletrodos de transferência. Considere então que a fase do relógio é tal que haja uma região de depleção abaixo do eletrodo logo a seguir do eletrodo de gatilhamento, como é mostrado. A similaridade em relação à que prevalece em um MOSFET é, então, aparente. Se neste instante uma tensão negativa de gatilhamento é aplicada, abre-se um canal de depleção

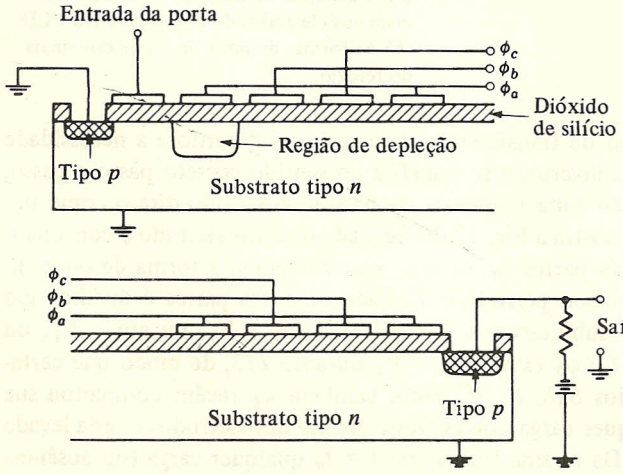


FIGURA 12.21-1
Um método para a injeção de carga em um registrador de deslocamento CCD. (*b*) Um método para a detecção da carga ao final do registrador de deslocamento CCD.

abaixo deste eletrodo, e portadores minoritários do tipo p se deslocam pelo canal da região do tipo p para a região de depleção. Quando a região de depleção apresenta o complemento de carga necessário, a tensão de gatilhamento é então removida. Daí em diante, as fases sucessivas do relógio encarregam-se de transferir lateralmente esta carga, deixando a região abaixo do primeiro eletrodo apta a receber a carga seguinte.

Da mesma forma, as concentrações de carga positiva podem ser detectadas no final do registrador do modo indicado na Fig. 12.21-1*b*. Novamente há uma região do tipo p difundida abaixo de uma abertura do óxido isolante. Uma fonte externa de tensão polariza reversamente a junção formada entre o substrato do tipo n e a difusão do tipo p. Os portadores minoritários são transferidos por esta junção da mesma maneira pela qual os portadores minoritários são coletados na junção de coletor de um transistor convencional. Há o desenvolvimento de uma tensão no resistor em série com a fonte de tensão de polarização reversa.

Os métodos descritos para a injeção e a coleta de carga têm a desvantagem, no que diz respeito à fabricação, de que há a necessidade de difusões no substrato em altas temperaturas. Há também a disponibilidade de outros métodos que não necessitam de tais difusões.

Finalmente, devemos observar que o processo de transferência de carga não é completamente eficiente. A cada transferência de carga de um eletrodo ao seguinte, parte da carga permanece para trás. Em um registrador longo, haverá a necessidade de termos o reavivamento. Estágios amplificadores de reavivamento são fabricados diretamente no substrato do CCD sem envolvimento de uma área extra na pastilha.

Um exemplo de uma memória CCD. A memória do tipo CCD típica e disponível no comércio – a memória Intel – tipo 2416, é organizada em 64 registradores de deslocamento, cada um com 256 bits. Observamos que, por causa do desaparecimento gradual das regiões de depleção, um bit não pode ser armazenado indefinidamente em uma posição. Um tempo mínimo entre deslocamentos também deve ser observado. Para o tipo 2416, o tempo mínimo é de 9 μs. A taxa de deslocamento máxima é de 2 MHz. Uma forma de onda de relógio de quatro fases é usada. A dissipação média de potência é aproximadamente 20 μW por bit.

REFERÊNCIAS

1. Seqrun, C. H., e M. F. Tompsett. *Charge Transfer Devices*. Academic Press, 1975.
2. Boyle, W. S., e G. E. Smith. Charge-Coupled Semiconductor Devices. *Bell System Tech. J.* vol. 49, abril 1970, p. 587-600.
3. Boyle, W. S., e G. E. Smith. Charge-Coupled Devices – A New Approach to MIS Device Structures. *IEEE Spectrum*. Jul. 1971, p. 18-27.
4. Altman, L. The New Concept for Memory and Imaging: Charge Coupling. *Electronics*. 21 jun. 1971, p. 50-59.
5. Kosonocky, W. F., e J. E. Carnes. Charge-Coupled Digital Circuits. *IEEE J. Solid State Circuits*. vol. SC-6, nº 5, out. 1971, p. 314-322.

CAPÍTULO 13
Chaves Analógicas

Os sinais digitais, pelo menos idealmente, fazem transições abruptas entre duas faixas de valores diferentes. Uma faixa representa o nível lógico **1**, enquanto a outra faixa representa o nível lógico **0**. Dentro de cada faixa, o nível exato do sinal não tem significado. Em portas lógicas todas as entradas e saídas são sinais digitais.

Tensões analógicas, por outro lado, são tensões cujos valores precisos são sempre significativos. Estas tensões analógicas podem ser de valor fixo ou podem fazer excursões através de uma faixa contínua de valores. Ocorre freqüentemente a necessidade de chaves de circuitos e sistemas envolvendo sinais analógicos, nos quais a abertura e o fechamento das chaves são controlados por digitais. Circuitos deste tipo são chamados de *portas analógicas, portas de transmissão, portas lineares, circuitos de seleção de tempo*, etc., dependendo do propósito para o qual o circuito se destina. O sinal digital que controla a chave é chamado de *sinal de chaveamento, sinal de controle* ou *entrada lógica*.

13.1 PRINCÍPIOS DE OPERAÇÃO BÁSICA DE PORTAS ANALÓGICAS

Várias portas analógicas, através das quais podemos controlar a transmissão de um sinal analógico V_a a uma carga R_L, estão mostradas na Fig. 13.1-1. Um sinal de chaveamento, que faz transição entre duas faixas, controla a abertura e o fechamento da chave S. O controle da chave é aqui mostrado funcionalmente. O mecanismo exato de controle dependerá dos dispositivos utilizados para fazer a chave. O sinal de chaveamento é um sinal digital; isto é, quando o sinal de chaveamento está em um nível lógico, a chave está ABERTA; quando o sinal de chaveamento está no outro nível lógico, a chave está FECHADA.

Na Fig. 13.1-1*a* é utilizada uma chave série, enquanto a Fig. 13.1-1*b* mostra uma chave paralela. No primeiro caso, V_a é transmitido para a carga R_L quando S está FECHADA; no segundo caso, a transmissão ocorre quando S está ABERTA. Se as chaves fossem ideais, não haveria base para preferir um tipo ou outro de chave. Entretanto, as chaves físicas não são ideais em muitos aspectos. Quando a chave está FECHADA, a resistência da chave não é zero e a característica volt-ampère do dispositivo da chave pode não ser linear. Portanto, na Fig. 13.1-1*a*, quando S está FECHADA, pode ser introduzida atenuação adicional do sinal e pode ocorrer

alguma distorção. Quando S está aberta, há transmissão de algum sinal não desejado. Comentários similares aplicam-se à Fig. 13.1-1b, exceto para posição alternada da chave. Haverá inevitavelmente alguma capacitância em paralelo com a chave. Como resultado, quando a chave estiver ABERTA, na Fig. 13.1-1a, haverá alguma transmissão parcial de sinais rápidos e, na Fig. 13.1-1b, haverá alguma distorção de sinais rápidos, devido à capacitância em paralelo com a carga. Finalmente poderá haver algum acoplamento capacitivo ou de outro tipo entre o caminho de transmissão do sinal analógico e o sinal de controle da porta. Neste caso, o sinal de chaveamento pode, até certo ponto, aparecer na saída superposto ao sinal analógico.

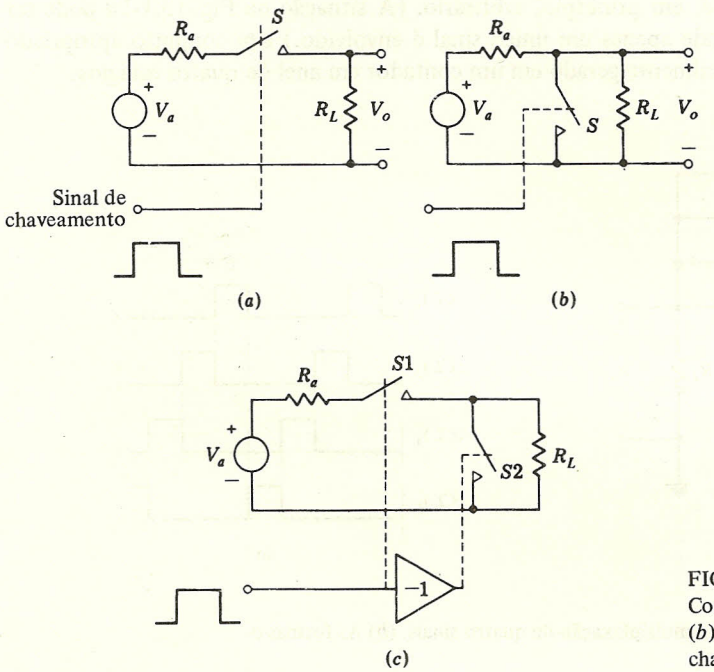


FIGURA 13.1-1
Configurações de chave: (a) chave série; (b) chave paralela; (c) combinação de chave série e paralela.

Devido a estas imperfeições da chave, podemos encontrar, em casos particulares, uma vantagem na chave série ou na chave paralela. Por exemplo, considere um caso com $R_a = 900\ \Omega$, $R_L = 1\ \text{k}\Omega$, e uma chave que tem uma impedância quando fechada de $R_s\,(f) = 100\ \Omega$ e quando aberta de $R_s\,(a) = 10\ \text{M}\Omega$. Então, como é facilmente verificado, a chave série é muito mais efetiva do que a chave paralela. No primeiro caso, a relação entre a saída de sinal analógico com a chave FECHADA e com a chave ABERTA é 5×10^3. No caso da chave paralela, a relação da saída do sinal analógico com a chave ABERTA para a chave FECHADA é apenas cerca de 5. Por outro lado, podemos inventar casos onde, devido à relação dos resistores envolvidos, a chave paralela é melhor. Além disso, dependendo da aplicação e do tipo de sinal analógico envolvido, podemos verificar que as várias capacitâncias associadas com a chave são de menor conseqüência em um arranjo do que no outro. Finalmente, podemos notar que, especialmente nos casos em que nem o arranjo série nem o paralelo tem uma vantagem definida, o arranjo da Fig. 13.1-1c tem mérito especial. Aqui utilizamos tanto uma chave série como uma chave paralela. O amplificador inversor indicado na figura é uma forma de representar o fato de que, quando uma chave

abre, a outra fecha e vice-versa. (Outro símbolo comum dispensa o inversor e simplesmente mostra uma chave na posição fechada e a outra na posição aberta.)

13.2 APLICAÇÕES DE CIRCUITOS DE CHAVEAMENTO

Multiplexação. A Fig. 13.2-1 nos mostra um circuito de chaveamento analógico que nos permite ligar vários sinais analógicos, um a cada instante, a uma carga comum. Esta operação é chamada *multiplexação*. Quatro sinais diferentes estão indicados na Figura, mas evidentemente o número de sinais envolvidos é, em princípio, arbitrário. (A situação na Fig. 13.1-1*a* pode ser vista como um caso especial onde apenas um único sinal é envolvido.) Um conjunto apropriado de sinais lógicos de controle é facilmente gerado em um contador em anel de quatro estágios.

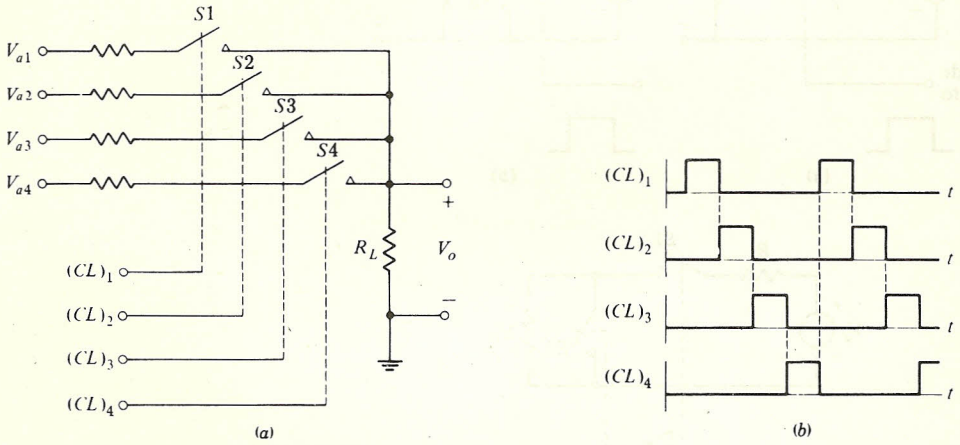


FIGURA 13.2-1
(*a*) Um arranjo de chaves que permite a multiplexação de quatro sinais. (*b*) As formas de onda necessárias para operar as chaves.

A utilidade da multiplexação indicada na Fig. 13.2-1 pode ser vista das seguintes considerações. Suponha que temos vários sinais contendo informações (voz, música, dados, etc.) que devem ser transmitidos através de um canal de comunicação (um par de fios, um enlace de rádio, etc.) a um ponto distante. Um método direto de efetuar esta transmissão é utilizar tantos canais de comunicações individuais quanto são os sinais. Alternativamente, podemos *amostrar* cada sinal, arranjando de modo que as amostras sucessivas aparecem uma de cada vez, como na Fig. 13.2-1, na entrada de um único canal de comunicação. (Na Fig. 13.2-1, os fios ligados em R_L constituem este canal de comunicação único.) Verifica-se agora que no terminal receptor do canal de comunicação é possível reconstruir cada um dos sinais individuais. Para permitir esta reconstrução sem erro, é necessário ser capaz de, no terminal receptor, identificar qual amostra corresponde a qual sinal. (Estas matérias estão discutidas em mais detalhes no Capítulo 14.)

Amostrador e segurador de ordem zero. Uma segunda aplicação de chaveamento analógico está indicada na Fig. 13.2-2. Aqui, um sinal analógico $M(t)$ é amostrado em instantes separados

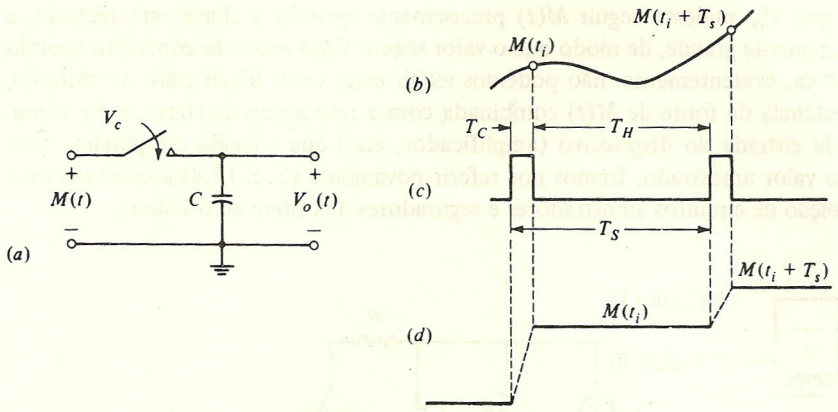


FIGURA 13.2-2
O circuito amostrador e segurador de ordem zero básico; (*a*) o circuito de chaveamento, (*b*) o sinal a ser amostrado, (*c*) a forma de onda de chaveamento, V_C e (*d*) a saída V_O do circuito amostrador.

pelo intervalo de amostragem T_S. A amostragem é controlada pelo sinal de controle V_c, que fecha e abre a chave. Durante o tempo T_C a chave está fechada e o capacitor se *carrega* em $M(t_i)$. No restante do tempo $T_H = T_S - T_C$ o valor amostrado é *mantido* no capacitor C. A forma de onda de saída de um circuito *amostrador e segurador* de ordem zero que executa esta operação está mostrada na Fig. 13.2-2*d*. Os valores das amostras seguras estão indicados pelos níveis sólidos. A forma de onda de saída entre as amostras seguras não tem interesse especial e está indicada pela porção tracejada da forma de onda.

Uma aplicação de um circuito amostrador e segurador de ordem zero é em *modulação por pulsos em código* (PCM, das iniciais em inglês *pulse-code modulation*). Aqui, a forma de onda segura está convertida de sua tensão analógica para a forma de onda digital. O processo de conversão analógica para digital está discutido em detalhe no Capítulo 14. Uma discussão teórica da PCM e as necessidades relativas ao intervalo de amostragem são encontradas na Ref. 1.

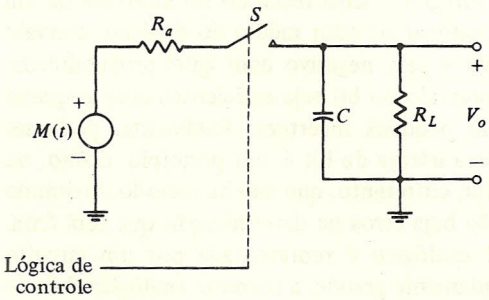


FIGURA 13.2-3
Um circuito amostrador e seguidor de ordem zero com resistor de fonte R_a e resistor de carga R_L.

Um circuito um pouco mais detalhado está mostrado na Fig. 13.2-3. Note que, quando a chave S é mantida na posição fechada pelo sinal lógico de controle, a tensão de saída V_o segue o sinal analógico $M(t)$ o mais próximo possível permitido pela restrição imposta pela presença do capacitor de armazenamento C. Em princípio, deveríamos preferir que R_a fosse arbitrariamente

pequeno, de modo que V_O pudesse seguir $M(t)$ precisamente quando a chave está fechada, e que R_L fosse arbitrariamente grande, de modo que o valor seguro fosse *mantido* constante quando S está aberta. Na prática, evidentemente, não podemos exigir estes casos ideais pois, no mínimo, R_a representa a impedância da fonte de $M(t)$ combinada com a resistência da chave, e R_L representa a impedância de entrada do dispositivo (amplificador, etc.) que é ligado em paralelo com o capacitor para ler o valor amostrado. Iremos nos referir novamente (Sec. 13.8) a estes e outros afastamentos da perfeição de circuitos amostradores e seguradores de ordem zero físicos.

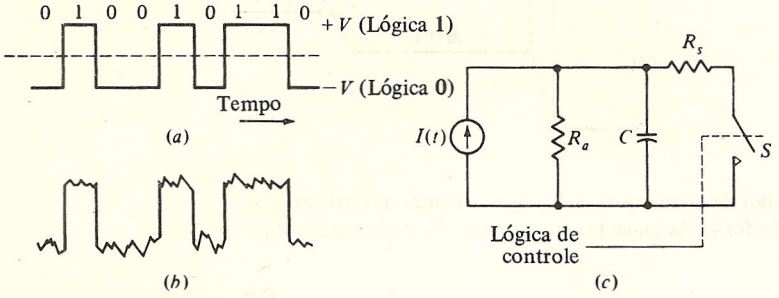


FIGURA 13.2-4
O princípio de um circuito integrador e amortecedor.

Integrador e amortecedor. Para introduzir a necessidade para um terceiro tipo de circuito de chave analógica, considere a situação representada na Fig. 13.2-4. Na Fig. 13.2-4*a* aparece um sinal digital. Por simplicidade supomos que a lógica **1** e a lógica **0** são representadas respectivamente por $+V$ e $-V$. Pode acontecer que, na transmissão deste sinal através de um canal de comunicação para seu destino, haja superposição de distúrbios erráticos aleatórios (ruídos). Quando recebido, o sinal pode aparecer como na Fig. 13.2-4*b*. Com estas formas de ondas, ainda não há incerteza dentro de cada intervalo de bit se o bit transmitido é uma lógica **0** ou uma lógica **1**. Entretanto, podemos imaginar que, se a contaminação do ruído fosse muito mais pronunciada, poderíamos encontrar dificuldade em fazer esta determinação. Uma forma de efetuar esta determinação que suprime o efeito do ruído é integrar o sinal recebido no intervalo de um bit. Esta integração fornecerá uma saída que é proporcional ao valor médio do sinal no intervalo do bit. Como o ruído é aleatório, indo para positivo e para negativo com igual probabilidade, podemos esperar que o valor médio do ruído no intervalo do bit seja suficientemente pequeno para permitir a determinação do valor do bit com pequena incerteza. Realmente, pode ser mostrado que em certas condições este esquema para leitura de bit é, em princípio, *ótimo*, ou seja, o número de erros feitos é mínimo. Deve-se notar, entretanto, que não há método, incluindo este método de integração, que possa garantir que não haja erros na determinação que será feita.

No circuito da Fig. 13.2-4*c* a fonte de sinal analógico é representada por um circuito equivalente de Norton. Se a impedância R_a é adequadamente grande, a corrente analógica fluindo em C irá gerar em C uma tensão proporcional à integral do sinal analógico no intervalo durante o qual a chave S está aberta. Na operação, a chave está aberta durante a maior parte da duração do bit e fecha brevemente no fim do bit. Exatamente antes do fechamento da chave, é feita uma leitura da tensão em C. O fechamento subseqüente da chave *amortece* a carga em C, isto é, descarrega o capacitor que fica pronto para carregar novamente durante o bit seguinte. Cada

leitura da tensão do capacitor então indica a estimativa do nível lógico recebido durante o intervalo de bit que acabou de passar, independentemente do nível lógico dos bits precedentes. Idealmente, desejaríamos que R_s fosse zero. Pois, quanto menor R_s, menor será o intervalo durante o qual S deve permanecer fechada para efetivamente descarregar C e maior será a porção do intervalo de bit durante o qual pode ser feita a integração. É intuitivamente óbvio que, quanto maior for o tempo de integração, maior será a supressão do efeito do ruído.

Conversão digital para analógica. O uso de chaves controladas por lógica para converter um sinal digital para analógico está ilustrado na Fig. 13.2-5. Os dígitos binários, a_0, a_1, . . . , a_{n-1}, considerados como disponíveis simultaneamente, isto é, em paralelo em vez de em série, são usados para fornecer o controle lógico para operar as chaves. Uma chave fecha para o lado $+V$ se a_k está na lógica **1**, e fecha para terra se a_k está na lógica **0**. Como mostra a figura, o resistor associado com a chave operada pelo bit de entrada de significado numérico 2^k tem uma resistência $R/2^k$.

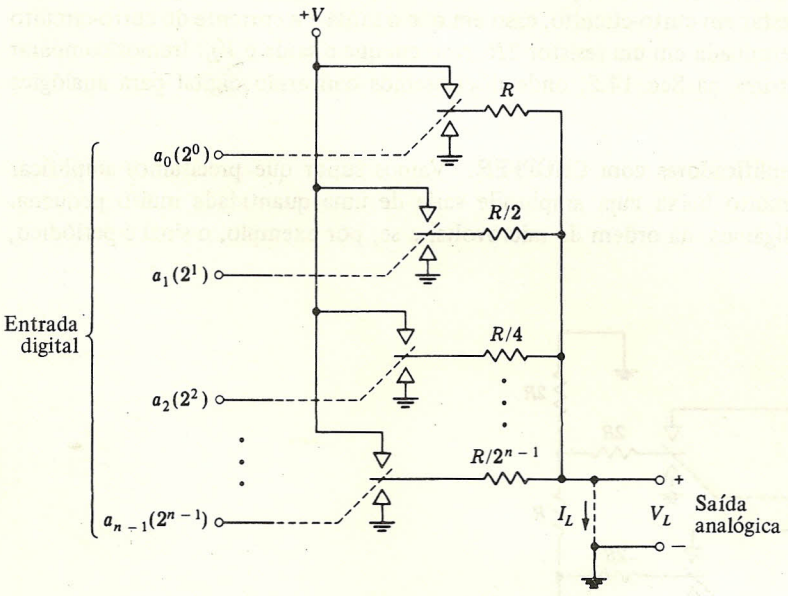


FIGURA 13.2-5
Um conversor digital para analógico (D/A).

O conversor digital para analógico (D/A) irá operar corretamente com os terminais de saída analógica em circuito aberto (neste caso a tensão de saída é V_L) ou em curto-circuito (como indicado pela conexão de curto-circuito tracejada e neste caso a corrente de saída é I_L). Seja a entrada digital a_{n-1}, a_{n-2}, . . . , a_0, onde cada a_k é $a_k = \mathbf{1}$ ou $a_k = \mathbf{0}$. No caso de saída em curto-circuito vemos por inspeção que

$$I_L = \sum_{k=0}^{k=n-1} \frac{V a_k}{R/2^k} = \frac{V}{R} \sum_{k=0}^{k=n-1} 2^k a_k \qquad (13.2\text{-}1)$$

de modo que I_L, como é necessário, é diretamente proporcional ao significado numérico da entrada digital. Quando os terminais de saída estão em circuito aberto, podemos notar que a

corrente no k-ésimo resistor, fluindo para o nó de conexão comum de todos os resistores, é

$$I_k = \frac{a_k V - V_L}{R/2^k} \tag{13.2-2}$$

Com a saída em aberto, a soma de todas estas correntes deve ser zero. Portanto,

$$\sum_{k=0}^{k=n-1} I_k = \sum_{k=0}^{k=n-1} \frac{a_k V - V_L}{R/2^k} = 0 \tag{13.2-3}$$

Resolvendo para V_L, obtemos, como é necessário, que

$$V_L = \left(\frac{V}{\sum_{k=0}^{n-1} 2^k} \right) \sum_{k=0}^{n-1} 2^k a_k \tag{13.2-4}$$

Um arranjo de resistores alternativo para um D/A está mostrado na Fig. 13.2-6. Aqui, novamente, a saída pode estar em curto-circuito, caso em que a saída é a corrente de curto-circuito I_L, ou a saída pode ser terminada em um resistor $2R$, caso em que a saída é V_L. Iremos comparar os dois arranjos de resistores na Sec. 14.5, onde discutiremos conversão digital para analógica em mais detalhe.

Estabilização de amplificadores com CHOPPER. Vamos supor que precisamos amplificar um sinal de freqüência muito baixa cuja amplitude varia de uma quantidade muito pequena. Esta mudança pode ser, digamos, da ordem de microvolts, e se, por exemplo, o sinal é periódico,

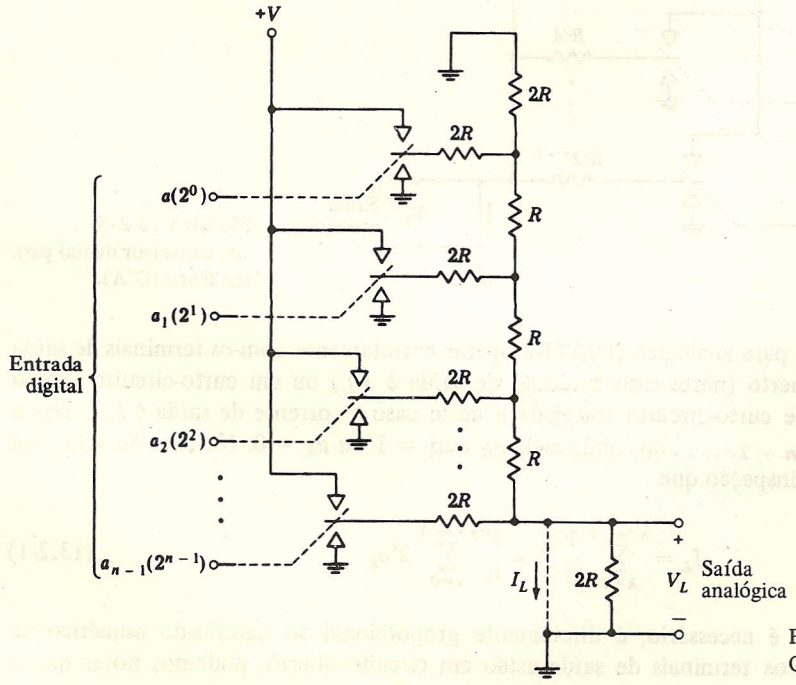
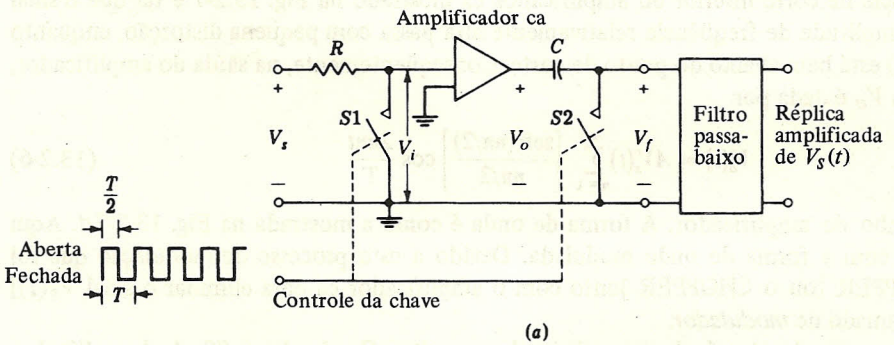


FIGURA 13.2-6
Outro tipo de conversor D/A.

o período pode ser muitos minutos, horas ou mesmo dias. Um amplificador ca com o acoplamento capacitivo entre os estágios não seria possível, pois estas capacitâncias de acoplamento seriam impraticavelmente grandes. Seria então necessário utilizar acoplamento direto entre os estágios. Com um amplificador cc não seríamos capaz de distinguir entre uma mudança na tensão de saída devido a uma mudança na tensão de entrada ou devido a uma deriva em algum componente ou dispositivo ativo. Se o amplificador tem um ganho alto, mesmo pequenas mudanças no ponto de operação do primeiro estágio, amplificadas pelos estágios restantes, poderiam causar uma grande mudança na saída.

Um método para contornar esta dificuldade está mostrado na Fig. 13.2-7*a*. O sinal de entrada variando lentamente V_s está mostrado na Fig. 13.2-7*b*. Suponha que a chave $S1$ está sendo acionada de modo que está alternativamente ABERTA e FECHADA. Então o sinal V_i na entrada do amplificador aparecerá como na Fig. 13.2-7*c*. Quando $S1$ está ABERTA, $V_i = V_s$; quando $S1$ está FECHADA, $V_i = 0$. Observe que a forma de onda V_i é uma versão cortada da forma de onda de V_s. Por esta razão, o circuito formado pela resistência R e chave $S1$, na aplicação presente, é chamado CHOPPER (a tradução da palavra CHOPPER é "cortador", mas foi mantida a palavra em inglês pois é o termo normalmente usado para este tipo de circuito).



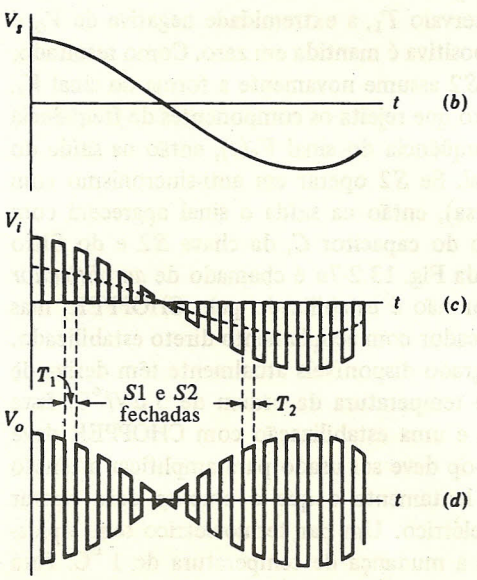


FIGURA 13.2-7
(*a*) Um amplificador estabilizado com CHOPPER. (*b*) Uma forma de onda de entrada. (*c*) A entrada do amplificador. (*d*) A saída do amplificador.

Na Fig. 13.2-7*c* notamos que, quando a chave está ABERTA, o sinal V_i reproduz o sinal de entrada V_s. Como foi desenhado na figura, ocorre em V_s uma mudança perceptível de tensão durante qualquer intervalo em que $S1$ está ABERTA. Assim, quando V_s é positiva, as extremidades positivas da forma de onda V_i não estão numa tensão constante, e similarmente para as extremidades negativas quando V_s é negativa. Esta característica não é de modo algum essencial à operação. Geralmente, a freqüência de operação da chave é muito alta comparada com a freqüência máxima do sinal V_s (tipicamente 100 vezes maior). Portanto, não há mudança apreciável durante o intervalo em que $S1$ está ABERTA. Assim, é correto descrever a forma de onda V_i como uma *onda quadrada* de amplitude proporcional a V_s e tendo um valor médio (mostrado tracejado) que também é proporcional ao sinal V_s. Expresso de outra maneira, a forma de onda V_i é uma onda quadrada com a freqüência de chaveamento, modulada em amplitude pelo sinal de entrada sobreposto a um sinal que é proporcional ao sinal de entrada V_s. É deixado como problema mostrar que $V_i(t)$ é dado por

$$V_i(t) = \tfrac{1}{2}V_s(t) + V_s(t) \sum_{n=1}^{\infty} \left[\frac{\text{sen}(n\pi/2)}{n\pi/2}\right] \cos \frac{2\pi nt}{T} \tag{13.2-5}$$

A freqüência de corte inferior do amplificador ca mostrado na Fig. 13.2-7 é tal que o sinal modulado em amplitude de freqüência relativamente alta passa com pequena distorção, enquanto o sinal $1/2\ V_s(t)$ está bem abaixo do ponto de corte. Conseqüentemente, na saída do amplificador, a forma de onda V_o é dada por

$$V_o(t) = AV_s(t) \sum_{n=1}^{\infty} \left[\frac{\text{sen}(n\pi/2)}{n\pi/2}\right] \cos \frac{2\pi nt}{T} \tag{13.2-6}$$

onda A é o ganho do amplificador. A forma de onda é como a mostrada na Fig. 13.2-7*d*. Aqui ficamos apenas com a forma de onda modulada. Devido a este processo de modulação que foi obtido, o CHOPPER [ou o CHOPPER junto com o amplificador ca para eliminar o sinal $V_s(t)$] é geralmente chamado de *modulador.*

O sinal é recuperado através do mecanismo do capacitor C e da chave $S2$. A chave $S2$ abre e fecha em sincronismo com $S1$. Assim, durante o intervalo T_1, a extremidade negativa de V_o é mantida em zero, enquanto durante T_2 a extremidade positiva é mantida em zero. Como resultado, exceto por um aumento na amplitude, o sinal V_f em $S2$ assume novamente a forma do sinal V_s. Se agora este sinal V_f é passado por um filtro passa-baixo que rejeita os componentes de freqüência da onda quadrada e transmite os componentes de freqüência do sinal $V_s(t)$, então na saída do filtro temos uma réplica amplificada do sinal original. Se $S2$ operar em anti-sincronismo com $S1$ ($S2$ FECHA quando $S1$ está ABERTA e vice-versa), então na saída o sinal aparecerá com polaridade reversa. Em ambos os casos a combinação do capacitor C, da chave $S2$ e do filtro constitui um *demodulador síncrono*. O amplificador da Fig. 13.2-7*a* é chamado de *amplificador estabilizado com CHOPPER.* Note que o amplificador não é estabilizado pelo CHOPPER, mas que o CHOPPER elimina a necessidade de um amplificador com acoplamento direto estabilizado.

Os amplificadores operacionais em circuito integrado disponíveis atualmente têm deriva de tensão de OFFSET de entrada com sensibilidade de temperatura da ordem de 5 μV/°C. Esta sensibilidade é muito grande para algumas aplicações e uma estabilização com CHOPPER deve ser empregada. Considere, por exemplo, que um amp-op deve ser usado para amplificar a tensão de saída de um par termoelétrico que varia muito lentamente e que o amp-op deve operar nominalmente no mesmo ambiente que o par termoelétrico. Um par termoelétrico tem, tipicamente, uma saída que varia de cerca de 30 μV para a mudança de temperatura de 1 °C. Para

medir mudanças de temperatura menor que um grau, será necessário que a deriva total do amplificador seja menor que 10 μV. Se a faixa de temperatura encontrada é, digamos, 100°C, então não poderemos utilizar um amplificador com deriva de temperatura maior do que 0,1 μV/°C. Este número é menor por um fator de 50 do que aquele normalmente fornecido por um amp-op.

Controle de parâmetro. Como um exemplo final de chaveamento analógico controlado por lógica, podemos notar que este chaveamento pode ser usado bastante efetivamente para controlar os parâmetros associados com circuitos feitos para processar sinais analógicos ou mesmo seu modo de operação. Assim, na Fig. 13.2-8, dependendo de quais chaves estão fechadas, temos um amplificador de ganho ajustável, um integrador com constante de tempo ajustável ou mesmo um filtro mais complicado.

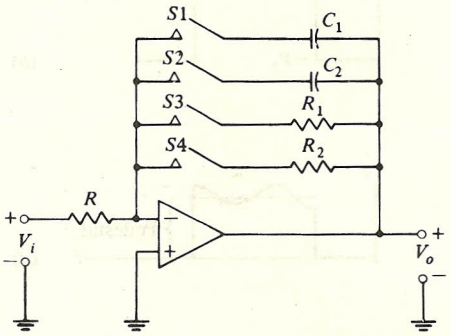


FIGURA 13.2-8
Um filtro ativo cuja função de transferência é determinada por quais das chaves estão fechadas.

13.3 PORTAS DE TRANSMISSÃO A DIODO

Diodos, transistores bipolares e transistores de efeito de campo (tanto de junção como de porta isolada) podem ser usados como chaves analógicas. As chaves a diodo são mais rápidas do que as chaves a transistor pois os tempos de armazenamento e as capacitâncias associadas com diodos são apreciavelmente menores do que no caso de transistores. Isto é particularmente verdadeiro quando são utilizados HOT-CARRIER, isto é, diodos Schottky. Os diodos, por outro lado, sendo dispositivos de dois terminais, não têm eletrodo de controle e, portanto, geralmente levam a circuitos mais complicados do que no caso de transistores. Entretanto, quando a velocidade é a característica mais importante, os diodos são os dispositivos ativos escolhidos. Iremos agora examinar algumas portas analógicas a diodo.

Porta com um diodo. Uma porta com um diodo está mostrada na Fig. 13.3-1*a*. Uma tensão de controle V_c, como na Fig. 13.3-1*b*, abre e fecha a porta para regular a transmissão do sinal analógico V_a. Para uma tensão analógica típica, como mostrada na Fig. 13.3-1*c*, a saída V_o aparece como na Fig. 13.3-1*d*. Notamos que o sinal analógico, quando transmitido através da porta, é sobreposto a um *pedestal*, isto é, a linha de base para a saída é diferente, dependendo se a porta está aberta ou fechada.

Esta porta (como todas as portas) tem uma faixa limitada de amplitudes (de V_a) na qual irá operar. Com V_c em $V_c = V_2$, o diodo D está normalmente cortado. Entretanto, se o pico positivo de sinal analógico for muito grande, haverá transmissão destes picos. De forma similar,

com $V_C = V_1$, uma excursão negativa do sinal analógico que é muito grande irá cortar o diodo. A faixa permitida de entrada analógica, e também a atenuação do sinal analógico, depende dos valores dos componentes do circuito e é facilmente calculada (Probs. 13.3-1 a 13.3-3).

Finalmente, notamos na Fig. 13.3-1*e* uma configuração alternativa de uma porta com um diodo na qual a chave a diodo aparece como um elemento em paralelo. A operação deste dispositivo é deixada para os problemas.

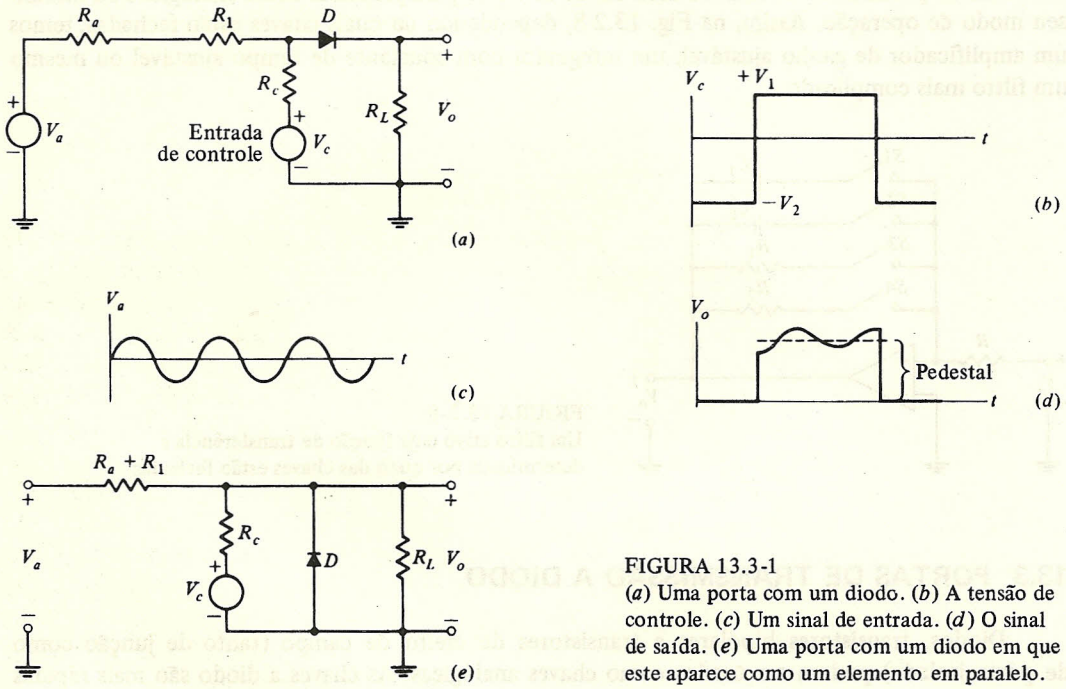


FIGURA 13.3-1
(*a*) Uma porta com um diodo. (*b*) A tensão de controle. (*c*) Um sinal de entrada. (*d*) O sinal de saída. (*e*) Uma porta com um diodo em que este aparece como um elemento em paralelo.

Porta com dois diodos. Uma limitação principal para a porta com um diodo é o pedestal notado na Fig. 13.3-2. O pedestal é eliminado na porta com dois diodos da Fig. 13.3-2. Note que esta porta com dois diodos é uma combinação de duas portas com um diodo do tipo mostrado na Fig. 13.3-1*a*. São necessárias duas tensões de controle simétricas V_C e $-V_C$. Quando as tensões de controle estão nos níveis V_1 e $-V_1$, respectivamente, os diodos conduzem e o sinal analógico V_a é transmitido para a saída. Quando os sinais de controle estão nos níveis V_2 e $-V_2$, respectivamente, os diodos não conduzem e a porta está fechada para a transmissão.

Como resultado da simetria do circuito e da simetria do sinal de controle, não haverá pedestal na saída da porta. (Podemos também observar que, devido à simetria, não há corrente fluindo através da fonte de sinal analógico em resposta à fonte de tensão de controle.) Supomos até agora que o sinal de controle tem a forma retangular. Entretanto, a menos que seja necessário que a porta abra e feche rapidamente, não é necessário que o sinal de chaveamento faça transições abruptas entre níveis. De forma similar, enquanto os níveis de tensão de controle são capazes de manter os diodos definitivamente conduzindo ou definitivamente não conduzindo (independente-

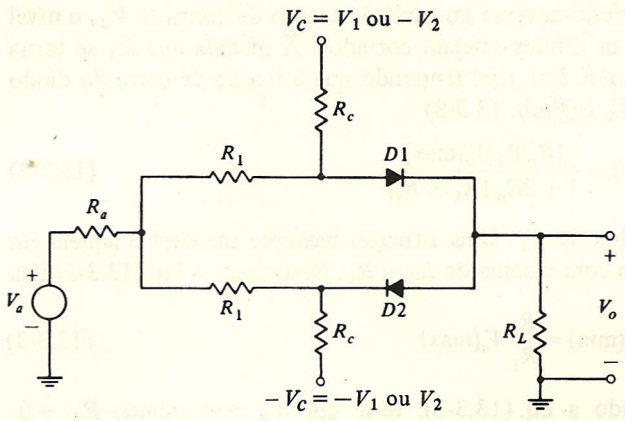


FIGURA 13.3-2
Uma porta de transmissão em ponte com dois diodos.

mente de V_a), não há necessidade de que as tensões de controle permaneçam absolutamente constantes entre as transições. Importante, em relação ao equilíbrio, é que qualquer que seja a forma das tensões de controle, elas devem ser *idênticas em formato*, exceto evidentemente na polaridade. Se, por exemplo, as duas tensões de controle têm tempos de subida diferentes, picos (chamados *glitches*) aparecem na saída no instante de abertura e fechamento das portas. Um método que geralmente fornece um meio efetivo de gerar tensões de controle de formas idênticas é obter estas formas de onda de enrolamentos bifilares idênticos em um transformador de pulso.

O equilíbrio também requer que os diodos tenham características idênticas. Devido a estas considerações, vários fabricantes produzem *conjuntos de diodos casados*. Estes diodos, consistindo em um par ou um grupo de quatro diodos (quadras) ou mesmo um grupo de seis diodos, são casados em relação à corrente direta, corrente reversa, dependência com a temperatura, e algumas vezes também resposta em freqüência. As quadras e o conjunto de seis diodos encontram aplicação nas portas com quatro e seis diodos, discutidas abaixo. Os conjuntos podem consistir em diodos individuais, diodos em um encapsulamento comum ou diodos formados por técnicas de circuito integrado com o propósito de assegurar uma dependência igual com a temperatura.

Como na porta da Fig. 13.3-1, aqui também, na Fig. 13.3-2, os valores dos componentes do circuito e a faixa de excursão da tensão analógica determinarão os níveis de tensão de controle V_1 e V_2 necessários. Por outro lado, quando a porta deve transmitir, $V_c = V_1$ deve ser suficientemente positiva ($-V_c = -V_1$ suficientemente negativa) para manter ambos os diodos conduzindo em toda a faixa de tensão analógica. De forma similar, quando a porta deve estar fechada para a transmissão, $V_c = -V_2$, deve ser adequada para manter os dois diodos cortados em toda a faixa da tensão analógica. Estes níveis de tensão de controle e o ganho da porta V_o/V_a, onde

$$\frac{V_o}{V_a} \approx \frac{R_L \,||\, \frac{R_c}{2}}{R_a + \frac{R_1}{2} + \left(R_L \,||\, \frac{R_c}{2}\right)} \tag{13.3-1}$$

estão calculados nos Probs. 13.3-7 e 13.3-8. Para chegar à Eq. (13.3-1) supomos que $V_C = V_1$ e que os diodos são ideais.

Uma dificuldade associada com a porta da Fig. 13.3-2 é que cada resistor R_1 colocado entre a fonte de sinal analógico e a saída tem o efeito de reduzir o ganho da porta. Entretanto,

diminuindo a resistência de R_1, há um efeito adverso no nível da tensão de controle V_2, o nível no qual V_c deve ser mantido para que os diodos estejam cortados. À medida que R_1 se torna menor, o módulo de V_2 necessário aumenta. Em geral (supondo que a tensão de corte do diodo é $V_\gamma = 0$) o valor mínimo permitido de V_2 é (Prob. 13.3-8)

$$V_2(\text{min}) = \frac{(R_c/R_1)V_a(\text{max})}{1 + 2R_a/(R_1 + R_c)} \tag{13.3-2}$$

onde V_a (max) é o valor máximo positivo de V_a. Uma situação bastante razoável é aquela em que R_a é muito pequena em comparação com a soma de R_1 e R_c. Neste caso, a Eq. (13.3-2) fica

$$V_2(\text{min}) = \frac{R_c}{R_1} V_a(\text{max}) \tag{13.3-3}$$

Entretanto, mesmo no caso geral, usando a Eq. (13.3-2), vê-se que $V_2 \to \infty$ quando $R_1 \to 0$. Assim, o ganho máximo possível da porta é limitado por R_1 através de V_2 (min).

Porta com quatro diodos. Uma porta com diodo aperfeiçoada, utilizando quatro diodos, está mostrada na Fig. 13.3-3. Note que duas tensões *fixas* de mesma amplitude são aplicadas aos resistores R_c, enquanto as tensões de chaveamento $+V_c$ e $-V_c$ são aplicadas através de dois diodos adicionais, D_3 e D_4.

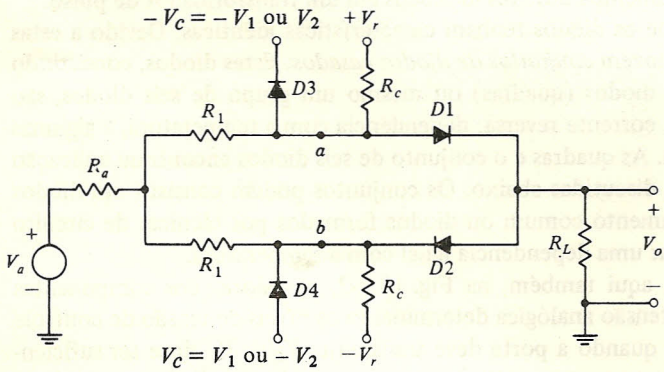


FIGURA 13.3-3
Uma porta com quatro diodos.

Durante a transmissão, com $V_c = V_1$, os diodos $D3$ e $D4$ estão cortados. A porta é então idêntica à porta com dois diodos da Fig. 13.3-2, exceto que a corrente através dos diodos $D1$ e $D2$ é fornecida pelas tensões de referência fixas $+V_r$ e $-V_r$ em vez da tensão de controle. Além disto, referindo-se à Fig. 13.3-3, vemos que a tensão de saída nunca pode exceder $\pm V_1$. Pois, se V_a chegar a um valor que está V_o acima de V_1, o diodo $D3$ iria conduzir, grampeando o ponto a à tensão $V_1 + 0{,}7$. De modo similar, b seria grampeado a $-V_1 - 0{,}7$ se V_a fosse uma tensão muito negativa.

Quando não há transmissão com $V_c = -V_2$, os pontos a e b estão grampeados pelos diodos $D3$ e $D4$ a $-V_2 + 0{,}7$ e $V_2 - 0{,}7$, respectivamente. Os diodos $D1$ e $D2$ estão, portanto, cortados e permanecem cortados para todos os valores de V_a.

Nesta porta com quatro diodos, os resistores R_1 podem ter uma resistência pequena, aumentando portanto o ganho da porta. Os valores das resistências precisam apenas ser suficientemente

grandes para permitir um grampeamento efetivo, de modo que, quando $V_c = -V_2$, a tensão no ponto a é negativa e a tensão no ponto b é positiva. Isto é, as resistências R_1 e R_c precisam apenas ser grandes em comparação com as resistências diretas dos diodos $D3$ e $D4$. Pode ser facilmente verificado que o ganho da porta com quatro diodos é idêntico à Eq. (13.3-1), exceto que agora R_1 pode ser significantemente menor.

Como notado, uma primeira vantagem da porta com quatro diodos é que esta porta torna possível ter um ganho de porta próximo da unidade (pois R_1 pode ser pequeno), sem ser necessária uma tensão V_2 inconvenientemente grande. Uma segunda vantagem é que, quando não há transmissão, a isolação entre entrada e saída é aumentada. Este aumento resulta do fato de que, quando não há transmissão, não apenas os diodos $D1$ e $D2$ estão cortados, mas também os pontos a e b estão grampeados a tensões fixas pelos diodos $D3$ e $D4$. Uma terceira vantagem é que, para eliminar um pedestal de saída, não é necessário que as tensões de controle $+V_c$ e $-V_c$ sejam iguais em módulo. A supressão do pedestal neste caso depende principalmente da simetria dos componentes do circuito e do módulo igual das tensões fixas $+V_r$ e $-V_r$.

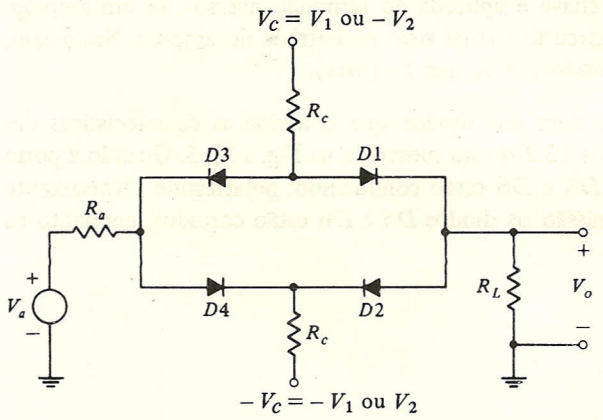


FIGURA 13.3-4
Uma forma alternada de porta com quatro diodos.

Forma alternada de uma porta com quatro diodos. Uma porta alternada com quatro diodos está mostrada na Fig. 13.3-4. Aqui as fontes de tensão fixas $+V_r$ e $-V_r$ não são usadas. Quando $V_c = V_1$, todos os quatro diodos conduzem e há transmissão pela porta. Quando $V_c = = V_1$, todos os quatro diodos conduzem e há transmissão pela porta. Quando $V_c = -V_2$, os diodos estão cortados e a porta está fechada para transmissão. Durante a transmissão, a ligação entre a entrada e a saída é feita através do equivalente a um único diodo polarizado diretamente (na verdade dois caminhos paralelos de dois diodos série cada). Quando não há transmissão, quando todos os quatro diodos estão cortados, a isolação entre a fonte e a carga é certamente melhor do que na porta com dois diodos da Fig. 13.3-2. Comparando esta porta com a porta com quatro diodos da Fig. 13.3-3, devemos reconhecer que na Fig. 13.3-3 podemos operar com valores baixos da resistência R_1 para manter o ganho da porta próximo da unidade. Neste caso, a ação de grampear dos diodos $D3$ e $D4$ será de eficiência limitada, e de novo a isolação da porta com quatro diodos em discussão será superior.

Referindo-se à Fig. 13.3-4, vemos que, se o sinal analógico V_a atinge um valor de pico V_a (max), então, para manter a porta fechada para transmissão, é necessária uma tensão $V_2 = Va$

(max). Por outro lado, durante a transmissão é necessário que todos os quatro diodos sejam mantidos em condução. Para satisfazer esta condição é necessário (Prob. 13.3-9) que o nível de controle V_1 seja aproximadamente

$$V_1 \approx \frac{R_c V_a(\text{max})}{R_a + \left(R_L \,||\, \frac{R_c}{2}\right)} = \frac{R_c V_a(\text{max})}{R_a + \frac{R_c R_L}{R_c + 2R_L}} \tag{13.3-4}$$

Se, digamos, R_a é pequena em comparação com R_c e R_L, então a Eq. (13.3-4) torna-se

$$V_1 = \left(2 + \frac{R_c}{R_L}\right) V_a(\text{max}) \tag{13.3-5}$$

e para $R_c \approx R_L$, $V_1 = 3\, V_a$ (max). Aqui está, então, uma possível desvantagem da porta com quatro diodos em discussão. Isto é, o valor necessário de V_1 pode tornar-se inconvenientemente alto. Esta situação pode piorar substancialmente se os diodos não estão casados (veja Prob. 13.3-11). Por outro lado, suponha que a saída da chave é aplicada ao terminal inversor de um amp-op. Então a carga R_L é efetivamente o curto-circuito virtual visto na entrada do amp-op. Neste caso, $V_1 \approx R_C\, V_a$ (max)$/R_a$ e V_1 pode ser mesmo menor do que V_a (max).

Porta com seis diodos. Uma porta com seis diodos que combina as características das portas com quatro diodos das Figs. 13.3-3 e 13.3-4 está mostrada na Fig. 13.3-5. Quando a porta está fechada para transmissão, os diodos $D5$ e $D6$ estão conduzindo, polarizando reversamente todos os outros diodos. Durante a transmissão os diodos $D5$ e $D6$ estão cortados, enquanto os outros diodos estão conduzindo.

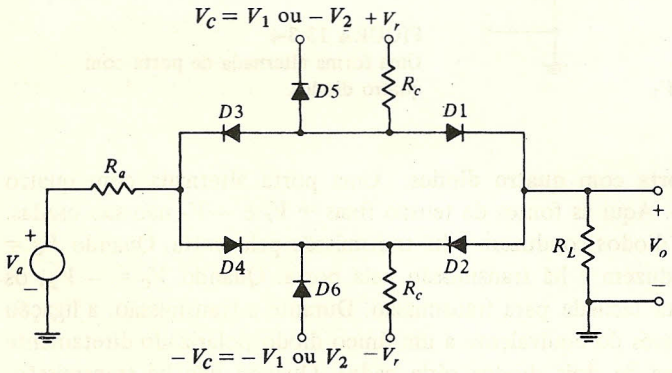


FIGURA 13.3-5
Uma porta com seis diodos.

Durante a transmissão, quando os diodos $D5$ e $D6$ estão polarizados reversamente, a porta com seis diodos fica equivalente à porta com quatro diodos da Fig. 13.3-4, exceto que as tensões fixas $+V_r$ e $-V_r$ substituem os níveis de controle de tensão V_1 e $-V_1$. Portanto, as Eqs. (13.3-4) e (13.3-5) se aplicam no caso dos seis diodos com V_1 substituído por V_r. Notamos no caso de quatro diodos da Fig. 13.3-4 uma desvantagem no possível valor inconvenientemente grande necessário para V_1. A vantagem do caso de seis diodos é aparente no fato de que aqui a tensão grande necessária aparece apenas como uma tensão fixa e não como um sinal de controle.

Como na porta da Fig. 13.3-3, também neste caso os sinais de controle não precisam ser balanceados. Da Fig. 13.3-5 verifica-se que, se os diodos de grampeamento $D5$ e $D6$ devem permanecer polarizados reversamente para um valor de pico do sinal analógico V_a (max), então V_1 deve ser pelo menos igual a V_a (max). Por outro lado, vê-se também que, quando não há transmissão, com $V_C = -V_2$, os diodos $D1$ e $D2$ permanecem cortados para qualquer valor de V_a. Assim, V_2 pode ser qualquer tensão não negativa. Para resumir, temos o resultado

$$V_1 = V_a(\text{max}), \qquad V_2 \geq 0$$

Circuitos de portas com diodos disponíveis comercialmente. A rede de diodos em circuito integrado tipo CA3019 da RCA consiste em seis diodos, quatro dos quais estão conectados internamente como a porta com quatro diodos da Fig. 13.3-4, enquanto os outros dois estão disponíveis individualmente. Todos os diodos são fabricados simultaneamente em uma única pastilha de silício e, portanto, têm características aproximadamente idênticas. Também seus parâmetros acompanham os dos outros diodos com variações pequenas de temperatura devido a suas proximidades e à condução térmica relativamente boa do silício. Uma porta com seis diodos típica utilizando esta rede de diodo em circuito integrado está mostrada na Fig. 13.3-6. Ela irá operar com sinais analógicos até cerca de 0,5 V eficaz e com freqüências até cerca de 170 MHz. A amplitude necessária do sinal de chaveamento está na faixa de 1 a 3 V eficazes, dependendo da amplitude do sinal analógico, e pode variar até 500 kHz. Um fato de interesse principal é, evidentemente, a ausência do pedestal na saída. O pedestal de saída pode ser observado diretamente aplicando um sinal de chaveamento e observando a amplitude relativa do sinal de chaveamento na saída, na ausência de um sinal analógico. Neste circuito, verifica-se que, com V_g igual a 2 V eficazes em 500 kHz e com o resistor ajustável de 5 kΩ colocado para saída mínima, o pedestal de saída é 100 mV eficaz.

Em nossa discussão de portas com diodos indicamos a chave a diodo com um elemento série. O diodo pode, evidentemente, ser também utilizado como um elemento paralelo. Um exemplo de uma porta com diodo como chave paralela, de novo usando quatro dos diodos da rede RCA, está mostrado na Fig. 13.3-7. O diodo $D1$, juntamente com seu resistor série, não faz

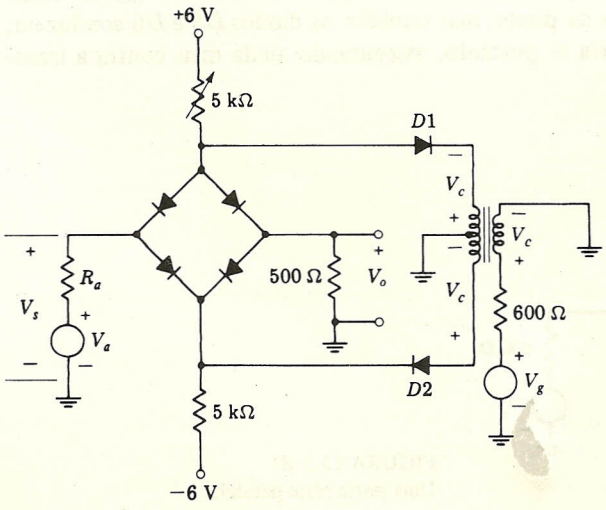


FIGURA 13.3-6
Uma porta com seis diodos utilizando a rede de diodos em circuito integrado RCA 3019.

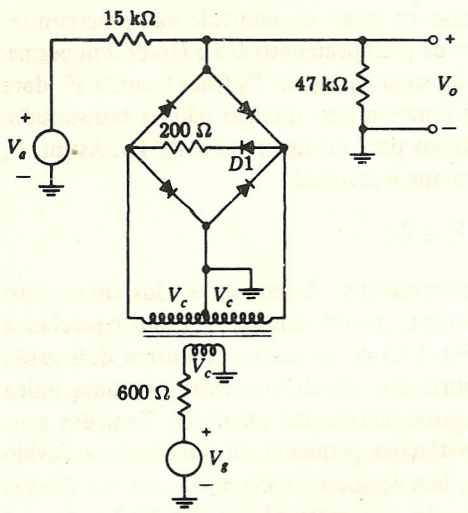


FIGURA 13.3-7
Uma porta com quatro diodos em paralelo.

propriamente parte da porta e não é essencial para sua operação. Entretanto, ele serve para manter a carga vista pela fonte de sinal de controle V_g mais aproximadamente constante em seu ciclo completo. Pois, de outra forma, quando a polaridade da tensão de chaveamento é tal que os quatro diodos da porta não estão conduzindo, a fonte de chaveamento vê nominalmente um circuito aberto. Devido aos altos valores de resistores envolvidos, esta porta operará com sinais de freqüência apenas até cerca de 500 kHz e com freqüência de chaveamento até cerca de 100 kHz.

Finalmente, a Fig. 13.3-8 mostra uma porta com seis diodos que é um pouco diferente da porta da Fig. 13.3-6. Neste caso, não são usadas tensões fixas. A porta combina o uso de diodos como chave em série e também como chave em paralelo. Durante a transmissão, o sinal de chaveamento mantém o ponto B positivo em relação ao ponto A. Os diodos $D1$, $D2$, $D3$ e $D4$ conduzem e fornecem uma conexão série da fonte analógica para a saída. Os diodos $D5$ e $D6$ estão polarizados reversamente. Quando a porta está fechada para transmissão, não só estão polarizados reversamente os quatro diodos da ponte, mas também os diodos $D5$ e $D6$ conduzem, fornecendo um caminho paralelo para terra e, portanto, assegurando ainda mais contra a transmissão do sinal.

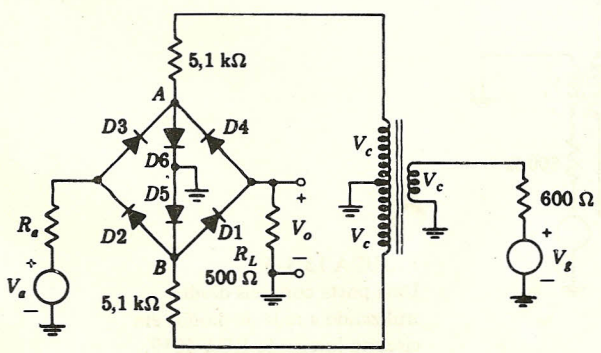


FIGURA 13.3-8
Uma porta série-paralelo.

Um circuito A/S de velocidade muito grande. Na porta com quatro diodos considerada na Fig. 13.3-4, supusemos uma forma de onda V_C, que consistia em dois sinais iguais em forma mas de polaridade oposta, simétricos em relação à terra. É possível evitar a exigência de duas formas de onda e utilizar um único sinal de controle, como fizemos nas Figs. 13.3-6 até 13.3-8. O uso deste único controle está ilustrado na Fig. 13.3-9*a*, onde deslocamos a tensão de controle para a *ponte*. Na Fig. 13.3-9*a* vemos que, durante a transmissão, a tensão de controle deve ficar em um nível de tensão positivo para manter os diodos conduzindo. Neste caso, o resistor r é necessário para limitar a corrente do diodo. Quando não há transmissão, o nível de V_C é negativo para manter os diodos cortados. Alternativamente, podemos usar a fonte de tensão V_C na Fig. 13.3-9*a* apenas para manter os diodos polarizados reversamente (neste caso o resistor r pode ser omitido) e uma fonte de corrente como na Fig. 13.3-9*b* para manter os diodos conduzindo.

As configurações de circuito mostradas nas Figs. 13.3-9*a* e *b* são empregadas no circuito amostrador e segurador de ordem zero de alta velocidade mostrado na Fig. 13.3-10. Este circuito é feito para operar com um tempo de carga da ordem de apenas cerca de 15 ns. Tempo de carga é o tempo durante o qual a chave está fechada para transmissão, de modo que o capacitor C pode carregar ao valor atual do sinal analógico. Para permitir estas velocidades, os diodos usados são do tipo *barreira Schottky*. Para simplificar a figura, o símbolo Schottky não é empregado.

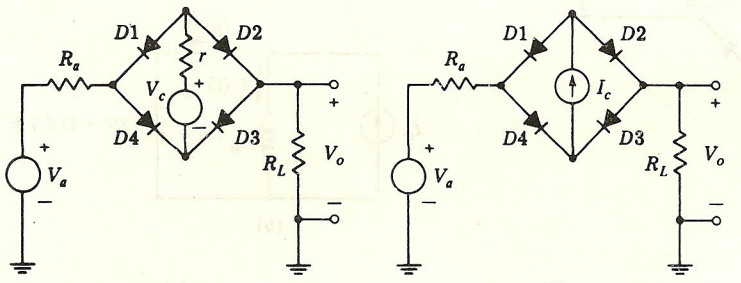


FIGURA 13.3-9
Uma porta com quatro diodos na qual a fonte de controle de chaveamento não está aterrada: (*a*) fonte de tensão usada para chaveamento; (*b*) fonte de corrente usada para chaveamento.

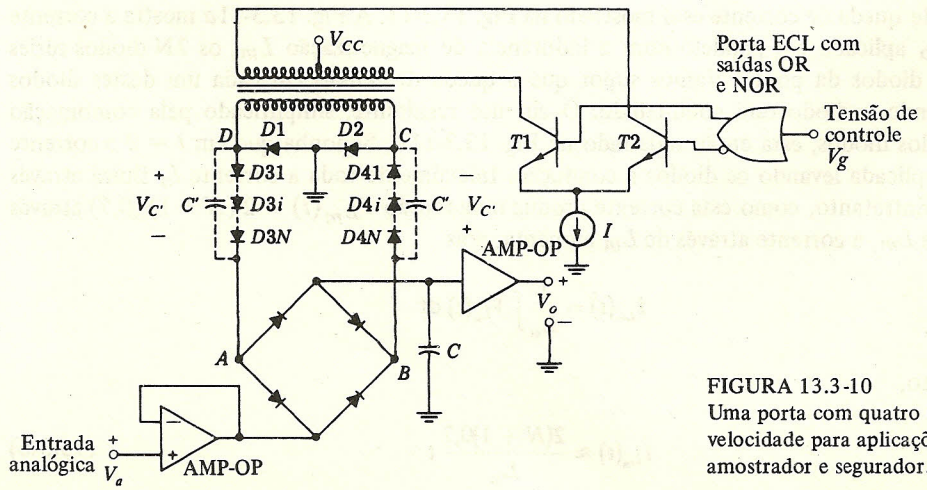
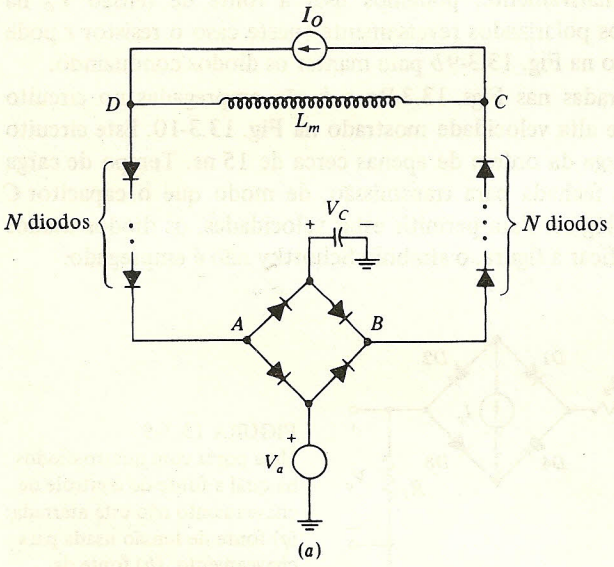


FIGURA 13.3-10
Uma porta com quatro diodos de alta velocidade para aplicações em circuito amostrador e segurador.

Na Fig. 13.3-10 uma corrente I é chaveada pelos transistores $T1$ e $T2$ para fluir em uma ou outra direção no primário do transformador. Assim, durante o intervalo de carga, uma corrente nominalmente constante flui através dos diodos $D3i$ e $D4i$ e na direção direta através dos diodos da ponte. Durante este tempo de carga os diodos $D1$ e $D2$ estão polarizados reversamente. Com os diodos da ponte polarizados diretamente, a tensão analógica de entrada é aplicada ao capacitor C, que constitui a carga. Note que neste modo de operação a ponte de quatro diodos é mantida conduzindo por uma fonte de corrente, como na Fig. 13.3-9*b*.



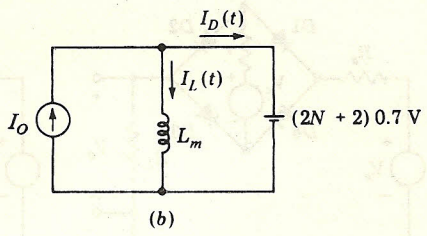


FIGURA 13.3-11
(*a*) Circuito para calcular a queda de corrente direta do diodo. (*b*) Circuito equivalente com os diodos combinados.

É de algum interesse estimar qual a indutância de magnetização do transformador necessária para manter a corrente durante o tempo de carga, como é necessário para assegurar que os diodos da ponte permaneçam conduzindo totalmente. Um circuito que pode ser usado para calcular a quantidade de queda de corrente está mostrado na Fig. 13.3-11. A Fig. 13.3-11*a* mostra a corrente secundária I_O aplicada em paralelo com a indutância de magnetização L_m, os 2N diodos séries e os quatro diodos da ponte. Vamos supor que a queda de tensão em cada um destes diodos é 0,7 V quando o diodo está conduzindo. O circuito resultante, simplificado pela combinação das tensões dos diodos, está então mostrado na Fig. 13.3-11*b*. Suponha que em $t = 0$ a corrente direta I_O é aplicada levando os diodos à condução. Inicialmente toda a corrente I_O fluirá através dos diodos. Entretanto, como esta corrente produz uma tensão $V_{Lm}(t) = 2(N + 1)(0{,}7)$ através da indutância L_m, a corrente através de L_m aumenta, pois

$$I_{L_m}(t) = \frac{1}{L_m} \int V_{L_m}(t)\, dt$$

Portanto,

$$I_{L_m}(t) \approx \frac{2(N + 1)0{,}7}{L_m} t \qquad (13.3\text{-}6)$$

Assim, a corrente do diodo $I_D(t)$ (Fig. 13.3-11*b*) diminui com o tempo, de acordo com

$$I_D(t) \approx I_o - \frac{1{,}4(N+1)t}{L_m} \tag{13.3-7}$$

Para assegurar que a corrente do diodo permaneça quase constante durante o tempo de carga T_c, vamos projetar L_m de modo que a queda em $I_D(t)$ seja 1%. Então, com $t = T_c$, temos

$$L_m \approx \frac{140(N+1)T_c}{I_o} \tag{13.3-8}$$

Por exemplo, se $I_o = 10$ mA, $T_c = 20$ ns e $N = 5$, então $L_m = 840$ μH.

Seleção do número de diodos N. Durante o intervalo de carga os diodos $D1$ e $D2$ (Fig. 13.3-10) devem estar polarizados reversamente. Assim, a tensão no nó C nas Figs. 13.3-10 e 13.3-11*a* deve ser menor que 0,65 V e a tensão no nó D deve ser maior que $-0{,}65$ V, independentemente do valor de V_a. Se o valor máximo de V_a é V_a (max), então temos, da Fig. 13.3-11*a*, que

$$0{,}65 \geqslant V(\text{no nó } C) = V_a - 0{,}7\,(N+1)$$

Resolvendo para N, obtemos

$$N \geqslant 1{,}43\ V_a(\text{max}) - 1{,}93 \tag{13.3-9}$$

Por exemplo, se $|\ V_a\ | \leqslant 5$ V, $N \geqslant 6$.

Operação durante o tempo em que não há transmissão. Quando a carga capacitiva C deve ser isolada da fonte de sinal, a corrente do transformador é invertida. Os diodos $D1$ e $D2$ mostrados na Fig. 13.3-10 agora ficam polarizados diretamente. Como a tensão $V_{C'}$ nos N capacitores dos diodos em cada perna (os quais representamos pelo capacitor C') não pode mudar instantaneamente, a tensão no ponto B da ponte de diodo sobe instantaneamente para $V_{C'} + V_{D2}$, enquanto a tensão no ponto A cai para $-(V_{C'} + V_{D1})$. Supondo, novamente, que há N diodos presentes, vemos que $V_{BA} = (2N + 2)\,0{,}7$ V e, portanto, a ponte de diodo é reversamente polarizada instantaneamente.

A tensão nos capacitores parasitas C' diminui rapidamente para zero, o caminho de descarga sendo através dos diodos $D3i$ e $D4i$. Depois que a descarga é completada, $V_{BA} = 1{,}4$ V e a ponte é mantida no corte. É facilmente verificado que a ponte permanece no corte, independentemente de V_a, até que a corrente no transformador seja novamente invertida.

Note que neste modo de operação a ponte de diodo é mantida no corte por uma fonte de tensão como na Fig. 13.3-9*a*, a fonte de tensão, em regime permanente, sendo a tensão nos diodos $D1$ e $D2$.

13.4 PORTAS A TRANSISTOR DE JUNÇÃO BIPOLAR

Os circuitos de porta com diodo têm a importante vantagem de velocidade, especialmente quando são usados *diodos de barreira de Schottky*. Os diodos, entretanto, sendo dispositivos de dois terminais, sem o eletrodo de controle, não fornecem ganho e levam a circuitos um tanto

complicados. Somos, portanto, levados a perguntar sobre a possibilidade de circuitos de porta a transistor (bipolar ou FET).

Uma porta a transistor simples está mostrada na Fig. 13.4-1*a*. Está indicado um transistor bipolar, mas um FET também poderia ser usado. A tensão de controle V_c pode ser usada para levar o transistor à sua região ativa, permitindo, portanto, a transmissão do sinal analógico V_a para a saída; ou V_c pode levar o transistor para o corte, fechando, desta forma, a porta. Este circuito simples tem uma desvantagem, pois irá aparecer um pedestal na saída. Uma tentativa de suprimir o pedestal está indicada na Fig. 13.4-1*b*. Aqui, dois transistores são usados. As duas tensões de chaveamento de polaridade oposta são projetadas para manter a mesma corrente de carga quiescente, tanto quando $T1$ está conduzindo e $T2$ está cortado (porta ABERTA) como quando $T1$ está cortado e $T2$ está conduzindo (porta FECHADA). O arranjo proposto pode, em princípio, ser ajustado para eliminar o pedestal. Entretanto, como indicado na Fig. 13.4-1*c*, mesmo com formas de ondas de chaveamento inteiramente simétricas, picos inadmissíveis podem aparecer nos instantes de abertura e fechamento da porta. A dificuldade aparece devido aos

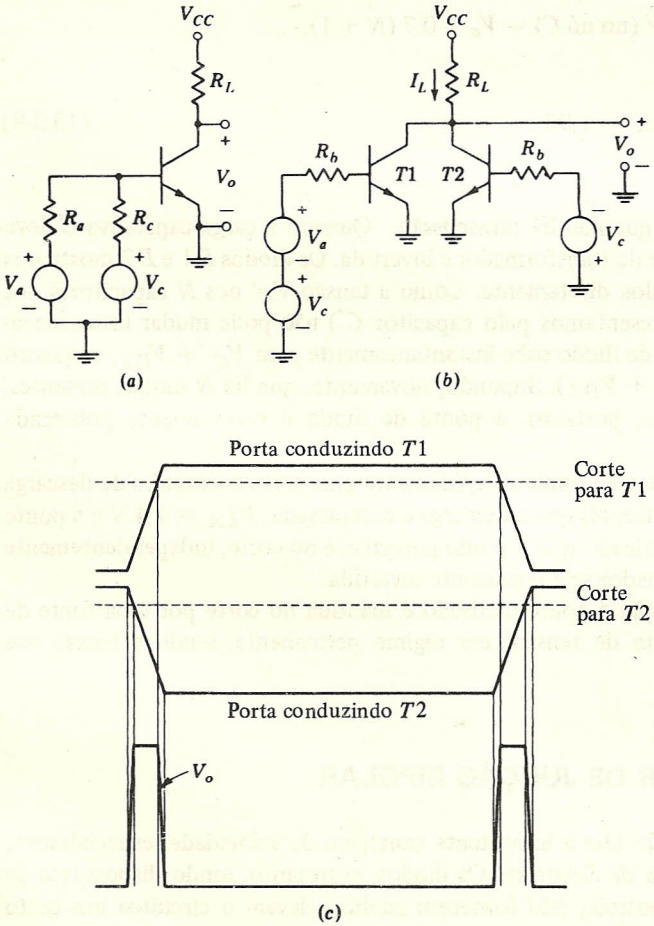


FIGURA 13.4-1
(*a*) Um transistor bipolar usado como uma porta. (*b*) Dois transistores são utilizados para suprimir o pedestal. (*c*) A origem de picos na saída da porta em (*b*).

problemas práticos de tentar planejar uma técnica pela qual um transistor passa a conduzir precisamente no mesmo instante e na mesma extensão em que o outro transistor é levado ao corte. A situação é diferente do caso dos circuitos a diodo, onde a tensão de chaveamento aciona (condução no mesmo instante, ou corte no mesmo instante) todos os diodos através do qual o sinal encontra um caminho para a saída.

Se os tempos de subida e descida das tensões de chaveamento são pequenos em comparação com o intervalo durante o qual as portas são mantidas ABERTAS ou FECHADAS, os picos descritos acima podem ser relativamente curtos, o suficiente para não serem seriamente inadmissíveis. Não obstante, devido a estes picos e devido à dificuldade de casamento e de manter este casamento entre dois transistores o suficiente para suprimir o pedestal, portas empregando transistores no modo amplificador são de aplicabilidades limitadas. Portanto, quando transistores são usados em um modo de chaveamento, eles são usados como ilustram os três círculos da Fig. 13.1-1. Com transistores bipolares os terminais de chaveamento são o coletor e o emissor, e a tensão de controle é aplicada ao terminal base. Com FET, os terminais de chaveamento são a fonte e o dreno, e a tensão de controle é aplicada à porta.

Nas portas de transmissão da Fig. 13.4-1, os transistores são usados como amplificadores. Um sinal analógico é aplicado à base, e uma saída é obtida no coletor. Portas alternativas com transistores bipolares estão mostradas na Fig. 13.4-2. Aqui, os transistores são usados como elementos de impedância variável. Na Fig. 13.4-2*a*, para permitir a transmissão, o transistor é levado à saturação pela fonte de controle V_C. Para impedir a transmissão, o transistor é levado ao corte. Na Fig. 13.4-2*b* a transmissão é permitida quando o transistor está cortado e não o é quando o transistor está na saturação. O circuito da Fig. 13.4-2*b* tem alguma vantagem muito relativa, pois permite o uso de uma fonte de controle em que um dos terminais pode ser aterrado em comum com um terminal da fonte de sinal. Na Fig. 13.4-2*a* a fonte de controle terá de ser, geralmente, aplicada através de um transformador.

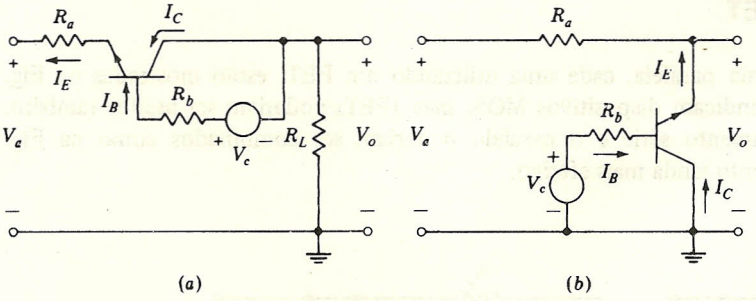


FIGURA 13.4-2
O transistor usado como (*a*) um elemento série e (*b*) um elemento paralelo.

Na Sec. 1.10 notamos que, quando um transistor é levado bastante na saturação ($\sigma << 1$), a tensão de saturação coletor-emissor é diferente, dependendo de o transistor estar operando no modo *normal* ou no modo *invertido*. No modo normal, a fonte de acionamento da base está conectada entre a base e o emissor, e mostramos que

$$V_{CE}(\text{sat}) \approx V_T \ln \frac{1}{\alpha_I} \tag{13.4-1}$$

Com $\alpha_I \approx 0{,}1$, obtemos $V_{CE}(\text{sat}) \approx 60$ mV. Por outro lado, no modo invertido, onde a fonte de acionamento da base está conectada entre a base e o coletor, obtemos que

$$V_{CE}(\text{sat}) = -V_T \ln \frac{1}{\alpha_N} \tag{13.4-2}$$

Com $\alpha_N = 0{,}98$, temos $V_{CE}(\text{sat}) = -1$ mV. O transistor saturado no modo invertido é claramente mais próximo de uma chave ideal fechada do que o transistor saturado no modo normal. Por esta razão os transistores são acionados no modo invertido nas portas da Fig. 13.4-2.

A tensão nos transistores saturados dos circuitos de porta é chamada *tensão de OFFSET*. Na Fig. 13.4-2*a*, supondo $R_a << R_L$, a saída V_o será deslocada (OFFSET) de V_a pela tensão de saturação sempre que o circuito da porta permitir a transmissão. De forma similar, na Fig. 13.4-2*b* a saída V_o será deslocada (OFFSET) de seu valor desejado (terra, 0 V) sempre que o circuito da porta estiver fechado para transmissão. A existência de uma tensão de OFFSET é geralmente desvantajosa, pois irá gerar um pedestal na saída. É particularmente desvantajosa quando a porta estiver sendo usada como CHOPPER onde a tensão de entrada é muito pequena. Em um circuito CHOPPER ideal, como notamos, procuramos gerar na saída da porta uma onda quadrada de amplitude igual ao módulo de entrada V_a. Considere então que, no circuito da Fig. 13.4-2, $V_a = 0$ V. Então haverá presente na saída uma onda quadrada de amplitude igual à tensão de OFFSET. A menor tensão de entrada para a qual o CHOPPER pode efetivamente ser usado é limitada por esta onda quadrada residual devido à tensão de OFFSET.

Devido às dificuldades associadas com a tensão de OFFSET e às não-linearidades do transistor na região de saturação, os circuitos de portas usando portas com transistores bipolares como elementos de transmissão, como na Fig. 13.4-2, não são mais usados. Os circuitos são amplamente utilizados, entretanto, com FETs, como discutido na seção seguinte.

13.5 PORTAS COM FET

Uma porta série e uma paralela, cada uma utilizando um FET, estão mostradas na Fig. 13.5-1*a* e *b*. Os diagramas indicam dispositivos MOS, mas JFETs poderiam ser usados também, e, evidentemente, o chaveamento série e o paralelo poderiam ser combinados como na Fig. 13.1-1*c* para obter chaveamento ainda mais efetivo.

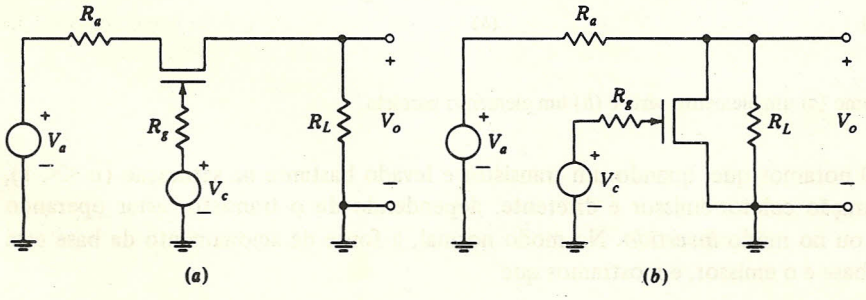


FIGURA 13.5-1
(*a*) Uma porta controlada em série por FET. (*b*) Uma porta controlada em paralelo por FET.

Uma importante vantagem da chave com FET sobre a chave com transistor bipolar é que a primeira não exibe OFFSET. Isto pode ser visto na Fig. 1.11-3. Aqui, reproduzimos a característica volt-ampère de dreno de um JFET típico nas vizinhanças da origem. A característica volt-ampère de um MOSFET típico é idêntica à característica mostrada. Note com que precisão a característica passa pela origem. Podemos notar além disto que, se as excursões de tensão e corrente são limitadas a uma região bastante próxima da origem, as características são aquelas de um resistor "linear", se bem que com uma resistência que é uma função da tensão porta-fonte.

Uma segunda vantagem da chave com FET é sua simetria em relação à origem. O FET tem características similares nos modos de operação direto e inverso. A distinção entre o FET e o BJT é facilmente vista comparando-se as Figs. 1.11-3 e 1.10-1. A Fig. 1.10-1 mostra a característica volt-ampère do transistor bipolar quando I_B é constante.

13.6 AMPLIFICADORES OPERACIONAIS

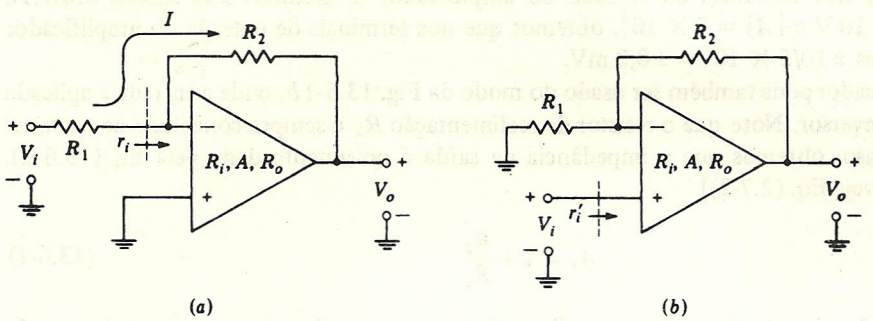


FIGURA 13.6-1
(*a*) Um amp-op empregando erro de corrente. (*b*) Um amp-op empregando erro de tensão.

Os amplificadores operacionais foram discutidos no Capítulo 2. Como, entretanto, teremos ocasião de incluir amp-ops em portas que serão discutidas nas seções seguintes deste capítulo, repetimos aqui alguns dos pontos especialmente relevantes acerca destes amplificadores. Na Fig. 13.6-1*a* o amplificador é mostrado com o sinal de entrada e o resistor de realimentação R_2 dirigidos para a entrada inversora (−), enquanto a entrada não-inversora (+) está aterrada. O amplificador tem ganho de malha aberta A, uma impedância de entrada R_i e uma impedância de saída em malha aberta R_o, sendo todos especificados pelo fabricante. Então (para A e R_i grandes), o ganho A_f e a impedância de saída Z_o são dados muito proximamente por

$$A_f \approx -\frac{R_2}{R_1} \tag{13.6-1}$$

e

$$Z_o = \frac{R_0}{A}\left(1 + \frac{R_2}{R_1}\right) \tag{13.6-2}$$

Supondo $R_1 = R_2$, obtemos $A_f = 1$, e supondo $R_o = 200\,\Omega$ e $A = 5 \times 10^4$, obtemos $Z_o = 8\,\text{m}\Omega$. O ponto importante a se notar é que a impedância de saída é muito baixa e, portanto, este

amplificador é ideal para fornecer carga e descarga rápida de capacitores como aquelas, por exemplo, em circuitos amostradores e seguradores.

Um segundo ponto digno de nota acerca do circuito da Fig. 13.6-1*a* é que, olhando-se nos terminais de entrada do amplificador propriamente dito, vemos um terra virtual. Isto é, a impedância r_i é muito pequena. Aplicando a Eq. (2.2-2), obtemos

$$r_i \approx \frac{R_2 + R_o}{1 + A} \approx \frac{R_2}{A} \tag{13.6-3}$$

se, como é típico, $R_2 >> R_o$. Supondo $R_1 = R_2 = 10\,\text{k}\Omega$, obtemos $r_i \approx 0{,}2\ \Omega$. Como r_i é muito pequeno em comparação com R_1, podemos considerar que existe um curto-circuito virtual para a terra nos terminais de entrada do amplificador. Então, uma tensão de entrada V_i gera uma corrente de entrada, $I = V_i/R_1$. Como, entretanto, o curto-circuito é apenas virtual, a corrente continua através de R_2. A saída é, portanto, $V_o = -IR_2/R_1$, dando um ganho $A_f = V_o/V_i = -R_2/R_1$, como na Eq. (13.6-1). Mais importante, para nossa intenção, é notar o seguinte. Suponha, digamos com $R_1 = R_2$, que V_i faça uma excursão entre $\pm M$; então V_o fará excursões iguais a $\pm M$, mas nos terminais de entrada do amplificador a excursão será apenas $\pm M/|A|$. Assim, com $M = 10$ V e $|A| = 5 \times 10^4$, obtemos que nos terminais de entrada do amplificador a variação é apenas $\pm 10/5 \times 10^4 = \pm 0{,}2$ mV.

Um amplificador pode também ser usado do modo da Fig. 13.6-1*b*, onde a entrada é aplicada ao terminal não-inversor. Note que o resistor de realimentação R_2 é sempre conectado ao *terminal inversor*. Neste caso, obtemos que a impedância de saída é novamente dada pela Eq. (13.6-2). O ganho é agora [veja Eq. (2.7-2)]

$$A_f = 1 + \frac{R_2}{R_1} \tag{13.6-4}$$

Um ganho $A_f = 1$ será obtido se fizermos $R_2 = 0$. Neste caso, R_1 não tem utilidade e pode ser removido.

Se R_i é a impedância de entrada do amplificador propriamente dito, então a impedância de entrada r_i' é [veja Eq. (2.8-5)]

$$r_i' = R_i \left(\frac{A}{1 + R_2/R_1} \right) \tag{13.6-5}$$

Esta impedância de entrada é geralmente muito grande. Tipicamente, com $R_2 = 0\ \Omega$, $A = 5 \times \times 10^4$, e $R_i = 10^5\ \Omega$ o r_i' de entrada é $r_i' = 5.000\,\text{M}\Omega$.

13.7 UMA PORTA COM FET COM UM AMP-OP COMO CARGA

Uma porta série simples e relativamente barata está mostrada na Fig. 13.7-1. O sinal analógico de entrada V_a é transmitido para a saída quando o transistor $T1$ conduz. O sinal de controle V_C, para fazer $T1$ conduzir e cortar, é fornecido por um excitador TTL. Normalmente a tensão correspondente à lógica **1** na saída de uma porta TTL está na vizinhança de 3,7 V (veja Sec. 6.6). Nesta aplicação será útil fazer com que a lógica **1** corresponda à tensão de alimentação de 5 V. Por esta razão foi adicionado o resistor de PULL-UP passivo de 2 kΩ. (Este resistor é freqüente-

mente adicionado quando, como no caso presente, não é necessário que a subida de tensão de V_c de 3,7 para 5 V seja feita com a velocidade normalmente associada com lógica TTL e quando, além disto, a carga do excitador é bastante pequena.)

Os transistores $T1$ e $T2$ são dispositivos de canal p nominalmente idênticos e são do tipo depleção. Será lembrado (veja Sec. 1.12) que os transistores de depleção conduzem quando a tensão porta-fonte é zero. Além disto, em um transistor de canal p, a condução aumenta à medida que a tensão fonte-porta V_{SG} fica mais positiva, e diminui quando V_{SG} fica mais negativa. Tipicamente a tensão de limiar V_T é $V_{SG} = -4$ V e utilizaremos este dado em nossa discussão subseqüente.

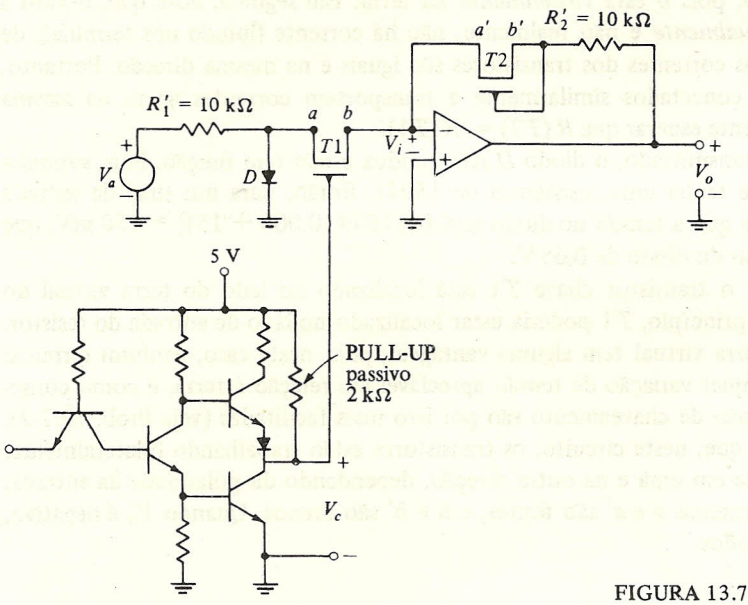


FIGURA 13.7-1
Uma chave série com FET e seu excitador TTL.

Suponhamos, agora, que $V_c = +5$ V e façamos V_a ficar positiva. Neste caso, se houvesse corrente em $T1$, ela iria fluir de a para b. Esta direção de corrente faria a a fonte e b o dreno. (Lembre que a fonte é o terminal no qual os portadores, neste caso lacunas, entram no transistor.) Devido ao diodo $D1$, a tensão em a estará grampeada em 0,7 V. Portanto, qualquer que seja o valor positivo de V_a, V_{SG} nunca será maior que $-5 + 0{,}7 = -4{,}3$ V e, portanto, $T1$ estará cortado com uma margem de segurança de 0,3 V. Analogamente, uma situação que prevalece em portas lógicas, esta margem de 0,3 V é chamada *margem de ruído*. Em seguida, façamos V_a ficar negativa. Neste caso, se $T1$ fosse conduzir, o terminal b seria a fonte. Como o terminal de entrada do amplificador está virtualmente na terra, os 5 V na porta mantêm $T1$ cortado com uma margem de $5 - 4 = 1$ V.

O transistor $T1$ é levado à condução para permitir a transmissão; e, quando a porta está transmitindo, a função do transistor $T2$ é fornecer compensação para a sensibilidade de temperatura e a pequena não-linearidade possível de $T1$. O ganho incremental (e também o ganho absoluto) do estágio é dado por

$$A = \frac{\Delta V_o}{\Delta V_i} = -\frac{R'_2 + R(T2)}{R'_1 + R(T1)} \qquad (13.7\text{-}1)$$

Desde que, como pode ser notado na Fig. 13.7-1, R'_2 e R'_1 foram selecionados para serem iguais, se $R(T2) = R(T1)$, teremos $A = -1$, independentemente de $R(T1)$.

Em relação ao nosso interesse de que $R(T2) = R(T1)$, os seguintes pontos são pertinentes. Quando V_C vai para lógica **0** para levar $T1$ à condução, podemos muito bem esperar encontrar a porta de $T1$ aproximadamente em terra, pois $V_C \approx 0{,}1$ V ou ainda menor [em vez de nosso adotado habitual V_{CE} (sat) = 0,2 V], devido à carga muito pequena do excitador. Portanto, não faremos um erro sério se supusermos que, assim como a porta de $T2$ está ligada a b', também a porta de $T1$ está ligada a b, pois b está *virtualmente* na terra. Em seguida, note que, devido a b estar na terra apenas *virtualmente* e não realmente, não há corrente fluindo nos terminais de entrada do amplificador e as correntes dos transistores são iguais e na mesma direção. Portanto, como os transistores estão conectados similarmente e transportam correntes iguais na mesma direção, podemos razoavelmente esperar que $R(T2) = R(T1)$.

Quando a porta está transmitindo, o diodo D não conduz e não tem função. Pois, suponha que, quando $T1$ conduz, ele tenha uma resistência de 150 Ω. Então, para um sinal de entrada de 10 V máximo, calculamos que a tensão no diodo será $10[150/(10.000 + 15)] \approx 150$ mV, que é menor que a tensão de limiar do diodo de 0,65 V.

No circuito estudado, o transistor chave $T1$ está localizado no lado do terra virtual do resistor série de 10 kΩ. Em princípio, $T1$ poderia estar localizado no lado de entrada do resistor. A localização do lado do terra virtual tem alguma vantagem, pois, neste caso, nenhum terminal da chave está sujeito a qualquer variação de tensão apreciável em relação à terra, e como conseqüência as exigências na tensão de chaveamento são por isto mais facilitadas (veja Prob. 13.7-2). Finalmente, podemos notar que, neste circuito, os transistores estão trabalhando bilateralmente, isto é, transportando corrente em uma e na outra direção, dependendo da polaridade da entrada. Quando V_a é positivo, os terminais a e a' são fontes, e b e b' são drenos. Quando V_a é negativo, as fontes e os drenos são trocados.

13.8 UM CIRCUITO AMOSTRADOR SEGURADOR DE ORDEM ZERO

A configuração do circuito da Fig. 13.7-1 aparece novamente no circuito amostrador segurador de ordem zero mostrado na Fig. 13.8-1. Quando o FET está conduzindo, o circuito é um amplificador com um ganho cc igual a $-R_2/R_1$ e tem uma freqüência de corte de 3 dB de $f = 1/2\pi R_2 C$. Nestas expressões desprezamos a impedância do FET. Quando o FET é levado ao corte, a tensão de saída do amplificador fica "segura" pelo capacitor C. O capacitor não irá segurar sua carga indefinidamente. Ao contrário, supondo que a fuga através do FET é desprezível, o capacitor muda gradualmente sua carga armazenada em uma razão determinada pela corrente de polarização de entrada do amplificador. Para minimizar a deriva na tensão a ser segura, é vantajoso usar um capacitor C o maior possível consistente com a resposta de freqüência especificada para o amplificador. É ainda vantajoso utilizar um amplificador com corrente de polarização de entrada pequena como a de um amp-op com estágio de entrada com FET. Finalmente, podemos notar que a necessidade de manter a razão de descarga do capacitor no mínimo justifica o fato de que o resistor R_2 não está ligado diretamente em paralelo com C mas sim na entrada da chave com FET. Neste circuito, quando o FET está aberto, R_2 não está mais em paralelo com C.

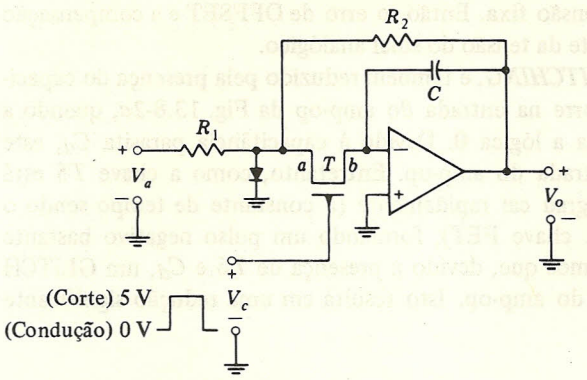


FIGURA 13.8-1
Um circuito amostrador segurador de ordem zero.

A Fig. 13.8-2*a* mostra um circuito combinando as características dos circuitos das Figs. 13.7-1 e 13.8-1. Este circuito combina a capacidade de ser amostrador e segurador de ordem zero com as características de permitir multiplexação no tempo de três sinais de entrada, V_{a1}, V_{a2} e V_{a3}.

Nos circuitos das Figs. 13.8-1 e 13.8-2, assim como em outros circuitos amostradores seguradores de ordem zero, é exigido, para aplicações especiais, levar em conta a capacitância do dispositivo de chaveamento (neste caso o FET de junção) entre o eletrodo de controle e o terminal do dispositivo ligado à capacitância de armazenamento. Esta capacitância do dispositivo (juntamente com qualquer capacitância parasita em paralelo) dá origem ao que é chamado de *erro de OFFSET do amostrador segurador*. Para ilustrar a fonte deste erro, considere a situação no momento em que a tensão de controle muda do nível de condução para o nível de corte. É necessário que, depois que a transferência para o nível de corte (segurador) é feita, a carga no capacitor de armazenamento deve permanecer a mesma que era no fim do intervalo de carga, exatamente antes de ocorrer a transferência para o modo segurador. Entretanto, a mudança abrupta na tensão de controle irá transferir uma carga para o, ou do, capacitor de armazenamento C, gerando desta forma um *erro de OFFSET*. Se C_d é a capacitância do dispositivo (ignoramos, por simplicidade, a possibilidade de que C_d é um capacitor não-linear), e se a *diferença* nos níveis de tensão de controle é V_g, então, como pode ser verificado, o erro de OFFSET de amostrador segurador ΔV é dado por

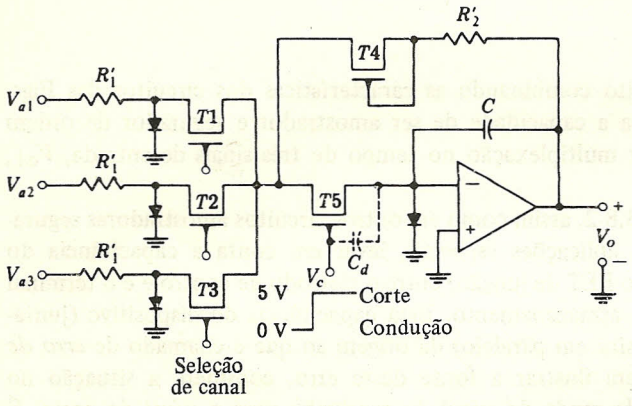
$$\Delta V = \frac{C_d}{C} V_g \tag{13.8-1}$$

Se $V_g \approx 5$ V, $C_d \approx 10$ pF e $C \approx 0{,}01\ \mu$F, obtemos $\Delta V = 10$ mV. Quando erros deste valor não são aceitáveis, é necessário fornecer alguma compensação para esta *injeção de carga*. Um método simples e direto de compensação começa obtendo uma forma de onda similar à forma de onda de chaveamento, exceto que com polaridade reversa, como mostrado na Fig. 13.8-2*b*. Esta forma de onda reversa de amplitude V_g' é agora aplicada através de um capacitor C_d' à entrada do capacitor de armazenamento, e uma boa medida de compensação é obtida fazendo $C_d' V_g' = C_d V_g$ (Veja Prob. 13.8-1).

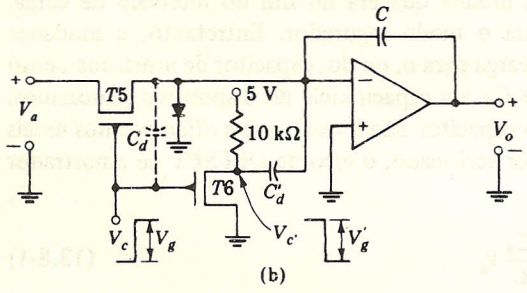
Quando é necessária compensação de erro de OFFSET, os circuitos das Figs. 13.8-1 e 13.8-2 têm uma vantagem especial. O terra virtual do amplificador operacional mantém o lado de entrada

do capacitor de armazenamento em uma tensão fixa. Então, o erro de OFFSET e a compensação necessária são constantes, independentemente da tensão do sinal analógico.

O segundo tipo de erro, chamado *GLITCHING*, é também reduzido pela presença do capacitor C'_d. Um GLITCH é um pulso que ocorre na entrada do amp-op da Fig. 13.8-2*a*, quando a tensão de controle V_c vai da lógica **1** para a lógica **0**. Devido à capacitância parasita C_d, este degrau de tensão negativo aparece na entrada do amp-op. Entretanto, como a chave $T5$ está fechada quando V_c está na lógica **0**, o degrau cai rapidamente (a constante de tempo sendo o produto de C_d pela resistência efetiva da chave FET), formando um pulso negativo bastante pontiagudo (GLITCH). Na Fig. 13.8-2*b* vemos que, devido à presença de $T6$ e C_d, um GLITCH positivo está também presente na entrada do amp-op. Isto resulta em uma redução significante no tamanho do GLITCH.



(a)



(b)

FIGURA 13.8-2
(*a*) Um amplificador amostrador e segurador de ordem zero e multiplex de três canais. (*b*) O transistor $T6$ e capacitor C'_d são usados para cancelar o erro de OFFSET.

Outros circuitos amostradores seguradores de ordem zero. No circuito da Fig. 13.8-3, o amplificador A_1 fornece uma impedância de entrada alta para o sinal analógico e uma impedância de saída baixa para permitir a carga e descarga rápidas do capacitor de armazenamento C. O amplificador A_2 fornece uma isolação (BUFFER) entre o capacitor de armazenamento e a saída. Como no circuito anterior, a *razão de deriva* – isto é, a razão pela qual o capacitor de armazenamento muda a tensão durante o tempo no qual o circuito funciona como segurador – será determinada pelo tamanho do capacitor de armazenamento, a corrente de polarização do circuito de entrada do amplificador A_2 e a fuga através da chave com FET. Observamos, neste caso, que

a tensão em relação à terra nos terminais da chave pode estender-se sobre a excursão total do sinal analógico sendo, portanto, necessária uma tensão de porta de controle de amplitude maior do que quando a chave estava localizada no terra virtual.

O circuito da Fig. 13.8-3 tem um erro de OFFSET diferente do erro de OFFSET de amostrador segurador discutido anteriormente. Este erro (que não é restrito aos circuitos amostradores seguradores) simplesmente reflete a característica de amplificadores em geral. Quando um amplificador é ajustado de modo que a tensão de saída seja zero quando a tensão de entrada é zero, este ajuste pode não persistir. Com o tempo haverá uma deriva na operação do amplificador, de modo que se desenvolverá um OFFSET da saída em relação à entrada. Similarmente nos amplificadores da Fig. 13.8-3, cujos ganhos individuais devem ser +1 com grande precisão, onde um OFFSET foi desenvolvido, a saída dos amplificadores individuais nunca irá igualar corretamente a entrada, e o mesmo ocorre também para a operação do circuito completo.

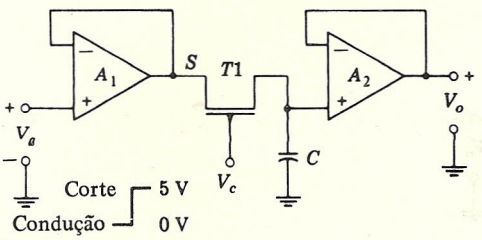


FIGURA 13.8-3
Um circuito amostrador segurador de ordem zero utilizando dois amp-ops ligados para ter impedância de entrada alta.

Um circuito amostrador segurador de ordem zero interessante baseado no circuito da Fig. 13.8-3, mas incorporando uma característica que suprime um pouco os erros de OFFSET do amplificador, está mostrado na Fig. 13.8-4*a*. O circuito é o amplificador amostrador segurador de ordem zero de uso geral tipo 5.110 da Intersil. As chaves, mostradas aqui funcionalmente, são dispositivos CMOS (veja Sec. 13.10 para uma discussão da operação de portas CMOS). Os amplificadores A_1 e A_2 são amp-ops, e os inversores são geralmente inversores TTL, pois a entrada de controle tipicamente vem de um excitador TTL. Neste circuito, o capacitor de armazenamento C ($\approx$ 0,01 a 0,1 μF) está em série com um resistor r ($\approx$ 50 Ω). Este resistor é, em princípio, desvantajoso, pois limita um pouco a velocidade com que C pode se carregar. Sua função, entretanto, é suprimir a tendência de A_1 para oscilar, um traço bastante característico de amplificadores operacionais monolíticos acionando capacitâncias grandes. O capacitor C_d' é usado com uma forma de onda de chaveamento de polaridade reversa para reduzir o erro de OFFSET (veja Fig. 13.8-2*b*). Esta compensação pode ser dispensada onde é aceitável um erro de OFFSET da ordem de 10 mV.

A operação desta porta é a seguinte. Durante a amostragem, S_2 e S_3 estão FECHADAS e S_1 está ABERTA. Neste modo, este circuito é diferente do circuito da Fig. 13.8-3, pois a realimentação de A_1 da Fig. 13.8-3 foi omitida e substituída pela realimentação do amplificador total, da saída para a entrada. Esta realimentação total está mostrada na Fig. 18.8-4*b*, onde V_1 e V_2 foram introduzidas para representar as tensões de OFFSET das entradas de A_1 e A_2, respectivamente. O OFFSET total do circuito será agora apenas o OFFSET de A_1, porque o OFFSET de A_2 será reduzido, devido à realimentação, pelo ganho de malha aberta A_1 do primeiro amplificador. Este resultado pode ser demonstrado, notando-se que a saída do amplificador A_1 é A_1 $(V_a + V_1 + V_o)$ e a saída do amplificador A_2 é V_o onde

$$V_O = A_2\ [A_1\ (V_a + V_1 - V_O) + V_2 - V_O] \tag{13.8-2}$$

Portanto,

$$V_o = \frac{A_1 A_2 (V_a + V_1)}{1 + A_2 + A_1 A_2} + \frac{A_2 V_2}{1 + A_2 + A_1 A_2} \approx V_a + V_1 + \frac{1}{A_1} V_2 \tag{13.8-3}$$

O arranjo mostrado na Fig. 13.8-4*a* não apenas tem a vantagem de reduzir o erro de OFFSET total, mas também permite utilizar um único ajuste de OFFSET em vez de dois, um para cada amplificador. É prática comum fazer $V_O = 0$ V ajustando o nível de entrada do amplificador A_1 quando $V_a = 0$.

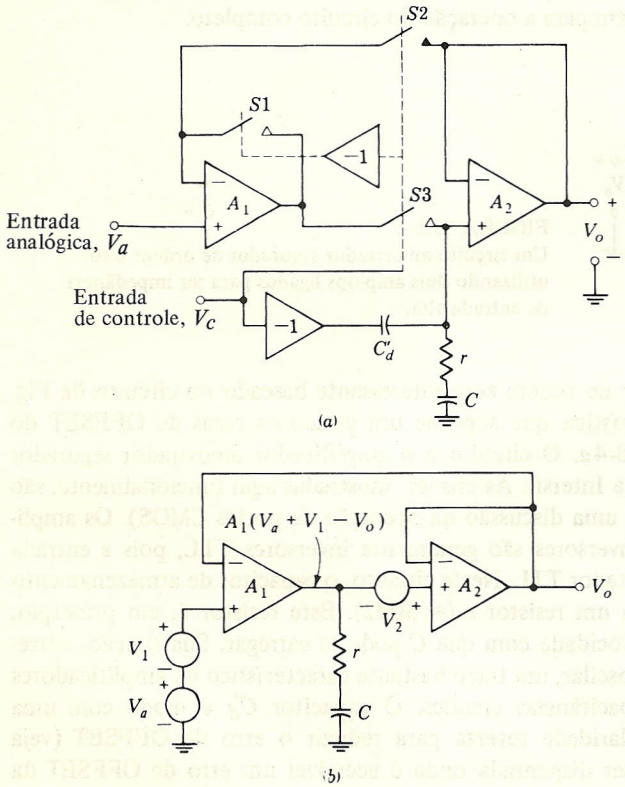


FIGURA 13.8-4
(*a*) O amplificador amostrador segurador tipo 5110 da Intersil. (*b*) Circuito equivalente quando $S1$ está aberta e $S2$ e $S3$ fechadas, para mostrar o efeito da tensão de OFFSET V_1 e V_2.

A necessidade da chave $S1$ pode ser vista do seguinte. Durante a amostragem, quando a realimentação é efetiva, a saída de A_1 segue o sinal analógico bastante próximo. Quando o circuito funciona como segurador, $S2$ e $S3$ estão ABERTAS, e se $S1$ não estivesse FECHADA, não haveria realimentação em A_1 e, devido a seu alto ganho e capacitância, ele oscilaria. Mesmo se desprezássemos a possibilidade de oscilações, teríamos outros problemas, pois a saída do amplificador A_1 não seria V_a mas sim $A_1 V_a$, pelo menos até o ponto em que o amplificador A_1 satura. Portanto, no fim do intervalo em que o circuito funciona como segurador, quando $S2$ e $S3$ fecham novamente, haveria um atraso até que a saída de A_1 mudasse de $A_1 V_a$ (ou saída da saturação)

para V_a. Manter a chave $S1$ fechada permite que a saída de A_1 siga V_a durante o período em que o circuito funciona como segurador.

Os circuitos das Figs. 13.8-3 e 13.8-4 utilizam dois amplificadores, um para fornecer uma alta impedância de entrada para o sinal analógico e o segundo para isolar o capacitor de armazenamento C. O circuito da Fig. 13.8-5 é interessante pois um único amplificador é utilizado para as duas funções. Durante a amostragem, os transistores $T1$ e $T3$ estão conduzindo, enquanto $T2$ está cortado. O amplificador fornece agora uma alta impedância de entrada para V_a e carrega C com sua baixa impedância de saída. Durante o período em que é utilizado como segurador, $T1$ e $T3$ estão cortados e $T2$ está conduzindo. O amplificador é agora um BUFFER entre o capacitor e a saída.

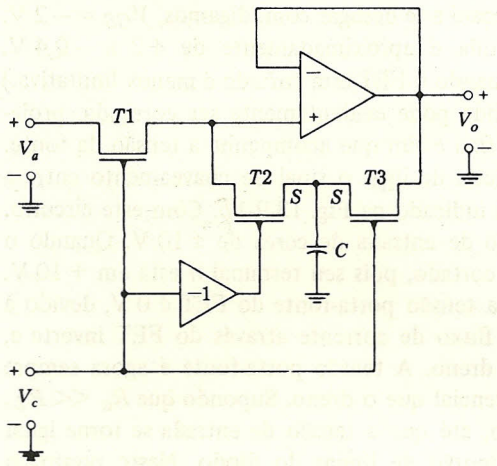


FIGURA 13.8-5
Um circuito amostrador segurador de ordem zero baseado no circuito da Figura 13.8-4, mas utilizando apenas um único amp-op.

Este circuito tem também uma vantagem em relação ao OFFSET de amostrador segurador. As tensões de porta-fonte presentes em $T2$ e $T3$ são de mesma amplitude, pois a tensão do capacitor aparece no terminal de fonte de $T2$ e $T3$, mas, como as tensões de chaveamento são de polaridades opostas, as cargas transferidas através das capacitâncias de porta-fonte de $T2$ e $T3$ para C serão iguais mas opostas.

13.9 EXCITADORES DE PORTA FET

A tensão porta-fonte de um FET determina se o dispositivo está conduzindo ou cortado. (Em um MOSFET, o corte depende também, se bem que com muito menos sensibilidade, da tensão substrato-fonte.) Em muitos circuitos de porta, a tensão da fonte varia com o sinal analógico, e esta característica da operação do circuito deve ser levada em conta para determinar o maior sinal analógico que pode ser manipulado em um dado circuito de chaveamento. A situação seria outra se a tensão de chaveamento fosse aplicada diretamente entre porta e fonte. Entretanto, este arranjo geralmente requer o uso de um transformador com suas limitações conseqüentes. Como já notado, o fato é de interesse mínimo quando a chave com FET está localizada na entrada do terra virtual de um amp-op. É, entretanto, seriamente preocupante quando a chave está

localizada, digamos, como na Fig. 13.5-1, onde a excursão de tensão da fonte é comparável à excursão do próprio sinal analógico.

Para ser específico, considere o circuito de porta simples da Fig. 13.9-1*a* utilizando um FET de junção de canal *n* tipo 3N126. O FET estará conduzindo totalmente quando a tensão porta-fonte for V_{GS} 0 V, e estará totalmente cortado com $V_{GS} = -4$ V. Suponha então que variamos V_c entre os dois níveis $V_c = 0$ e $V_c = 4$ V. Então, a máxima variação da tensão de entrada permitida será determinada pela condição que prevalece quando a chave está fechada com $V_c = 0$. Pois, quando V_a se torna negativa, o diodo *pn* formado entre porta e fonte está sendo levado na direção de polarização direta. Portanto, a máxima excursão negativa permitida da entrada deve ser um pouco menor do que cerca de 0,6 V, digamos cerca de 0,4 V. Quando a entrada varia na direção positiva, V_{GS} fica negativa e a chave começa a ser desligada. Será desligada completamente com $V_{GS} = 4$ V mas começará a se desligar com, digamos, $V_{GS} = -2$ V. Portanto, a variação da entrada analógica permitida é aproximadamente de $+2$ a $-0{,}4$ V. (É facilmente verificado que a variação permitida quando o FET está cortado é menos limitativa.)

Esta restrição da variação de entrada permitida pode evidentemente ser corrigida, projetando um circuito em que a tensão de porta não é fixa e sim que acompanha a tensão da fonte. Isto pode ser obtido de várias maneiras (uma maneira de ligar o sinal de chaveamento entre a porta e a fonte). Um método simples e efetivo está indicado na Fig. 13.9-1*b*. Com este circuito, como veremos, é permitida uma variação da tensão de entrada de cerca de ± 10 V. Quando o transistor bipolar $T1$ está cortado, o diodo D está cortado, pois seu terminal *n* está em + 10 V. Se V_a é negativa, então o terminal *a* é a fonte e a tensão porta-fonte do FET é 0 V, devido à conexão através do resistor r. Se V_a é positiva, o fluxo de corrente através do FET inverte e, portanto, há troca entre os terminais de fonte e dreno. A tensão porta-fonte é agora sempre um pouco positiva, pois a porta está no mesmo potencial que o dreno. Supondo que $R_a \ll R_L$, o diodo permanecerá cortado e o FET conduzindo, até que a tensão de entrada se torne igual a $V_a = 10 + 0{,}65 = 10{,}65$ V, sendo 0,65 V a tensão de limiar do diodo. Neste ponto, o diodo D conduz e (supondo que $R_c \ll r$), com o aumento de V_a, a porta de $T2$ estará grampeada em $V_a = 10 + 0{,}75 = 10{,}75$ V, sendo 0,75 V a tensão de condução do diodo. Entretanto,

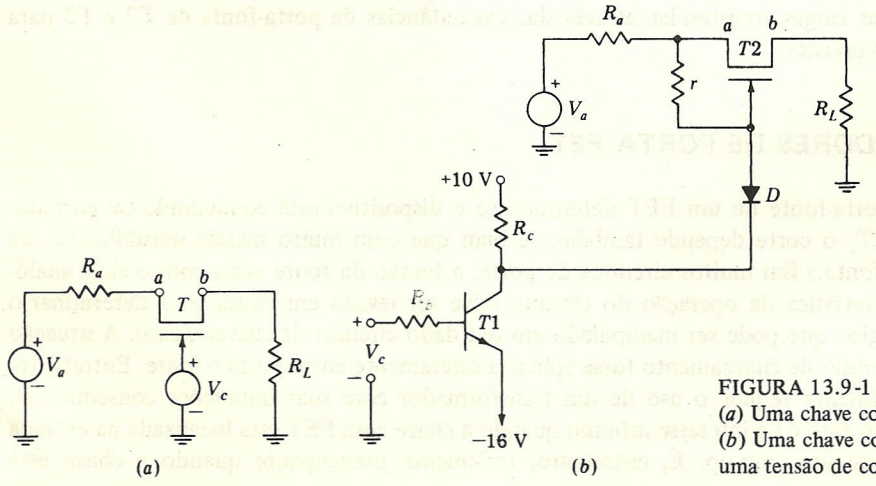


FIGURA 13.9-1
(*a*) Uma chave com FET simples.
(*b*) Uma chave com FET utilizando uma tensão de controle compensada.

aumentos adicionais em V_a aumentarão a tensão em b, que é agora a fonte. Portanto, eventualmente, a porta a transistor será cortada. Se desprezarmos a queda em $T2$, desde que esteja conduzindo, em comparação com a queda em R_L e supusermos também que $R_a \ll R_L$, o corte de $T2$ ocorrerá em $V_a = 10{,}75 + 4 = 14{,}75$ V. Para permitir uma boa margem de segurança para manter $T2$ bem afastado do corte, podemos restringir V_a em $V_a < +10$ V.

Para cortar o FET, o transistor bipolar é levado à condução e saturação. O terminal n do diodo está, então, em aproximadamente $-15{,}8$ V. Neste caso, mesmo quando V_a vai para $V_a = -10$ V, a tensão porta-fonte é $-5{,}1$ V (pois há uma queda de 0,7 V no diodo) e o FET está cortado. Excursões positivas de V_a levam o FET mais na direção do corte, pois a tensão de porta permanece em $-15{,}1$ V e há troca entre o dreno e a fonte, de modo que a fonte está no potencial de terra ($V_{R_L} = 0$). Portanto, a limitação nas excursões positivas é a tensão de avalanche de dreno-porta do FET.

Excitador de porta para o MOSFET. Com um MOSFET o problema do arranjo para variações simétricas relativamente grandes da tensão analógica em um circuito de porta é diferente do problema correspondente no JFET. No MOSFET a porta está isolada da fonte e do dreno. Há, entretanto, junções nas interfaces entre fonte e substrato e entre o dreno e o substrato. Não se pode permitir que estas junções se tornem polarizadas diretamente. Uma forma de obter isto é simplesmente deixar o substrato *flutuante*, isto é, não fazer ligação ao fio do substrato do dispositivo. Em circuito integrado, onde o substrato é comum a vários dispositivos individuais, esta flutuação não é aceitável, pois o substrato seria então uma fonte de acoplamento entre todos os dispositivos individuais. Em circuito discreto, esta flutuação é possível e pode ser utilizada. Mesmo em circuito discreto, entretanto, a flutuação pode ser contestável, pois o substrato pode estar ligado ao invólucro do dispositivo e pode estar então acoplado, através das capacitâncias parasitas, a vários sinais dos quais deveria estar blindado.

Em vez disto, como mostrado na Fig. 13.9-2, o substrato do MOSFET canal n está ligado ao ponto mais negativo do circuito. Assim, quando $V_a = \pm 10$ V, o substrato permanece polarizado reversamente em relação à fonte e ao dreno.

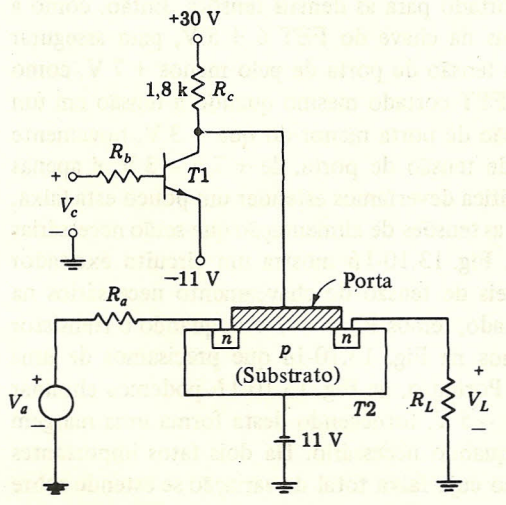


FIGURA 13.9-2
O substrato é ligado a uma tensão que assegura que não haverá junções *pn* polarizadas diretamente.

13.10 PORTAS CMOS

Em operações de chaveamento, os transistores CMOS têm algumas vantagens sobre os dispositivos MOS simples, como iremos agora analisar. Podemos ver algumas limitações da porta MOS examinando a situação representada na Fig. 13.10-1*a*. Aqui uma fonte analógica está ligada a uma carga através de um MOSFET de canal *n*. A carga é representada como uma combinação paralela de R_L e C_L. Se se deseja um circuito amostrador segurador de ordem zero, a carga é um capacitor C_L relativamente grande e R_L representa a impedância de entrada do amp-op ligado a V_o (veja a Fig. 13.8-3). Se se deseja uma chave para sinal analógico, R_L é a resistência de carga e C_L representa a capacitância parasita pequena mas inevitável. Omitimos a impedância de saída da fonte analógica pois não é particularmente relevante nesta discussão.

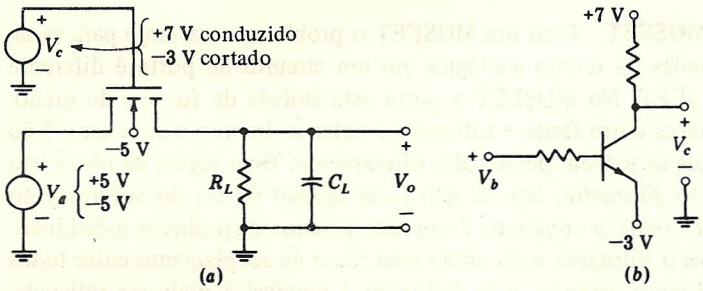


FIGURA 13.10-1
(*a*) Uma porta com MOS de canal *n*. (*b*) Um transistor bipolar excitador para a porta em (*a*).

Para ser específico, vamos considerar que o sinal analógico faz excursões na faixa ± 5 V. Então, como notada na Fig. 13.10-1, para assegurar que as junções entre o substrato e a fonte e o dreno não fiquem nunca polarizadas diretamente, ligamos o substrato em − 5 V. Vamos, ainda, supor que o FET é levado à condução quando a tensão porta-fonte é maior ou igual à tensão de limiar $V_T = +2$ V e que o FET está cortado para as demais tensões. Então, como a máxima tensão possível atingível nos dois terminais da chave do FET é + 5 V, para assegurar que o FET está conduzindo devemos fornecer uma tensão de porta de pelo menos + 7 V, como indicado na figura. Por outro lado, para manter o FET cortado mesmo quando a tensão em um terminal da chave é − 5 V, precisamos de uma tensão de porta menor do que − 3 V, novamente como observado na figura. Realmente, esta faixa de tensão de porta, de + 7 a − 3 V, é apenas o suficiente para assegurar condução e corte, e na prática deveríamos estender um pouco esta faixa.

Vamos agora fazer alguma consideração sobre as tensões de alimentação que serão necessárias para operar a chave mostrada na Fig. 13.10-1*a*. A Fig. 13.10-1*b* mostra um circuito excitador de porta simples que servirá para fornecer os níveis de tensão de chaveamento necessários na Fig. 13.10-1*a*. Quando o transistor bipolar está cortado, temos $V_c = +7$ V e, quando o transistor bipolar está saturado, temos $V_c \approx -3$ V. Notamos na Fig. 13.10-1*a* que precisamos de uma tensão de alimentação de − 5 V para o substrato. Portanto, na Fig. 13.10-1*b* podemos eliminar a fonte de − 3 V e ligar o emissor diretamente ao − 5 V, fornecendo desta forma uma margem de segurança extra de que o FET estará cortado quando necessário. Há dois fatos importantes para se notar: (1) para manipular um sinal analógico cuja faixa total de variação se estende sobre

10 V, necessitamos de uma fonte de alimentação de -3 V e outra de $+7$ V, dando um total de 10 V, e (2) dependendo de V_a e de V_o, o FET estará algumas vezes apenas no início da condução e algumas vezes estará conduzindo bastante. Porém, mesmo se aumentarmos a tensão de porta além de $V_c = +7$ V e -3 V para evitar operação perto do corte, a resistência entre a fonte e o dreno do FET variará bastante, dependendo de V_a e V_o. E, sempre que a resistência do FET for grande, a velocidade com que C_L pode carregar ou descarregar será limitada.

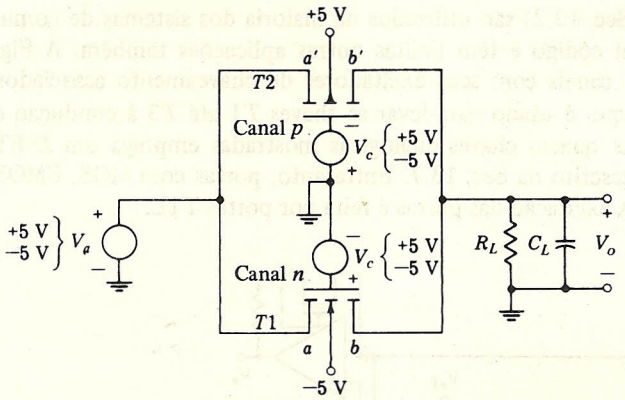


FIGURA 13.10-2
Uma porta CMOS.

Vamos, em seguida, considerar o circuito mostrado na Fig. 13.10-2, no qual um *MOSFET de simetria complementar* (CMOS) foi empregado. Note que as localizações da fonte e do dreno dos dois transistores são invertidas. Assim, quando a e b são respectivamente a fonte e o dreno de um transistor, a fonte e o dreno do outro transistor são b' e a', respectivamente. Como antes, consideramos que V_a faz excursões na faixa de ± 5 V. Como antes, o substrato do dispositivo de canal n está ligado a -5 V e, simetricamente, o substrato do dispositivo de canal p está ligado em $+5$ V. Como indicado na figura, são necessárias formas de onda de chaveamento de polaridades opostas. Vamos novamente supor que para levar à condução o dispositivo de canal n é necessária uma tensão porta-fonte de $+2$ V. Correspondentemente, para levar à condução o dispositivo de canal p é necessária uma tensão fonte-porta de 2 V.

Note que os níveis de tensão de chaveamento são $+5$ V e -5 V. Quando V_c é $V_c = -5$ V, isto é, -5 V na porta do dispositivo de canal n e $+5$ V na porta do dispositivo de canal p, os dois FETs estão substancialmente cortados para qualquer valor de V_a desde que dentro de sua faixa. ($V_c = -3$ V irá fazer com que o dispositivo esteja levemente cortado no pior caso.) Em seguida, considerando que $V_c = +5$ V, suponha que a tensão de entrada V_a é 0 V. Agora, cada FET está conduzindo e $V_{GS}(T1) = V_{SG}(T2)$ é 3 V acima do corte. Vamos fazer, então, a tensão de entrada variar de 0 V. Assim, um dos dispositivos será levado em direção ao corte e o atingirá quando a fonte mudar de 3 V. Mas, ao mesmo tempo, o outro dispositivo será levado mais ainda em sua região de operação de condução. Em toda a faixa de tensão de entrada que será encontrada no circuito, pelo menos um FET estará conduzindo.

Neste circuito temos a conveniência de que as tensões de chaveamento necessárias se estendem sobre a faixa de excursão da entrada analógica. Além disto, este circuito tem uma vantagem sobre o circuito de MOS simples, desde que no circuito de CMOS a resistência apresentada pela chave da fonte para o dreno é aproximadamente constante. Isto é verdade pois, à medida que a

tensão de entrada varia, a resistência de um FET aumenta, enquanto a resistência do outro FET diminui, a resistência equivalente paralela permanecendo aproximadamente constante (veja Prob. 13.10-2). Na chave com MOSFET simples, a resistência varia bastante. Uma vantagem adicional importante da porta de transmissão com CMOS foi discutida na Sec. 12.6.

13.11 APLICAÇÃO DE CHAVES ANALÓGICAS

Multiplexação. Multiplex (veja Sec. 13.2) são utilizados na maioria dos sistemas de comunicação com modulação por pulsos em código e têm muitas outras aplicações também. A Fig. 13.11-1 mostra um multiplex de três canais com seus excitadores de chaveamento associados e um contador em anel (Sec. 10.16), que é usado para levar as chaves $T1$ até $T3$ à condução e ao corte em seqüência. Cada uma das quatro chaves analógicas mostradas emprega um JFET de canal p, no modo depleção, como descrito na Sec. 13.7. Entretanto, portas com MOS, CMOS ou a diodo também podem ser usadas. A excitação das portas é feita por portas TTL.

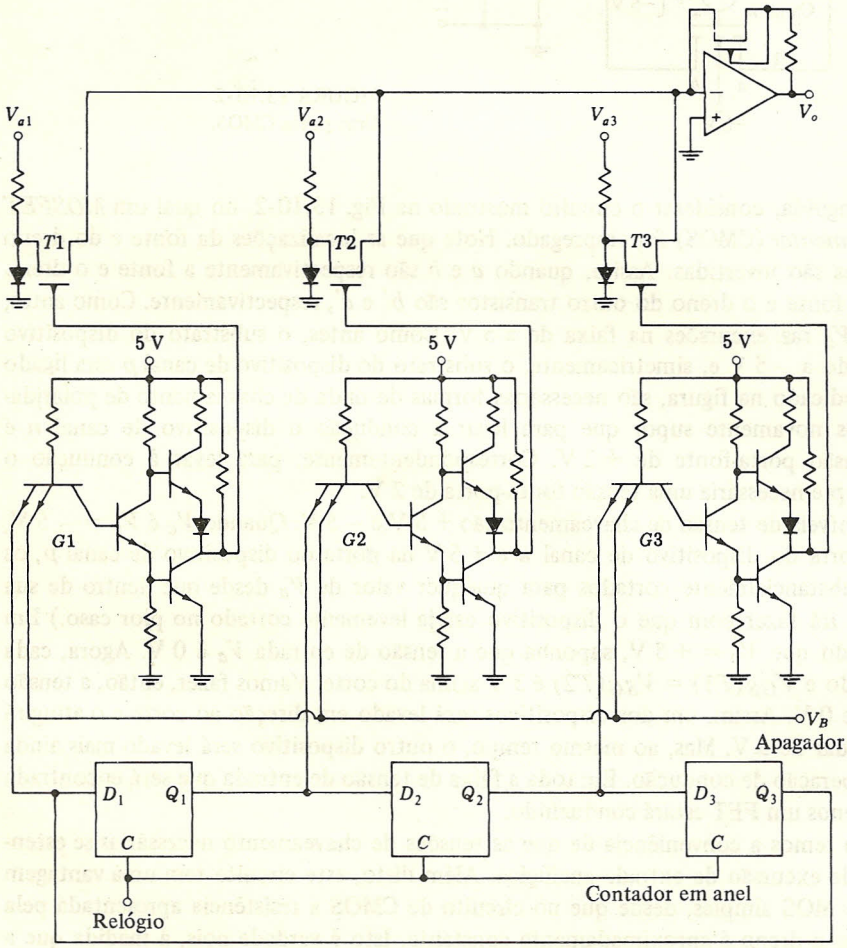


FIGURA 13.11-1
Um multiplex de três canais.

Cada amplificador de chaveamento $G1$, $G2$ e $G3$ é excitado por dois sinais. O primeiro, V_B, fornece o *apagamento*, pois, quando V_B está no nível *baixo*, todas as chaves $T1$ até $T3$ estão ABERTAS e os sinais V_{a1} até V_{a3} não são transmitidos para a saída. A segunda entrada de cada porta é a saída apropriada do contador em anel. O contador é projetado de modo que apenas uma saída esteja no estado alto em qualquer instante. Portanto, apenas uma chave está fechada num dado instante. Assim, a saída V_o representa as amostras de $V_{a1}(t)$, $V_{a2}(t)$ e $V_{a3}(t)$ obtidas em seqüência.

Tomada de decisão de máxima tensão. Em muitos sistemas de comunicação digital, é necessário selecionar a maior entre várias tensões de entrada disponíveis em intervalos regulares separados por intervalo de tempo T_s. Esta operação para quatro sinais de entrada é obtida utilizando o circuito mostrado na Fig. 13.11-2*a*. Nestes circuitos, as tensões de entra V_1, V_2, V_3 e V_4 são comparadas e a maior tensão é conectada à saída como V_o. O procedimento empregado é primeiro comparar V_1 e V_2 e selecionar a maior, em seguida comparar a tensão selecionada com V_3 etc.

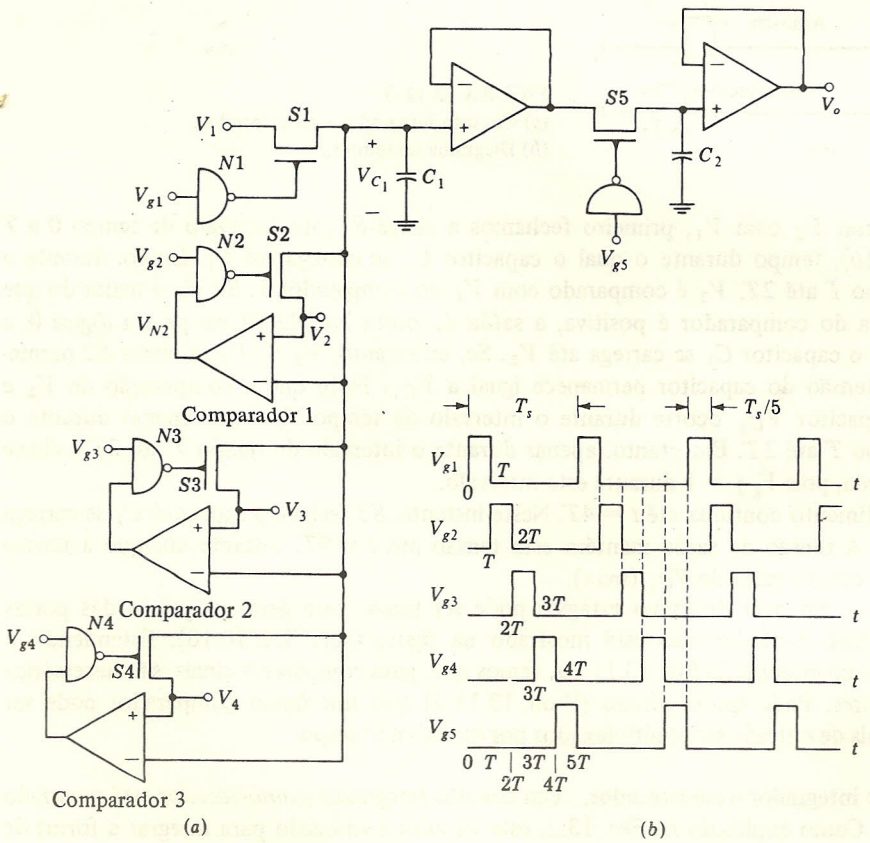
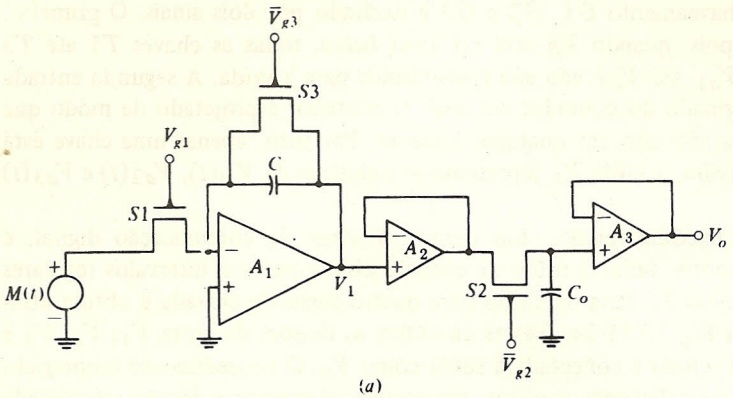


FIGURA 13.11-2
(*a*) Diagrama de circuito. (*b*) Diagrama de tempos.



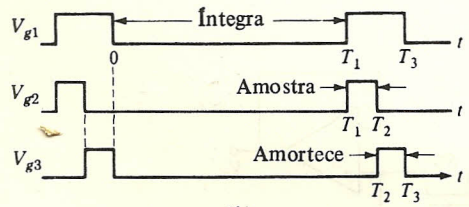


FIGURA 13.11-3
(*a*) Circuito integrador e amortecedor.
(*b*) Diagrama de tempo.

Para comparar V_2 com V_1, primeiro fechamos a chave $S1$, no intervalo de tempo 0 a T (veja Fig. 13.11-2*b*), tempo durante o qual o capacitor C_1 se carrega até V_1. Então, durante o intervalo de tempo T até $2T$, V_2 é comparado com V_1 no comparador 1. Se V_2 é maior do que $V_C = V_1$, a saída do comparador é positiva, a saída da porta NAND $N1$ vai para a lógica **0**, a chave $S2$ fecha e o capacitor C_1 se carrega até V_2. Se, entretanto, $V_2 < V_1$, a chave $S2$ permanece aberta e a tensão do capacitor permanece igual a V_{C_1}. Note que a comparação de V_2 e da tensão do capacitor V_{C_1} ocorre durante o intervalo de tempo T_s e não apenas durante o intervalo de tempo T até $2T$. Entretanto, apenas durante o intervalo de tempo T até $2T$ a chave $S2$ pode ser fechada, pois $V_{g2} = \mathbf{1}$ durante este intervalo.

Este procedimento continua até $t = 4T$. Neste instante, $S5$ fecha e o capacitor C_2 se carrega para V_{C_1}(max). A tensão de saída mantém esta tensão até $t = 9T$, instante em que a tensão em C_2 muda para o novo valor de V_{C_1} (max).

Um contador em anel de cinco estágios pode ser usado para gerar os pulsos das portas $V_{g1}, \ldots, V_{g5}$. Este contador não está mostrado na figura (veja Sec. 10.16). Estendendo o conceito ilustrado no circuito da Fig. 13.11-2*a*, vemos que, para comparar N sinais, são necessários N − 1 comparadores. Pode ser mostrado (Prob. 13.11-2) que um único comparador pode ser usado se os N sinais de entrada são multiplexados por divisão no tempo.

Um circuito integrador e amortecedor. Um circuito *integrador e amortecedor* está mostrado na Fig. 13.11-3*a*. Como explicado na Sec. 13.2, este circuito é utilizado para integrar a forma de onda de entrada $M(t)$ por um intervalo de tempo T_1, apresentar a tensão integrada à saída, e então repetir este procedimento. Entretanto, antes que cada integração seja iniciada, o capacitor que armazena a tensão de entrada integrada deve ser *descarregado*.

O amp-op integrador mostrado na Fig. 13.11-3*a* é capaz de descarregar o capacitor C, pois, quando a chave $S1$ está aberta e a chave $S3$ está fechada, o capacitor descarrega através da chave FET. A tensão integrada V_1 é apresentada à saída V_O quando a chave $S2$ está fechada.

As formas de onda do diagrama de tempo estão mostradas na Fig. 13.11-3*b*. Note que a tensão de entrada é integrada durante o intervalo $t = 0$ a $t = T_1$. De $t = T_1$ a $t = T_2$, a saída do integrador V_1 é amostrada e armazenada no capacitor C_O. Note que, durante este intervalo, a entrada é desligada do amp-op A_1. O capacitor C é descarregado de T_2 a T_3. Um novo ciclo começa em T_3.

13.12 ESPECIFICAÇÕES DOS FABRICANTES DE AMPLIFICADORES A/S

Os fabricantes de amplificadores amostradores e seguradores de ordem zero geralmente fornecem as seguintes informações sobre seus produtos.

Tensão de entrada. A máxima faixa de tensão, tipicamente ± 5 ou ± 10 V.

Impedância de entrada. Quando a chave de amostragem está fechada, isto é, durante o tempo de carga T_C, a entrada é tipicamente 1 kΩ em série com um capacitor de 100 pF. Quando a chave está aberta (durante T_H), a impedância de entrada é muito alta, usualmente > 1.000 MΩ.

SLEW RATE. O SLEW RATE é a máxima razão de mudança de tensão por unidade de tempo possível para o amplificador A/S. É usualmente limitada pela capacidade de tempo de subida e de descida do amp-op. Um número típico é 50 V/μs. Para assegurar que A/S seguirá o sinal de entrada, devemos ter certeza de que o SLEW RATE exceda a inclinação máxima dos sinais de entrada. Note que, se for aplicado um degrau de 10 V à entrada de um amplificador A/S com um SLEW RATE de 50 V/μs, o sistema atingirá 10 V em 10/50 μs = 200 ns. Este tempo para adquirir o valor final do degrau de tensão é chamado *tempo de aquisição.*

Acomodação (tempo de carga) T_C. O tempo necessário para a saída chegar dentro de uma dada percentagem (usualmente 0,01%) a seu valor de regime seguindo um degrau de tensão de entrada em toda a escala (10 V se é permitida entrada de ± 5 V); 5 μs é um número típico.

Tempo de abertura. É a incerteza entre o instante em que foi "informado" para abrir a chave e o instante em que a chave abriu. Esta incerteza no desligamento é geralmente menor do que 10 ns.

Queda ou inclinação quando o sinal está sendo seguro. Durante o intervalo de tempo em que o sinal está sendo seguro, a tensão no capacitor irá cair. Um valor típico pode ser 1 mV/ms.

Sinal (controle) de chave. Especifica o nível lógico e tensão necessários para levar a chave à condução e corte. Esta especificação varia muito com o fabricante. Por exemplo, um fabricante *amostra* com um **1** e *segura* com um **0**, enquanto outro fabricante *amostra* com **0** e *segura* com um **1**.

REFERÊNCIAS

1. Taub, H., e D. L. Schilling. *Principles of Communication Systems*. McGraw-Hill, New York, 1971.
2. Theriault, G. E., e R. Tipping. Applications of the RCA-CA 3019 Integrated-Circuit Diode Array. *RCA Appl. Note* 1. ICAN-5299.
3. Horna, O. A. A 150 M bps A/D and D/A Conversion System. *COMSAT Tech. Rev.* vol. 2, nº 1, p. 39-72 (primavera 1972).
4. Burd, M., e B. Sear. High Performance Sample and Holds. *Electron. Eng.* dez. 1967, p. 60.

CAPÍTULO 14
Conversão Analógico para Digital

14.1 INTRODUÇÃO

Os sinais digitais, ao menos idealmente, são representados por formas de onda que fazem transições abruptas entre dois valores. Os sinais que podem assumir qualquer valor em uma faixa contínua são chamados de sinais analógicos. Quando sinais analógicos devem ser processados, há freqüentemente uma grande vantagem na conversão do sinal para a forma digital, de tal modo que o processamento possa ser feito digitalmente.

Como exemplo, uma tensão analógica pode ser uma tensão fixa (contínua) e o processamento necessário pode consistir na determinação de seu valor. Um voltímetro analógico mostrará o valor da tensão através da posição de um ponteiro em uma escala. Um voltímetro digital nos dará uma indicação numérica mais conveniente em um painel. O sinal analógico poderia também ser a tensão de saída de um microfone, $M(t)$, variável com o tempo. O processamento necessário pode consistir na transmissão de $M(t)$ à entrada de um alto-falante remoto, de modo a minimizar o efeito do ruído (perturbação aleatória imprevisível) que invariavelmente estará sobreposto ao sinal durante a transmissão. Uma maneira efetiva de suprimirmos o ruído é transmitir o sinal digitalmente. Um sistema de comunicações que opera deste modo, isto é, converte o sinal analógico para uma forma digital e depois reconstitui o sinal analógico é chamado de sistema de *modulação por pulsos em código* (PCM). Dado um sinal de entrada analógico $M_i(t)$, o processamento pode consistir em alguma operação digital tal que, quando um sinal analógico de saída $M_o(t)$ é eventualmente reconstituído, os sinais $M_i(t)$ e $M_o(t)$ estão relacionados pela função de transferência de um *filtro digital.*

Na entrada de tal sistema de processamento, o processo global de conversão de um sinal analógico para uma forma digital envolve uma seqüência de quatro processos individuais chamados *amostragem*, *retenção*, *quantização* e *codificação*. Estes processos não são necessariamente realizados em operações separadas. De um modo geral, como foi discutido no Capítulo 13, a amostragem e retenção são feitas simultaneamente em um tipo de circuito chamado circuito amostrador-segurador de primeira ordem (retentor) (*sample and hold* – S/H), enquanto a quantização e a codificação são feitas simultaneamente em um circuito chamado *conversor analógico digital* (A/D). Depois que o processamento digital é completado, a reconstituição de um sinal analógico de saída é obtida pela operação de *conversão digital-analógico* (D/A) seguida de *filtragem*. Neste capítulo discutiremos os circuitos usados para realizar cada uma destas funções.

14.2 O TEOREMA DA AMOSTRAGEM

A validade do processo inteiro depende fundamentalmente do *teorema de amostragem* que iremos agora estabelecer. Este teorema por ser tão bem conhecido e discutido exaustivamente em textos de teoria das comunicações e análise de sistemas, não o provaremos aqui.

Seja $M(t)$ um sinal que é limitado em freqüência de modo que sua componente espectral de freqüência mais elevada é f_m. Sejam os valores de $M(t)$ determinados em intervalos regulares $T_s \leqslant 1/2f_m$, isto é, o sinal é amostrado regularmente a cada T_s ou mais freqüentemente. Estas amostras determinam o sinal unicamente e ele poderá ser reconstruído a partir destas amostras, sem erro. O sinal $M(t)$ pode ser reconstruído precisamente pela transmissão das amostras através de um filtro passa-baixo ideal que possui uma resposta plana no mínimo até f_m e corta em uma freqüência menor ou igual a $f_s - f_m$ onde $f_s = 1/T_s$.

O tempo T_s é chamado de *tempo de amostragem.* Observe que o teorema requer que a taxa de *amostragem* f_s seja rápida o suficiente para que no mínimo duas amostras sejam tomadas durante o período correspondente à sua componente espectral de freqüência mais elevada do sinal $M(t)$.

O significado do teorema da amostragem é ilustrado na Fig. 14.2-1. Na Fig. 14.2-1*a*, a amostragem do sinal limitado em banda é conseguida pela chave FET e seu sinal de amostragem associado. O sinal de amostragem, que é o sinal de controle da porta do FET, consiste, conforme é mostrado, em uma seqüência de pulsos que tem uma duração τ e com período T_s. A porta permite a transmissão somente durante o intervalo τ. O sinal, exceto por uma constante multiplicativa α, é reconstituído na saída do filtro passa-baixo. Uma porção de um sinal típico é mostrada na Fig. 14.2-1*b* e a forma de onda amostrada é indicada na Fig. 14.2-1*c*. A forma de onda amostrada $M_s(t)$ consiste em pulsos. A duração de cada pulso é igual ao intervalo de tempo para o qual a chave FET está fechada. Durante cada intervalo de amostragem, $M_s(t) = M(t)$, isto é, a parte superior de cada pulso segue $M(t)$. Fora do intervalo de amostragem, $M_s(t) = 0$.

A característica do filtro requerido para que $M(t)$ seja reconstituída sem erro é mostrada na Fig. 14.2-1*d*. Aqui, $H(f)$ é a função de transferência do filtro, isto é, $H(f) = V_o(f)/V_i(f)$. Observamos que $H(f)$ deve ser plana no mínimo até a freqüência f_m, que é a componente de mais alta freqüência de $M(t)$, e $H(f)$ deve cair a zero antes da freqüência $f_s - f_m$. Como exemplo, digamos que $f_m = 1$ kHz; a mínima freqüência de amostragem permitida é então $f_s = 2f_m = 2$ kHz. Vamos considerar $f_s = 2{,}5$ kHz. Então, $f_s - f_m = 2{,}5 - 1{,}0 = 1{,}5$ kHz. Seria então necessário que $|H(f)|$ fosse constante, $|H(f)| = H_0$, desde 0 até, no mínimo, 1 kHz e que caísse a zero em uma freqüência $\leqslant 1{,}5$ kHz. Se tivéssemos escolhido $f_s = 2f_m = 2$ kHz, teríamos $f_s - f_m = f_m$. Neste caso, precisaríamos que $|H(f)| = H_0$ até f_m e então $|H(f)|$ deveria cair abruptamente a zero.

Ainda que não tenhamos feito uma referência explícita à característica de fase do filtro, deveria ser observado que, no filtro passa banda (0 a f_m), a característica de fase deve ser linear. Isto é o que se exige na banda de passagem de qualquer filtro se queremos que as componentes espectrais de freqüência que estiverem na banda de passagem do filtro passem sem distorção.

Suponha, observando a Fig. 14.2-1*c*, que fazemos $\tau = T_s$, isto é, o intervalo de amostragem igual ao intervalo entre amostras. Neste caso, a chave FET transmitirá *todo o tempo* e a amplitude do sinal reconstituído $M_o(t)$ é $M(t)$, isto é, *todo* o sinal. Genericamente, a chave FET transmite somente durante uma fração τ/T_s do tempo. Parece razoável que, nesta situação, a fração do sinal original $M(t)$ disponível no sinal reconstituído deveria ser $(\tau/T_s)\,M(t)$. O mesmo resultado

pode ser visto de outro modo. Um filtro passa-baixo é um dispositivo de valor médio no tempo. Assim, o sinal $M(t)$ obtido no sinal amostrado deveria ser proporcional à largura τ dos pulsos de amostragem, sendo que o sinal resultante seria o próprio $M(t)$ quando $\tau = T_s$. Finalmente, levando-se em conta o ganho H_0 do filtro passa-baixo, esperaríamos que o sinal de saída recuperado fosse

$$M_o(t) = \frac{\tau}{T_s} H_0 M(t) \tag{14.2-1}$$

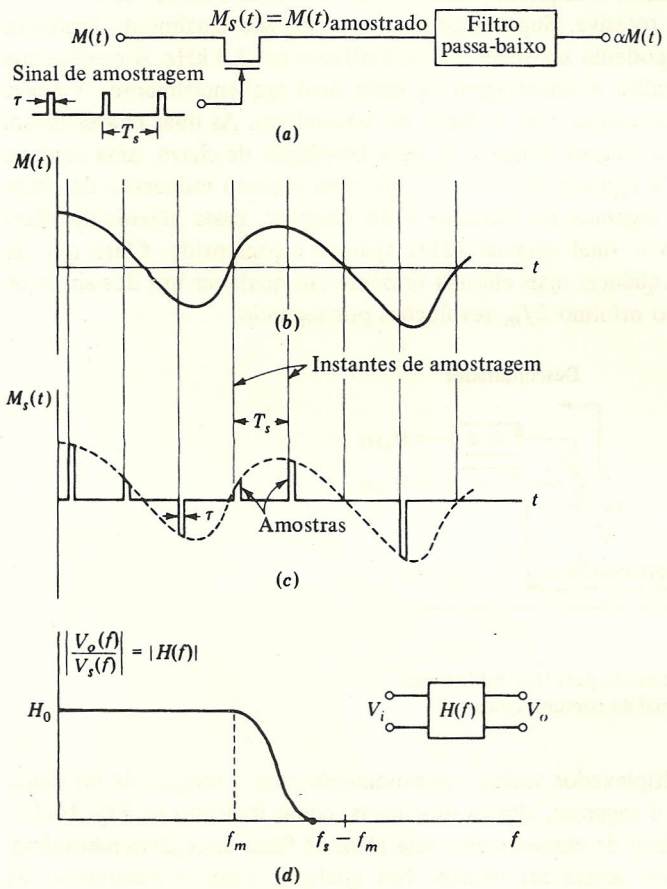


FIGURA 14.2-1
(*a*) Um sinal $M(t)$ é amostrado e recuperado. (*b*) Um sinal $M(t)$. (*c*) O sinal $M(t)$ amostrado. (*d*) A característica de transferência necessária ao filtro.

Na Fig. 14.2-1*a*, a distância entre a fonte de sinal $M(t)$ e seu eventual destino poderia ser tão grande que seria apropriado referir-se à conexão entre a fonte e o destino como sendo um *canal de comunicação*. A conexão do canal pode ser composta de fios ou de um lance de rádio. O sistema físico utilizado no canal de comunicação poderia ser bastante caro e, portanto, estaríamos interessados em fazer o melhor uso dele. Observamos que, na transmissão do sinal $M(t)$, o canal estará sendo utilizado somente uma fração τ/T_s do tempo e, então, nos pergun-

taríamos se, quando o canal não estivesse em uso para $M(t)$, poderíamos utilizá-lo para a transmissão de outros sinais. Tal transmissão simultânea de sinais é, sem dúvida, possível e é chamada de *multiplexação por divisão de tempo*.

14.3 MULTIPLEXAÇÃO POR DIVISÃO DE TEMPO

Uma técnica pela qual podemos aproveitar o princípio da amostragem para a finalidade de fazermos a multiplexação por divisão de tempo é ilustrada na representação idealizada na Fig. 14.3-1. No final do transmissor, à esquerda, vários sinais de banda limitada estão conectados aos terminais de uma chave rotativa. Suporemos que os sinais são igualmente limitados em banda. Por exemplo, todos eles poderão ser sinais de voz limitados em 3,3 kHz. À medida que a parte móvel da chave gira, ela realiza a amostragem de cada sinal seqüencialmente. A chave rotativa no receptor estaria em sincronismo com a chave do transmissor. As duas chaves fazem contato simultâneo nos terminais de mesmo número. A cada revolução da chave, uma amostra de cada sinal da entrada é tomada e apresentada em seu respectivo contato numerado da chave do receptor. O trem de amostras, digamos no terminal 1 do receptor, passa através do filtro passa-baixo 1 e, na saída do filtro o sinal original $M(t)$ aparece reconstruído. Claro que, se f_m é a componente espectral de freqüência mais elevada presente em qualquer um dos sinais de entrada, as chaves deverão efetuar no mínimo $2f_m$ revoluções por segundo.

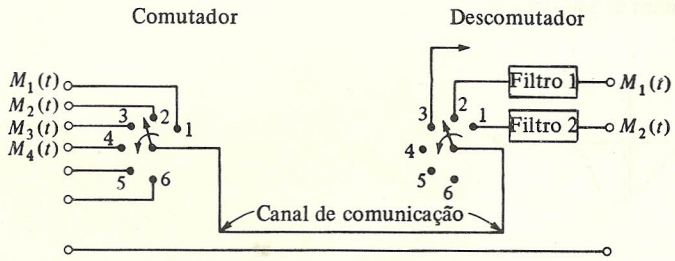


FIGURA 14.3-1
Como o princípio da amostragem pode ser usado para transmitir vários sinais limitados em banda em um único canal de comunicações.

Quando os sinais a serem multiplexados variam vagarosamente com o tempo, de tal modo que também a taxa de amostragem é vagarosa, chaves mecânicas, como indicado na Fig. 14.3-1, podem ser usadas. Quando a velocidade de chaveamento está além da faixa das chaves mecânicas, sistemas eletrônicos de chaveamento devem ser usados. Em qualquer caso, o mecanismo de chaveamento correspondente à chave à esquerda da Fig. 14.3-1, que amostra os sinais, é chamado de *comutador*. O mecanismo de chaveamento que realiza a função da chave à direita da Fig. 14.3-1 é chamado de *descomutador*. O comutador amostra e combina as amostras, enquanto o descomutador separa as amostras que pertencem aos sinais individuais, de modo que estes sinais possam ser reconstruídos.

O entrelaçamento de amostras que permite a multiplexação é indicado na Fig. 14.3-2. Aqui, por simplicidade, consideramos a multiplexação de somente dois sinais, $M_1(t)$ e $M_2(t)$. O sinal $M_1(t)$ é amostrado regularmente a intervalos de T_s e nos instantes indicados na figura.

A amostragem de $M_2(t)$ é também regular, mas as amostras são tomadas em um instante diferente do instante de amostragem de $M_1(t)$. A forma de onda de entrada do filtro de número 1 da Fig. 14.3-1 é o trem de amostras de $M_1(t)$, e a entrada do filtro número 2 é o trem de amostras de $M_2(t)$. A duração das amostras na Fig. 14.3-2 foi desenhada deliberadamente, de modo a sugerir que há "espaço" para multiplexarmos mais do que dois sinais.

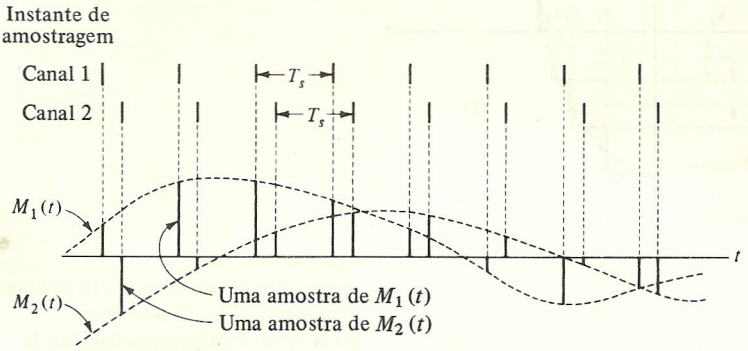


FIGURA 14.3-2
Entrelaçando dois sinais de banda base.

Observamos que o trem de pulsos correspondente às amostras de cada sinal é modulado em amplitude de acordo com o próprio sinal. Este sistema de amostragem é, então, chamado de *modulação por pulsos em amplitude* (PAM). Observamos, entretanto, que estes pulsos podem variar *continuamente* em amplitude. Assim, o PAM é um sistema *analógico* e não *digital*. Discutimos este sistema aqui como um prelúdio necessário à análise da *modulação em pulsos por código* (PCM) que é um sistema digital.

14.4 QUANTIZAÇÃO

A validade do teorema da amostragem torna possível a transmissão ou o processamento de um sinal analógico por meios digitais. Não necessitamos ter todo o sinal analógico durante todo o tempo, porém somente nos instantes de amostragem e, assim, nos intervalos entre as amostras deveremos ter tempo para converter cada tensão de amostra para a forma digital. As amostras são tensões analógicas que variam continuamente. A variação permissível sob forma digital não é contínua, já que os valores das amostras devem diferir, no mínimo, de um dígito correspondente ao menos significativo dos dígitos usados na representação digital. Assim, o processo de converter as amostras em dígitos envolve uma aproximação. Este processo de aproximação é chamado de *quantização*.

A operação de quantização é ilustrada na Fig. 14.4-1. Um sinal $M(t)$ é indicado na Fig. 14.4-1*a*. Este sinal é a forma de onda V_i aplicada à entrada do quantizador. A saída do quantizador é chamada de V_o. O quantizador possui uma característica entrada-saída essencial que é na forma de uma escada como é mostrado na Fig. 14.4-1*b*. Como conseqüência, a saída V_o, mostrada na Fig. 14.4-1*c*, é a forma de onda quantizada $M_q(t)$. É observado que, enquanto a entrada $V_i = M(t)$ varia suavemente em sua faixa, o sinal quantizado $V_o = M_q(t)$ se mantém em um ou outro de um número fixo de níveis $M_{-2}, M_{-1}, M_0, M_1, M_2, \ldots$ Assim, o sinal $M_q(t)$ varia ou não abruptamente de um *quantum* de salto S' chamado de *tamanho do salto* (ou do degrau).

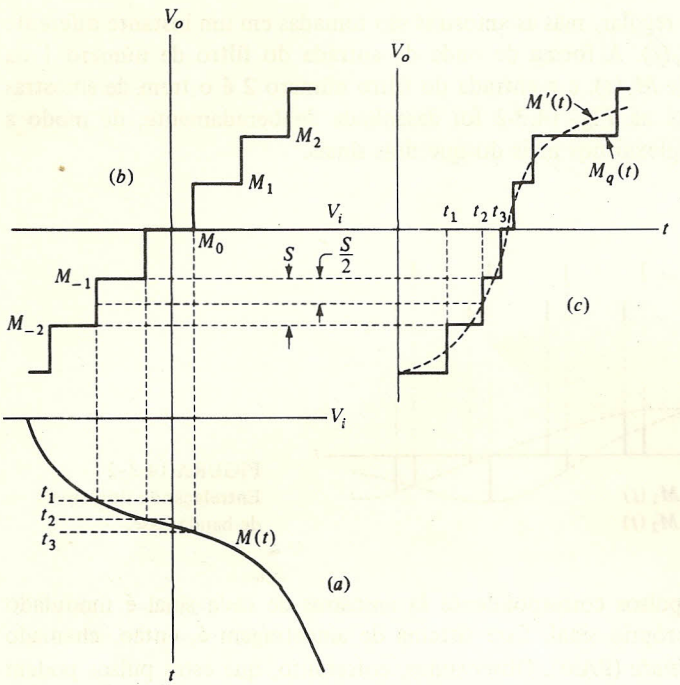


FIGURA 14.4-1
A operação de quantização. O tamanho do degrau é S. (*a*) O sinal $M(t)$. (*b*) A característica entrada-saída do quantizador. (*c*) A saída do quantizador (linha cheia) em resposta a $M(t)$. O sinal tracejado $M'(t)$ mostra a forma de onda do sinal para uma característica linear.

A forma de onda $M'(t)$, mostrada pontilhada na Fig. 14.4-1*c*, representa a saída, supondo-se que ela está linearmente relacionada à entrada. Se a constante de proporcionalidade for unitária, $V_O = V_i$ e $M'(t) = M(t)$. Vemos, então, que o nível mantido pela forma de onda $M_q(t)$ é o nível que mais se aproxima de $M'(t)$. A transição entre um nível e o seguinte ocorre no instante em que $M'(t)$ cruza o ponto médio entre dois níveis adjacentes.

Vemos, portanto, que o sinal quantizado é uma aproximação do sinal original. A qualidade da aproximação pode ser melhorada pela redução do tamanho dos saltos e, portanto, aumentando o número de níveis. Eventualmente, com saltos pequenos o suficiente, o olho ou o ouvido humanos não estarão aptos a distinguir o sinal quantizado do original. Para darmos ao leitor uma idéia do número de níveis de quantização necessários em um sistema prático, observamos que 512 níveis podem ser utilizados para a obtenção da qualidade de um sinal a cores de TV comercial, enquanto 64 níveis nos dariam um resultado pouco aceitável para TV a cores.

Se propusermos a quantização de um sinal com variação R pico a pico e quisermos usar Q níveis de quantização, o tamanho do salto S é determinado pela condição $QS = R$. Localizaríamos os níveis de quantização como indicado na Fig. 14.4-2*a*. Desta maneira, o erro de quantização instantâneo máximo seria $S/2$ como é ilustrado na Fig. 14.4-2*b*.

O processo completo para a digitalização de uma forma de onda analógica é ilustrado na Fig. 14.4-3. O sinal $M(t)$ é amostrado regularmente nos instantes indicados pelos pontos na forma de onda. A faixa R pico a pico que é antecipada é de 7 V, estendendo-se de $-3{,}5$ a $+$ 3,5 V. Permitimos oito níveis de quantização, de tal modo que o erro máximo de quantização possível é de 0,5 V. Seguindo prática comum, associamos um conjunto de dígitos binários a cada nível usando a representação de complemento de dois (como há 8 níveis, há a necessidade de termos 3 bits).

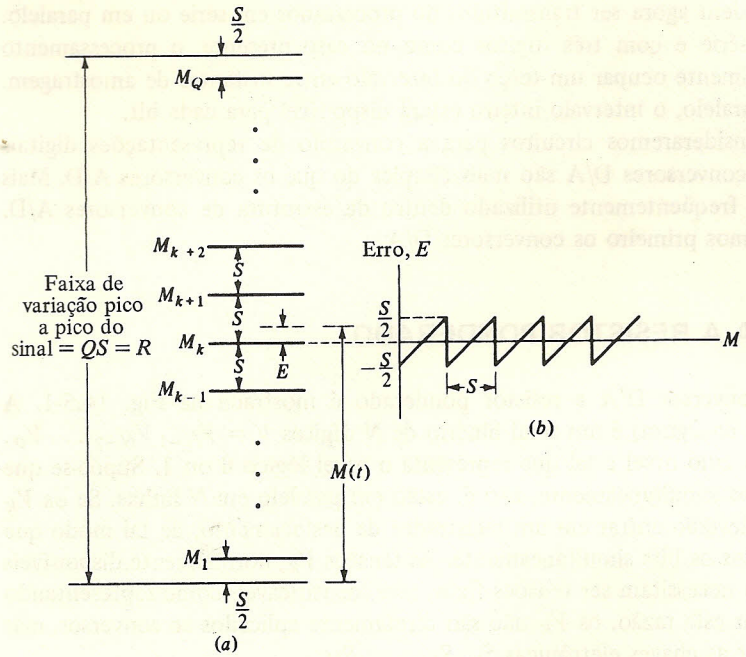


FIGURA 14.4-2
(*a*) Uma faixa de tensão por onde um sinal $M(t)$ excursiona é dividida em Q faixas de quantização, cada uma com tamanho S. Os níveis de quantização estão localizados nos centros das faixas. (*b*) A tensão de erro $E(t)$ como uma função do valor instantâneo de $M(t)$.

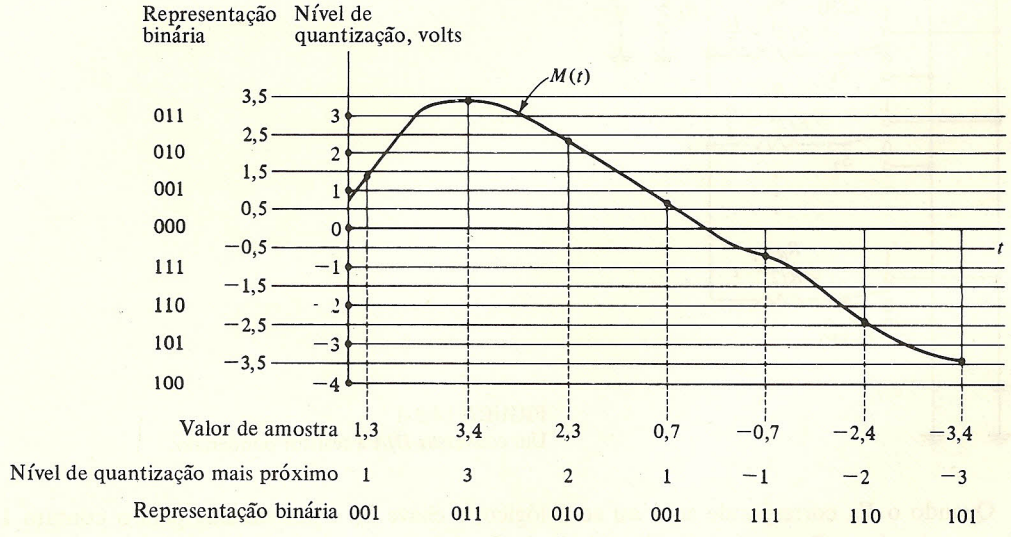


FIGURA 14.4-3
Um sinal mensagem é amostrado regularmente. Os níveis de quantização estão indicados. Para cada amostra, o valor quantizado é dado, e sua representação binária é indicada, usando a representação de complemento de dois.

Os dígitos binários podem agora ser transmitidos ou processados em série ou em paralelo. Com o processamento em série e com três dígitos como no caso presente, o processamento de cada dígito pode nominalmente ocupar um terço do intervalo entre instantes de amostragem. Com o processamento em paralelo, o intervalo inteiro estará disponível para cada bit.

Na seção seguinte consideraremos circuitos para a conversão de representações digitais para a forma analógica. Os conversores D/A são mais simples do que os conversores A/D. Mais ainda, um conversor D/A é freqüentemente utilizado dentro da estrutura de conversores A/D. Por estas razões, consideraremos primeiro os conversores D/A.

14.5 CONVERSOR D/A A RESISTOR PONDERADO

A estrutura de um conversor D/A a resistor ponderado é mostrada na Fig. 14.5-1. A entrada (que não é mostrada na figura) é um sinal binário de N dígitos $V = V_{N-1} V_{N-2} \cdots V_0$, onde cada V_k é uma tensão cujo nível é tal que representa o nível lógico **0** ou **1**. Supõe-se que todos os V_k estão disponíveis simultaneamente, isto é, estão em paralelo em N linhas. Se os V_k aparecem em série, os bits deverão entrar em um registrador de deslocamento, de tal modo que haja a disponibilidade de todos os bits simultaneamente. As tensões V_k, normalmente disponíveis para excitar o conversor, não necessitam ser tensões fixas, mas identificáveis como representando um ou outro nível lógico. Por esta razão, os V_k não são diretamente aplicados ao conversor, mas sim são utilizados para operar as chaves eletrônicas $S_0, S_1, \ldots, S_{N-1}$.

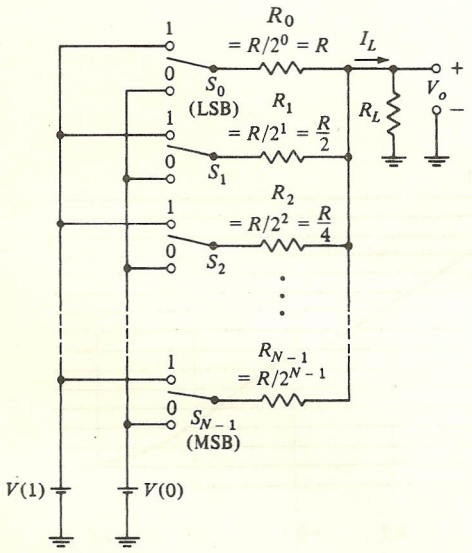


FIGURA 14.5-1
Um conversor *D/A* a resistor ponderado.

Quando o V_k corresponde ao **1** ou ao **0** lógico, a chave S_k é posicionada para o contato **1** ou 0, conectando então um resistor de resistência R_k à fonte de tensão controlada precisamente $V(1)$ ou $V(0)$. O bit menos significativo (LSB) V_0 opera a chave S_0 que está conectada à saída através do resistor de mais alta resistência $R_0 = R$. O bit mais significativo (MSB) opera S_{N-1}. Observe que os resistores $R_0, R_1, \ldots, R_{N-1}$ são *ponderados* de tal modo que suas resistências

são inversamente proporcionais à significância numérica do dígito binário correspondente. A operação do conversor depende dos valores das resistências dos resistores sucessivos, estando relacionados por um fator de 2 e não dependem do valor absoluto dos resistores. Assim, o parâmetro R da Fig. 14.5-1 é arbitrário.

Vamos supor inicialmente que $V(1) = V_R$ é uma tensão fixa de referência e que $V(0) = 0$, isto é, todas as posições 0 das chaves estão aterradas, e que a carga $R_L = 0$ (e portanto $V_o = 0$). A corrente de saída I_L pode ser calculada rapidamente em função das posições das chaves. Seja $S_k = \mathbf{1}$ e $S_k = \mathbf{0}$ as representações das chaves, respectivamente, nas situações em que elas se encontram nas posições 1 ou 0. A corrente de carga I_L (que, por ser uma corrente de curto-circuito, chamaremos de I_{LS}) é

$$I_{LS} = V_R\left(\frac{S_{N-1}}{R_{N-1}} + \frac{S_{N-2}}{R_{N-2}} + \cdots + \frac{S_0}{R_0}\right) \tag{14.5-1a}$$

$$= \frac{V_R}{R}\left(S_{N-1}2^{N-1} + S_{N-2}2^{N-2} + \cdots + S_0 2^0\right) \tag{14.5-1b}$$

Assim, observamos que I_{LS} tem um valor numérico que é diretamente proporcional ao valor numérico do número binário $S = S_{N-1}S_{N-2} \ldots S_0$, sendo que o fator de proporcionalidade é V_R/R.

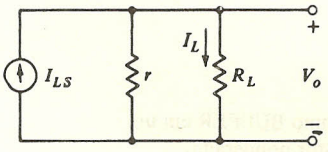


FIGURA 14.5-2
O conversor D/A com arranjo de resistores da Fig. 14.5-1 substituído por seu circuito equivalente de Norton.

Esta proporcionalidade persistirá, ainda que com um fator de proporcionalidade diferente, se R_L não for igual a zero. Este caso pode ser visto a partir da Fig. 14.5-2. Aqui, substituímos o conversor (com exceção de R_L) por seu equivalente de Norton. Este circuito equivalente consiste em uma fonte de corrente I_{LS} com um resistor r em paralelo, que é a impedância de saída da rede. A impedância de saída r é igual em resistência à combinação paralela de todos os resistores $R_0, R_1, \ldots, R_{N-1}$ e, como pode ser verificado (Prob. 14.5-1), é dada por

$$r = \frac{R}{2^N - 1} \tag{14.5-2}$$

A nova corrente de carga em R_L é

$$I_L = \frac{r}{r + R_L} I_{LS} \tag{14.5-3}$$

e a tensão de saída usando-se as Eqs. (14.5-1) e (14.5-3) é dada por

$$V_o = R_L I_L = \frac{R_L V_R}{R + (2^N - 1)R_L}\left(S_{N-1}2^{N-1} + S_{N-2}2^{N-2} + \cdots + S_0 2^0\right) \tag{14.5-4}$$

Com $V(1) = V_R$ e $V(0) = 0$, a excursão da tensão de saída V_o se estende desde 0 V, quando $S = 0 \ldots 00$, até $V = R_L V_R/(r + R_L)$ quando $S = 1 \ldots 11$. Pela seleção apropriada de $V(1)$ e $V(0)$, podemos adequar a variação de V_o de acordo com nossa conveniência. Assim, por exemplo, com $V(1) = V_R$ e $V(0) = -V_R$, a excursão de V_o se estenderá igualmente nos sentidos positivo e negativo sendo simétrica, portanto, em relação a 0 V. Um amp-op freqüentemente é utilizado como BUFFER para a rede de resistores em um conversor D/A. Tal arranjo é indicado na Fig. 14.5-3. Por simplicidade, as chaves foram omitidas neste diagrama, porém suas presenças nas entradas de R_0, R_1, ..., R_{N-1} devem ser subentendidas. Devido ao terra virtual no terminal inversor do amp-op, a saída é dada por

$$V_o = -\frac{R_f V_R}{R_{N-1}} S_{N-1} - \frac{R_f V_R}{R_{N-2}} S_{N-2} - \cdots - \frac{R_f V_R}{R_0} S_0 \qquad (14.5\text{-}5)$$

Levando-se em conta, como indicado na Fig. 14.5-1, o fato de que $R_{N-1} = R/2^{N-1}$, etc., encontramos

$$V_o = -\frac{V_R R_f}{R} (S_{N-1} 2^{N-1} + S_{N-2} 2^{N-2} + \cdots + S_0 2^0) \qquad (14.5\text{-}6)$$

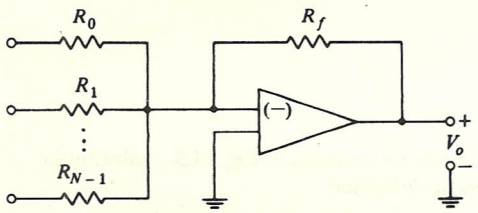


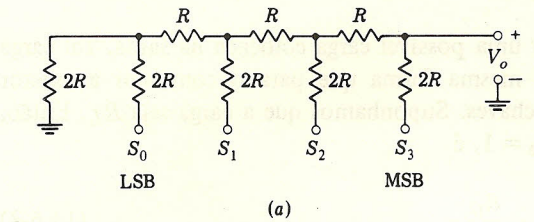
FIGURA 14.5-3
Um amp-op é usado como BUFFER em um conversor *D/A* de resistor ponderado.

É de algum interesse observarmos que, quando um amp-op é usado, se ele fosse ideal, não seria necessário utilizarmos chaves de duplo pólo na entrada do conversor. Chaves de pólo único serviriam. Cada chave conectaria o resistor correspondente a uma fonte de tensão V_R, quando a posição da chave fosse $S = 1$, e deixaria o resistor *flutuando*, isto é, não conectado em seu terminal de entrada quando $S = 0$. Tal arranjo, em princípio, é permitido por causa do terra virtual na entrada do amp-op com este terra virtual, a corrente de entrada no amplificador, devido ao fechamento de qualquer chave, é independente das posições de todas as outras chaves. Do ponto de vista prático, um terminal de entrada flutuante é freqüentemente uma fonte de espúrias que são introduzidas no sistema por acoplamentos não intencionais e inevitáveis, e portanto este procedimento não é seguido usualmente.

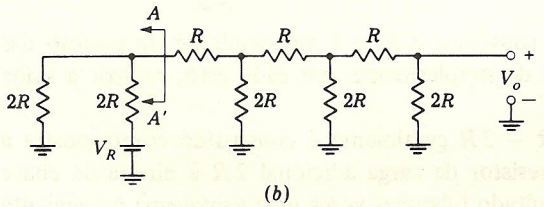
Uma dificuldade associada a este conversor de resistor ponderado advém da grande gama de valores de resistores que devem ser usados. Suponha, por exemplo, que o resistor correspondente ao MSB (bit mais significativo) é de 2 kΩ e que o conversor deve funcionar com 13 bits. O resistor associado ao LSB será então de $2\ \text{k}\Omega \times 2^{12} = 8{,}2\ \text{M}\Omega$. Resistores que cubram esta extensa faixa com a precisão necessária e independentes da variação de temperatura, são difíceis de fabricar. É especialmente difícil em uma fabricação monolítica, que seria de interesse na fabricação de circuitos integrados. Consideraremos, na seção seguinte, um arranjo conversor-resistor alternativo que evita este problema.

14.6 O CONVERSOR D/A DE ESCADA $R - 2R$

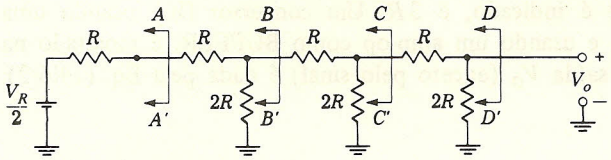
O arranjo do conversor-resistor da Fig. 14.6-1*a* usa resistores de somente dois valores, R e $2R$. Nesta figura, somente 4 bits são indicados, porém, obviamente, o arranjo pode ser expandido para acomodar um número arbitrário de bits. Observe que este arranjo necessita do dobro de resistores para o mesmo número de bits de entrada em relação ao arranjo de resistor ponderado. Novamente, para a simplicidade da Fig. 14.6-1*a*, as chaves foram omitidas, devendo ser subentendido que, quando $S_k = 1$, o resistor correspondente está conectado a uma tensão V_R e quando $S_k = 0$ a entrada do resistor está aterrada.



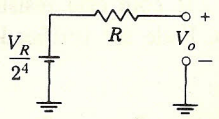
(*a*)



(*b*)



(*c*)



(*d*)

FIGURA 14.6-1
O conversor *D/A* de escada *R*-2*R*. (*b* e *c*) Teorema de Thevenin usado para determinar a tensão de saída V_O. (*d*) O circuito equivalente final conforme é visto da saída.

Para mais simplesmente vermos o peso relativo na saída das chaves individuais, considere a situação da Fig. 14.6-1*b*, onde fizemos $S_0 = 1$, enquanto $S_1 = S_2 = S_3 = 0$. Neste exemplo, encontramos a fonte de tensão V_R em série com um resistor $2R$. Aplicando-se o teorema de Thevenin em AA' encontramos, como é mostrado na Fig. 14.6-1*c*, que agora temos uma fonte de tensão $V_R/2$ em série com R. Repetimos a aplicação do teorema de Thevenin em BB', CC' e DD'. Encontramos que, em cada uma destas aplicações, a fonte de tensão é novamente dividida por 2, enquanto a impedância equivalente de saída de Thevenin permanece constante em R. O circuito equivalente final para a saída é mostrado na Fig. 14.6-1*d*. Se repetíssemos estas operações iniciando-se com $S_1 = 1$, $S_3 = S_2 = S_0 = 0$, encontraríamos um circuito equivalente como o da Fig. 14.6-1*d*, exceto que a fonte de tensão seria $V_R/2^3$ e assim por diante para as chaves S_2 e S_3. Assim, na saída, cada chave contribui com seu peso relativo binário adequado. Para o arranjo da Fig. 14.6-1*a* temos que

$$V_o = V_R\left(\frac{S_3}{2^1} + \frac{S_2}{2^2} + \frac{S_1}{2^3} + \frac{S_0}{2^4}\right) \tag{14.6-1a}$$

e

$$V_o = \frac{V_R}{2^4}(S_3 2^3 + S_2 2^2 + S_1 2^1 + S_0 2^0) \tag{14.6-1b}$$

ou, mais genericamente, se há N dígitos de entrada e correspondentemente N chaves, temos

$$V_o = \frac{V_R}{2^N}(S_{N-1}2^{N-1} + S_{N-2}2^{N-2} + \cdots + S_0 2^0) \tag{14.6-2}$$

A Eq. (14.6-2) não leva em consideração uma possível carga colocada na saída. Tal carga mudará o valor absoluto da saída, porém, da mesma forma que para o conversor a resistor ponderado, não mudará o peso individual das chaves. Suponhamos que a carga seja R_L. Então, referindo-nos à Fig. 14.6-1*d*, a saída, quando $S_0 = 1$, é

$$V_o = \frac{V_R}{2^4}\frac{R_L}{R + R_L} \tag{14.6-3}$$

A impedância de saída de Thevenin do conversor é R, e é independente da posição das chaves e, assim, o efeito de uma carga R_L é de simplesmente, em cada caso, reduzir a saída por um fator $R_L/(R_L + R)$.

O arranjo para o conversor em escada $R - 2R$ geralmente é construído como mostra a Fig. 14.6-2*a*. Observe aqui a inclusão de um resistor de carga adicional $2R$ à direita da chave correspondente ao bit mais significativo. O resultado (algumas vezes uma vantagem) proveniente da inclusão deste resistor extra é que as impedâncias vistas em cada entrada do arranjo são todas as mesmas. Esta impedância, conforme é indicado, é $3R$. Um conversor D/A usando uma escada $R - 2R$ com este resistor extra, e usando um amp-op como BUFFER, é mostrado na Fig. 14.6-2*b*. Pode ser verificado que a saída V_O (exceto pelo sinal) é dada pela Eq. (14.6-2).

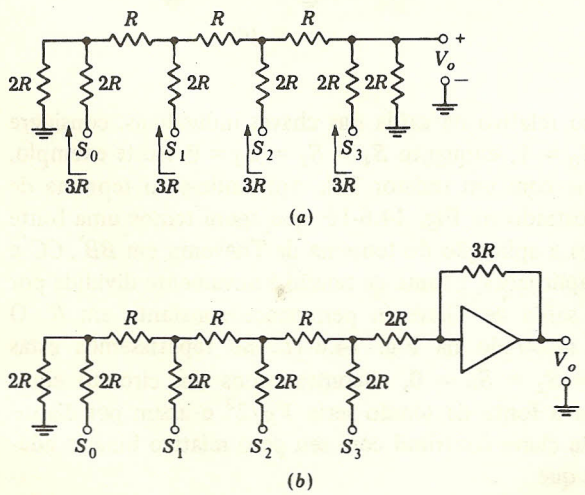


FIGURA 14.6-2
Conexão da escada R-$2R$ a um amp-op.

O conversor a resistor ponderado associa determinados "pesos" aos bits da entrada digital pelo uso de resistores cujos valores são ponderados. Na escada $R - 2R$, os bits são ponderados através da divisão de correntes sucessivas, com atenuações sucessivas para bits de menor significância. Um compromisso entre esses dois tipos de esquemas é possível. Um dos circuitos que revela este compromisso é mostrado na Fig. 14.6-3. Como de costume, S_0 é o bit menos significante, enquanto S_7 é o bit mais significante. Escolhemos fazer o arranjo dos bits em grupos de quatro. Dentro de cada grupo, os bits são introduzidos através de resistores cujos valores são ponderados e relacionados através de potências de 2. É necessária, entretanto, uma atenuação adicional de 16 entre o grupo $S_0S_1S_2S_3$ e o grupo $S_4S_5S_6S_7$. Assim, quando $S_3 = 1$, a corrente de entrada conseqüente para o terra virtual do amp-op deveria ser um dezesseis avos (1/16) da corrente resultante quando $S_7 = 1$. Da mesma forma, esta mesma relação deve ser mantida entre S_2 e S_6, etc. O resistor r foi inserido entre os dois grupos para fornecer esta atenuação. Pode ser verificado que $r = 8R$ reduzirá a corrente de um fator 1/16 conforme é necessário para uma entrada binária convencional.

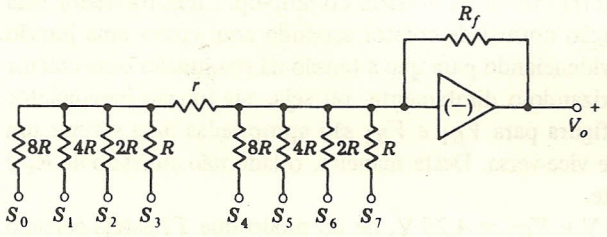


FIGURA 14.6-3
Um conversor *D/A* que efetua um compromisso entre o uso de resistores ponderados e o uso de uma rede em escada.

O arranjo da Fig. 14.6-3 é também muito conveniente para acomodar um formato de entrada do tipo BCD. Neste formato, os quatro bits $S_3S_2S_1S_0$ representam um dígito decimal 0 a 9 na posição das unidades, enquanto $S_7S_6S_5S_4$ representam um dígito decimal na posição das dezenas. Nestes casos o resistor r deve ser selecionado para fornecer uma atenuação de 10 em vez de 16. Pode ser verificado (Prob. 14.6-3) que tal atenuação de 10 requer $r = 4{,}8R$.

14.7 CHAVES PARA CONVERSORES D/A

No Capítulo 1 discutimos o uso de diodos e transistores (tanto bipolar como FET) como chaves. No Capítulo 13, discutimos o uso destes dispositivos em circuitos de chaveamento de sinais analógicos. Estes dispositivos também podem ser usados como chaves em conversores D/A.

Os FETs conduzindo se comportam como simples resistores. Quando estes dispositivos são usados, os resistores no arranjo do conversor devem ser de valores elevados em relação à resistência do FET para que esta possa ser ignorada, ou, caso contrário, a resistência do FET deve ser levada em conta. Na segunda hipótese, pode ser necessária alguma espécie de compensação em relação à temperatura (veja o Prob. 14.7-1), já que a resistência do FET é sensível à temperatura. Na saturação os transistores bipolares possuem resistência desprezível mas, conforme foi observado, eles mantêm uma pequena tensão residual. Como esta tensão é consideravelmente menor quando o transistor é usado no sentido inverso (veja a Fig. 1.10-1), este modo de operação é então normalmente utilizado.

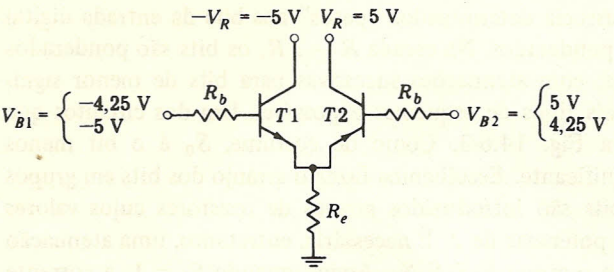


FIGURA 14.7-1
Transistores bipolares usados no modo inverso como chaves, em um conversor *D/A*.

Há, entretanto, uma dificuldade associada com o uso de chaves a transistor bipolar no modo inverso em um circuito conversor. Para avaliar a dificuldade, considere a situação representada na Fig. 14.7-1. Os dois transistores servem como uma chave de dois pólos, por exemplo, no conversor da Fig. 14.5-1, onde fizemos $V(1) = V_R = 5$ V e $V(0) = -V_R = -5$ V. O resistor R_e representa um dos resistores do conversor. O terminal de R_e distante das chaves é considerado aterrado em virtude de sua conexão ao terra virtual da entrada do amp-op. Cada transistor está sendo usado no sentido inverso com a junção normal de coletor servindo aqui como uma junção de emissor. Cortaremos um transistor providenciando para que a tensão na sua junção base-coletor vá a 0 V e saturaremos o transistor polarizando-o diretamente, ou seja, sua junção base-coletor indo até 0,75 V. As tensões indicadas na figura para V_{B1} e V_{B2} são apropriadas para saturar um transistor enquanto o outro está cortado e vice-versa. Desta maneira, o lado não aterrado de R_e é conectado a -5 ou $+5$ V, respectivamente.

Consideremos agora que $V_{B1} = -5$ V e $V_{B2} = 4{,}25$ V, de tal modo que $T1$ esteja cortado e $T2$ conduzindo. Então, a tensão entre a base e o emissor de $T1$ é muito próxima de $V_{BE1} = 9{,}25$ V. Esta tensão elevada entre a base e o emissor de um transistor é maior do que a que um transistor normalmente poderia sustentar. Por esta razão, o arranjo de chaveamento indicado na Fig. 14.7-1 não é aceitável.

Um arranjo alternativo para o chaveamento e que contorna esta dificuldade de tensão é indicado na Fig. 14.7-2. Os transistores são usados no modo normal ao invés de no modo invertido, mas as configurações de circuito são aquelas dos seguidores de emissor. Conforme foi indicado na seção 1.10, um seguidor de emissor sobreexcitado pode ter uma tensão residual de 0 V, já que o fator de saturação σ é negativo. Na Fig. 14.7-2 as bases são excitadas entre $+5{,}75$ e $-5{,}75$ V. No primeiro caso, $T1$ está saturado e $V_E \approx 5$ V, enquanto $T2$ está cortado. As tensões base-emissor são as mesmas com $V_{BE1} = V_{BE2} = 0{,}75$ V. No segundo caso, $T2$ conduz e $T1$ está cortado. A tensão de emissor V_E é agora $V_E \approx -5$ V. Observamos que uma possível desvantagem do presente arranjo é a necessidade de grandes excursões na tensão de base (11,5 V).

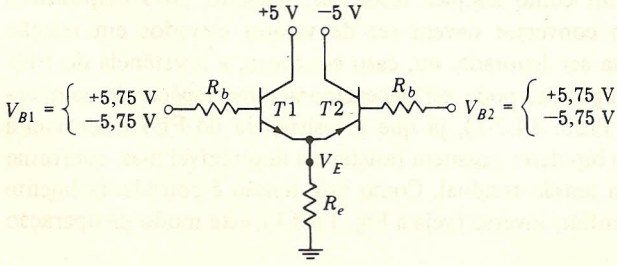


FIGURA 14.7-2
Seguidores de emissor sobreexcitados e usados como chaves em um conversor *D/A*.

Um exemplo de um conversor D/A. Como um exemplo de um conversor D/A usando o esquema de chaveamento da Fig. 14.7-2, consideremos o circuito da Fig. 14.7-3. Ainda que um conversor a resistência ponderada seja indicado, o esquema também é válido para um conversor do tipo escada. As tensões de referência $\pm V_R$ são ± 5 V. Assim, desprezando a tensão de saturação em $T3$ e $T4$ temos tensões de chaveamento de ± 5 V. Para vermos que podemos desprezar a tensão entre coletor e emissor de $T4$ (e de $T3$), suporemos primeiro que $T2$ esteja cortado. $T4$ então estará conduzindo. A tensão de emissor de $T4$ será, portanto, aproximadamente 5 V e a tensão de base V_{B4} será de 5,75 V. Assim, a corrente de base $I_{B4} \approx (12 - 5{,}75)/(4{,}4\ \text{k}\Omega) \approx$ $\approx 1{,}4$ mA. A corrente de emissor será então $I_{E4} \approx 5/(10\ \text{k}\Omega) = 0{,}5$ mA. Observe que $I_{C4} \approx$ $\approx -0{,}9$ mA e $\sigma \equiv I_C/h_{FE}I_B \approx -0{,}6/h_{FE}$. Pode ser mostrado a partir da Eq. (1.10-3) que, quando $\sigma \approx -0{,}6/h_{FE}$, então $V_{CE} \approx V_T \ln(1 + 0{,}4/h_{FE})$. Se admitirmos que $h_{FC} = 0{,}1$, encontramos então que V_{CE} será somente $V_{CE} \approx 40$ mV.

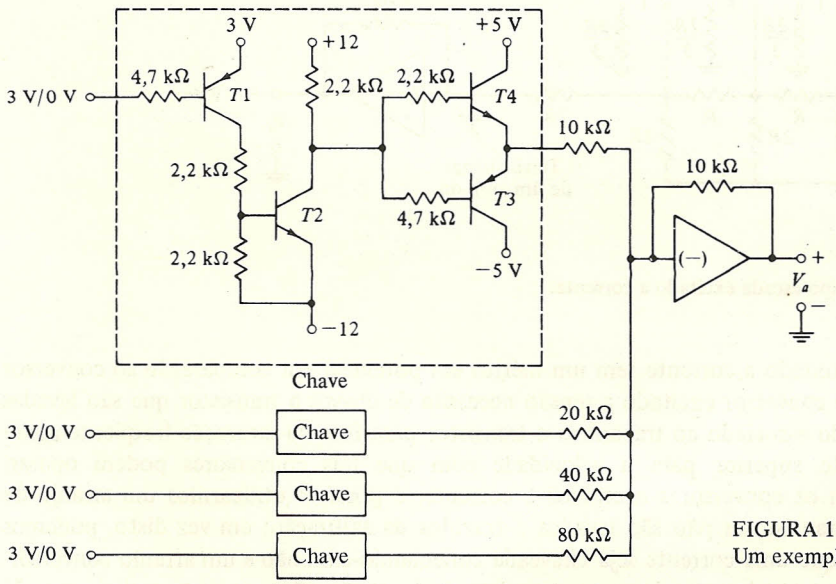


FIGURA 14.7-3
Um exemplo de um conversor *D/A*.

A tensão excitadora de entrada excursiona desde 0 V até aproximadamente 3 V. Com a entrada em 3 V, $T1$ e $T2$ estão cortados e $T4$ é levado à saturação pela corrente de base resultante da circulação de corrente desde a fonte de +12 V, passando pelo resistor de 2,2 kΩ do coletor de $T2$, indo até o resistor de 2,2 kΩ na base de $T4$. Enquanto $T4$ conduz, $T3$ está cortado. Quando a entrada está em 0 V, ambos os transistores $T1$ e $T2$ saturam, conforme pode ser verificado (Prob. 14.7-1). Neste caso, $T3$ é levado à saturação pela corrente de base derivada a partir da fonte de −12 V, e circulando através do transistor saturado ($T2$) e do resistor de base de 4,7 kΩ em $T3$. Neste caso, supondo $V_{CE2} \approx 0{,}2$ V, encontramos $I_{B3} \approx 1{,}3$ mA e, assim, σ permanece em $\sigma \approx -0{,}6/h_{FE}$. Agora, novamente, as tensões de emissor de $T3$ e $T4$ estão próximas a −5 V.

14.8 UM CONVERSOR D/A EXCITADO A CORRENTE

Um conversor D/A do tipo de arranjo de resistores em escada e usando fontes de corrente é mostrado na Fig. 14.8-1. Supomos que as chaves são do tipo que fazem o contato antes de interromperem, de tal modo que a corrente I nunca é interrompida. A rede agora apresentada é equivalente à rede anterior da Fig. 14.6-2. No circuito anterior, uma fonte de tensão é aplicada, conforme necessário, em série com resistores de resistência $2R$. No presente circuito, as combinações em série de tensões e resistores são substituídas pela combinação de uma fonte de corrente em paralelo com resistores de resistência $2R$.

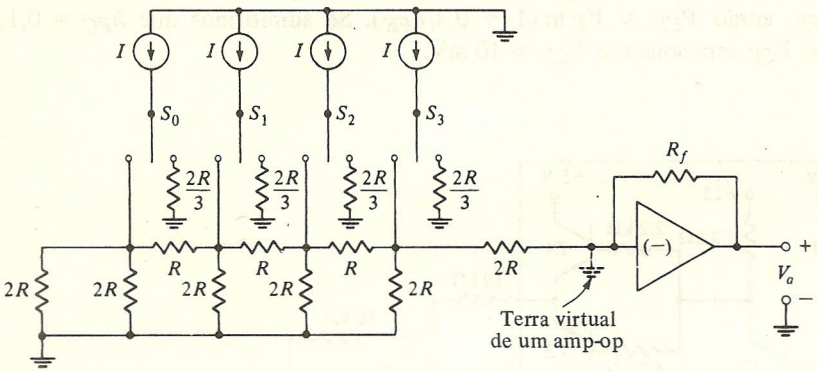


FIGURA 14.8-1
Um conversor *D/A* do tipo escada excitado a corrente.

O conversor excitado a corrente tem um mérito em potencial em comparação ao conversor excitado a tensão. O conversor excitado a tensão necessita de chaves a transistor que são levadas à saturação. O retardo associado ao trazermos o transistor para fora da saturação freqüentemente estabelece um limite superior para a velocidade com que tais conversores podem operar. Por outro lado, com os conversores excitados a corrente, é possível utilizarmos um arranjo de chaveamento onde transistores não são levados e trazidos da saturação; em vez disto, podemos usar um arranjo em que uma corrente seja chaveada conectando-a ou não a um arranjo conversor-resistor, portanto uma técnica para levarmos transistores da região ativa ao corte e vice-versa. Já foi encontrado anteriormente tal esquema de chaveamento na configuração básica do amplificador diferencial na lógica acoplada a emissor.

A Fig. 14.8-2 mostra um conversor em escada excitado a corrente e usando chaves a amplificador diferencial encontradas na lógica acoplada a emissor. As correntes são chaveadas para a escada quando os transistores $T0A$, $T1A$, $T2A$ ou $T3A$ conduzem, e as correntes são levadas aos transistores $T0B$, $T1B$, $T2B$ ou $T3B$ quando eles conduzem. O circuito mostrado na Fig. 14.8-2*b* fornece a tensão de polarização para a base V_B de todas as chaves. O circuito conversor foi projetado para ser usado em conjunção com portas ECL. À temperatura ambiente (veja a seção 7.4), temos os níveis lógicos de $-0{,}76$ V (**1** lógico) e $-1{,}58$ V (**0** lógico). A tensão de base V_B, conseqüentemente, é posta na metade desta faixa, em $V_B = -1{,}15$ V. Assim, quando $V_o = 1{,}58$ V, $T0B$ está cortado e $T0A$ conduz; quando $V_o = -0{,}76$ V, $T0B$ conduz e $T0A$ está cortado.

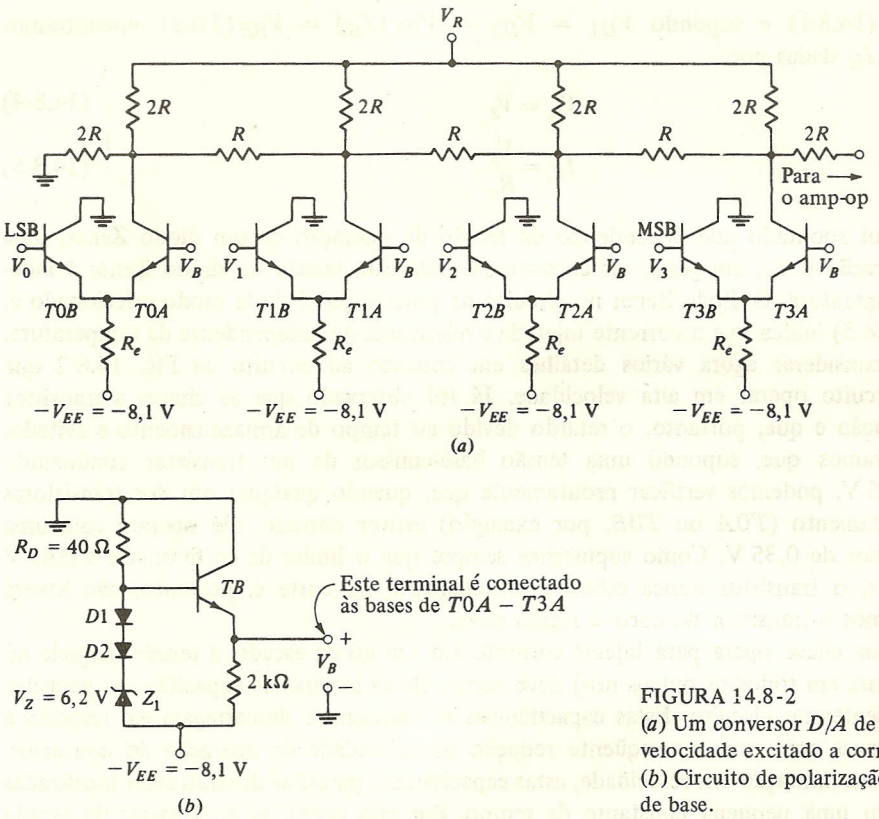


FIGURA 14.8-2
(*a*) Um conversor *D/A* de alta velocidade excitado a corrente. (*b*) Circuito de polarização de base.

Supomos que, à temperatura ambiente, a tensão nos diodos $D1$ e $D2$, bem como na junção base-emissor de um transistor conduzindo, é de 0,75 V. Nestas condições, pode ser prontamente verificado que, como a tensão de alimentação $-V_{EE}$ no circuito de polarização foi selecionada para $-V_{EE} = -8{,}1$ V, a polarização de base resultante é $V_B = -1{,}15$ V. Temos então que

$$V_B = -V_{EE} + V_Z + V_{D2} + V_{D1} - V_{BE}(TB) \qquad (14.8\text{-}1)$$

onde V_Z = tensão no diodo Zener
V_{D1}, V_{D2} = tensões nos diodos $D1$ e $D2$
$V_{BE}\,(TB)$ = tensão base-emissor em TB.

Encontramos então que

$$V_B = -8{,}1 + 6{,}2 + 0{,}75 + 0{,}75 - 0{,}75 = -1{,}15 \text{ V} \qquad (14.8\text{-}2)$$

O circuito também nos fornece uma medida de compensação de temperatura, já que a corrente injetada na escada em cada chave é independente da temperatura. Em cada caso, esta corrente injetada é a corrente de coletor do transistor correspondente. Esta corrente de coletor, por sua vez, exceto por uma fração pequena e constante devido à corrente de base, é igual à corrente de emissor. A tensão no resistor de emissor de, digamos, $T0$ é

$$V_{R_e} = V_B - V_{BE}(T0A) + V_{EE} \qquad (14.8\text{-}3)$$

Usando a Eq. (14.8-1) e supondo $V_{D1} = V_{D2} = V_{BE}(T_B) = V_{BE}(T0A)$, encontramos V_R e a corrente I_R dadas por

$$V_{R_e} = V_Z \tag{14.8-4}$$

e

$$I_{R_e} = \frac{V_Z}{R_e} \tag{14.8-5}$$

Na seção 1.4, foi apontado que, dependendo da tensão de operação de um diodo Zener, uma corrente de operação pode, em geral, ser encontrada onde esta tensão no diodo Zener é independente da temperatura. O diodo Zener no circuito de polarização é deste modo selecionado e, assim, a Eq. (14.8-5) indica que a corrente injetada é relativamente independente da temperatura.

Podemos considerar agora vários detalhes em conexão ao circuito da Fig. 14.8-2 que permitam ao circuito operar em alta velocidade. Já foi observado que as chaves a transistor não vão à saturação e que, portanto, o retardo devido ao tempo de armazenamento é evitado. A seguir observamos que, supondo uma tensão base-emissor de um transistor conduzindo como sendo 0,75 V, podemos verificar prontamente que, quando qualquer um dos transistores do par de chaveamento ($T0A$ ou $T0B$, por exemplo) estiver cortado, ele operará com uma tensão base-emissor de 0,35 V. Como supusemos sempre que o limiar de corte ocorre a 0,65 V aproximadamente, o transistor nunca estará profundamente no corte e, portanto, não haverá demora ao levarmos o transistor do corte à região ativa.

Quando uma chave opera para injetar corrente em um nó da escada, a tensão naquele nó (e, em menor grau, em todos os outros nós) deve variar. Há as inevitáveis capacitâncias parasitas em paralelo presentes no circuito. Estas capacitâncias se carregam e descarregam em resposta à operação das chaves com uma conseqüente redução da velocidade de operação do conversor. Para minimizar esta limitação em velocidade, estas capacitâncias parasitas deverão estar localizadas em circuitos com uma pequena constante de tempo. Por esta razão, as resistências da escada deverão ser pequenas. Resistores com $R = 50\ \Omega$ e $2R = 100\ \Omega$ são comuns.

Há, entretanto, um problema associado com o circuito da Fig. 14.8-2*a*: a corrente injetada por $T0A$ leva mais tempo para alcançar o amp-op do que a corrente injetada por, digamos, $T3A$, já que a rede em escada se comporta como uma linha de transmissão com perdas em freqüência muito alta. Esta diferença de tempos pode resultar em um pico (*spike*) pronunciado na saída do amp-op. Para vermos como isto acontece, consideremos que a entrada digital seja 1.000 (8 V) em $t = 0$ e, de algum modo, mais tarde vá para 0111 (7 V). Admitiremos ainda que o chaveamento ocorre no mesmo instante em todo o circuito. Devido ao retardo de propagação na rede em escada, encontramos que $T3A$ chaveia primeiro, de tal modo que o nível de 8 V cai imediatamente a 0 V. A tensão então sobe a 4,6 e finalmente a 7 V.

Para que haja a redução da duração do pico, um conversor D/A de alta velocidade pode ter as tensões lógicas de chaveamento aplicadas a $T0B$ antes de $T1B$ etc. Em uma seção posterior discutiremos a necessidade de ajustarmos a saída de um D/A para abranger uma faixa de tensões que é positiva e negativa. A tensão de referência V_R na Fig. 14.8-2*a* é usada para fornecer tal ajuste.

14.9 O CONVERSOR D/A DE ESCADA INVERTIDA

Observamos acima que o conversor mostrado na Fig. 14.8-2 produz um pico durante a conversão como um resultado do retardo da propagação sofrida na escada. Na escada invertida,

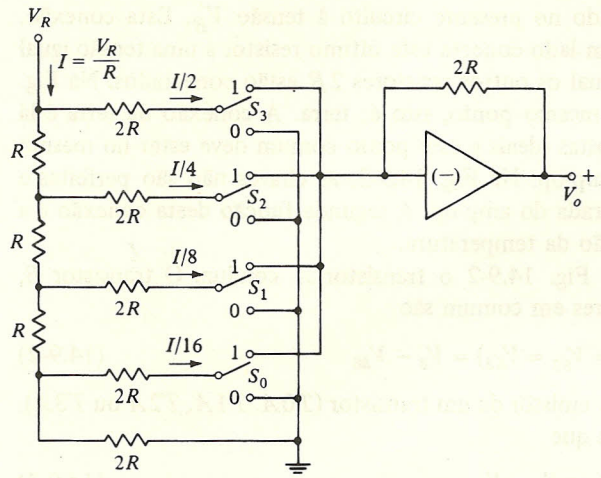


FIGURA 14.9-1
O conversor *D/A* em escada invertida.

mostrada na Fig. 14.9-1, as chaves são conectadas diretamente ao amp-op e, portanto, eliminam o tempo de retardo.

Na escada invertida, as chaves estão localizadas na entrada do amp-op em vez de na fonte de referência V_R, como na Fig. 14.5-1. Um conversor de 4 bits é indicado, mas sua extensão a um número arbitrário de bits é óbvia. Tendo-se em mente que na entrada do amp-op vemos um terra virtual, é claro que correntes que circulam na escada são independentes da posição da chave. Independentemente da posição da chave, os resistores $2R$ estão conectados ao terra. Supomos que as chaves são do tipo que fazem o novo contato antes de desligar o anteriormente feito, de modo que em nenhum instante a chave se encontra desconectada do terra ou do terra virtual. Pode ser prontamente verificado que a corrente drenada de V_R é $I = V_R/R$ e que as correntes nos resistores $2R$ estão relacionadas por potências de 2, como mostrado. As chaves servem para direcionar estas correntes para o amp-op ou para terra. Pode também ser verificado que a saída V_o do amplificador é dada por

$$V_o = \frac{V_R}{2^3}(S_3 2^3 + S_2 2^2 + S_1 2^1 + S_0 2^0) \tag{14.9-1}$$

O mérito importante da configuração em escada invertida é que as correntes, através dos resistores da escada, não variam com o chaveamento. Assim, as tensões nos resistores não variam, e não há retardo ocasionado pela necessidade de capacitores parasitas se carregarem ou descarregarem. Há uma segunda vantagem. Na escada normal, o chaveamento deve ser feito com toda a tensão de referência. Na escada invertida, as chaves (graças a sua posição) nunca deverão manter qualquer tensão apreciável.

Um exemplo de conversor a escada invertida é mostrado na Fig. 14.9-2. Aqui, o amplificador diferencial do tipo ECL foi novamente utilizado como uma chave, de modo a evitar o retardo associado ao trazermos o transistor fora da saturação. Podemos observar as correspondências, e também as pequenas diferenças, entre os circuitos das Figs. 14.9-2 e 14.9-1. Na Fig. 14.9-2, a tensão de referência é $-V_R$ ao invés de V_R, simplesmente porque transistores *npn* foram utilizados. Mais importante ainda, observamos que o último resistor da escada, que na Fig.

14.9-1 é conectado ao terra, está conectado no presente circuito à tensão V'_B. Esta conexão, como veremos, serve a duas funções. Por um lado conecta este último resistor a uma tensão igual à tensão V_{E0} ($= V_{E1} = V_{E2} = V_{E3}$) à qual os outros resistores $2R$ estão conectados. Na Fig. 14.9-1, estes resistores retornam todos ao mesmo ponto, isto é, terra. A conexão de terra é lá necessária, já que todas as chaves são supostas ideais e este ponto comum deve estar no mesmo potencial do terra virtual na entrada do amp-op. Na Fig. 14.9-2, as chaves não são perfeitas e a tensão em comum não é a tensão na entrada do amp-op. A segunda função desta conexão é a de nos fornecer uma medida de compensação da temperatura.

Consideremos que em cada caso da Fig. 14.9-2 o transistor A conduz. O transistor B, então, está cortado e as tensões nos emissores em comum são

$$V_{E0} (= V_{E1} = V_{E2} = V_{E3}) = V_B - V_{BE} \tag{14.9-2}$$

onde V_{BE} é a queda de tensão entre base e emissor de um transistor ($T0A$, $T1A$, $T2A$ ou $T3A$). Referindo-nos a TB, também determinamos que

$$V'_B = V_B - V_{D3} \tag{14.9-3}$$

Se admitimos agora que a tensão V_{D3} no diodo é igual a V_{BE}, então $V_{E0} = V'_B$, como necessário. Nesta condição, as correntes através dos dois resistores $2R$ mais à esquerda do circuito são as mesmas e então associamos o valor $I/16$ para elas. Voltemos ao circuito da Fig. 14.9-1, observando

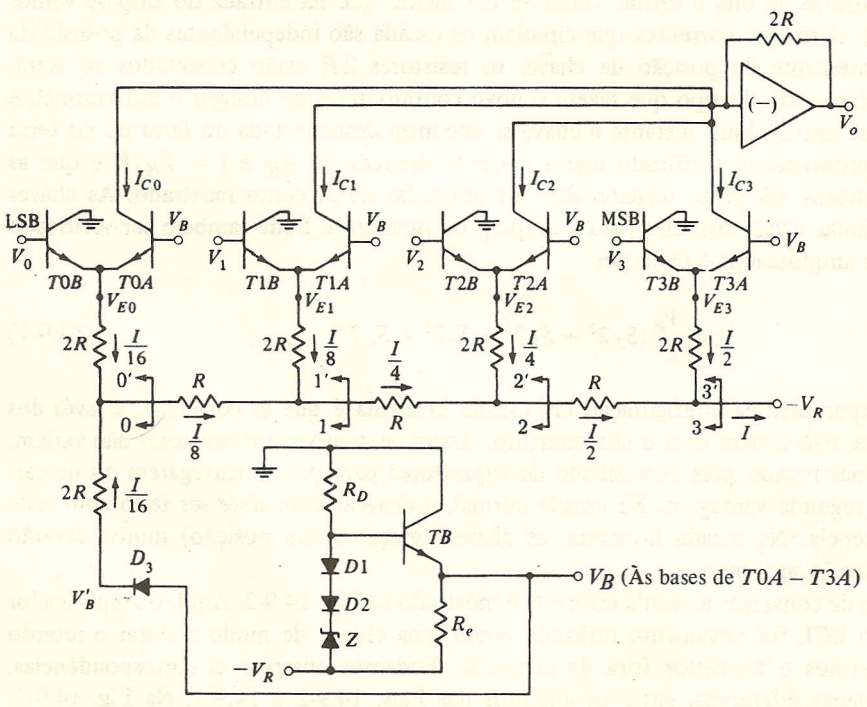


FIGURA 14.9-2
Um conversor D/A de alta velocidade usando a configuração de escada invertida.

que cada um dos circuitos vistos olhando-se em 0-0′, 1-1′, 2-2′, 3-3′ consiste em uma fonte de tensão V'_B em série com um resistor R, e vemos então ser aparente que as correntes assinaladas aos outros resistores da escada estão corretas.

Podemos agora também verificar que as correntes na escada, e portanto as correntes injetadas no amp-op, são independentes da temperatura. Estas correntes dependem da tensão comum $V'_B = V_{E0} = V_{E1} = V_{E2} = V_{E3}$. Calculando-se V'_B (veja o transistor TB), encontramos

$$V'_B = -V_R + V_Z + V_{D1} + V_{D2} - V_{BE}(TB) - V_{D3} \tag{14.9-4}$$

Supondo novamente que as tensões nos diodos são idênticas e iguais a V_{BE}, encontramos

$$V'_B = -V_R + V_Z \tag{14.9-5}$$

que, conforme já foi discutido com o circuito da Fig. 14.8-2, pode ser ajustado para ser independente da temperatura.

Há uma fonte de erro no circuito da Fig. 14.9-2. Para explorarmos este ponto, admitiremos inicialmente que todos os transistores A conduzem. Vamos permitir agora que V_o aumente para que haja transferência de corrente de $T0A$ para $T0B$. Se $T0A$ deve cortar, a tensão de emissor V_{E0} deve aumentar. Como conseqüência, a corrente no resistor de emissor $2R$ de $T0$ deve variar e, portanto, todas as outras correntes (exceto no resistor de emissor de $T3$) serão perturbadas. Como estas correntes devem permanecer constantes, aparecerá um erro. Em um caso prático, entretanto, o erro não é muito elevado para que o problema seja sério. O cálculo deste erro em um caso típico é deixado como um exercício (veja o Prob. 14.9-2).

14.10 FORMATOS DE ENTRADA E SAÍDA DE UM CONVERSOR D/A

No circuito da Fig. 14.5-1, suponhamos que $V(0) = 0$ V e que a corrente circulando pelo amplificador operacional seja I_L como na Fig. 14.5-3. Então, quando $S = S_{N-1} \ldots S_0 = \mathbf{0} \ldots \mathbf{0}$, isto é, todos zero, V_o será $V_o = 0$; quando $S = \mathbf{1} \ldots \mathbf{1}$, ou seja, todos um, V_o será dado pela Eq. (14.5-6). Se considerarmos $V_R = 1$ V, $R = R_f$ e supusermos um conversor de 3 bits, a faixa de variação da saída se estenderá de 0 até -7 V. Descrevemos a saída como *unipolar* já que a excursão se dá somente em um sentido. Como os bits de entrada têm um significado binário (cada bit possui o significado numérico de alguma potência de 2), o conversor

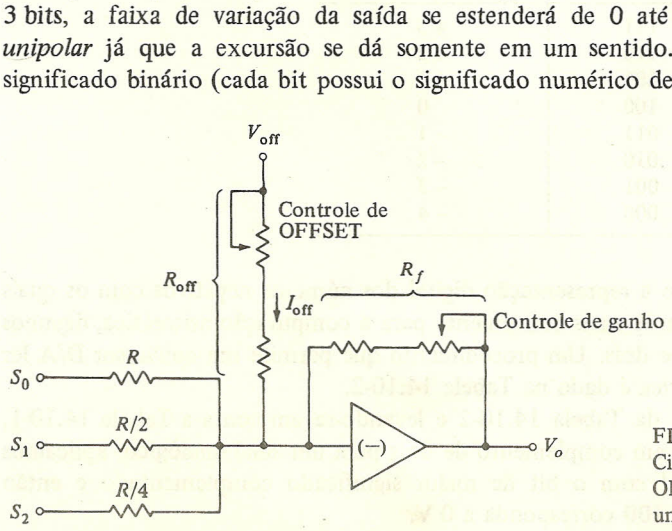


FIGURA 14.10-1
Circuito usado para realizar o OFFSET da tensão de saída de um conversor D/A.

D/A é descrito como operando no *formato binário unipolar*. Se, entretanto, $V(0) \neq 0$, a excursão da saída não se dará em um sentido. Por exemplo, se $V(1) = 1/2$ V e $V(0) = -1/2$ V, a excursão da saída se dará simetricamente ao redor de 0 V, de $-3{,}5$ a $+3{,}5$ V. Neste caso, o formato é chamado de *binário bipolar*, ou *binário desajustado* (*offset binary*).

Um método alternativo para deslocarmos a faixa de saída de um conversor D/A é mostrado na Fig. 14.10-1. Neste caso, providenciamos a injeção de uma corrente de OFFSET I_{off} na entrada do amplificador. Está incluído também no circuito um ajuste para o ganho do amplificador. Deve ser observado que, devido ao terra virtual na entrada do amplificador, o ajuste no controle de ganho e no controle de OFFSET são independentes. Devido também ao terra virtual, a adição do controle de OFFSET não tem efeito sobre a corrente de entrada do amplificador a qual é devida ao arranjo de resistores no conversor. O OFFSET resultante na tensão V_o de saída é $V_o = -(R_f/R_{\text{off}})\, V_{\text{off}}$.

Desde que não queremos usar esta representação para a realização de operações aritméticas, o método de controle do OFFSET nos fornece uma representação útil e conveniente de números negativos. Por exemplo, vamos supor, como acima, que iniciamos com um conversor de 3 bits que nos dá $V_o = 0$ V para uma entrada **000** e $V_o = 7$ V para uma entrada **111** [usamos $V(1) = -1$ V e $V(0) = 0$]. Agora, suponha que ajustamos a tensão de OFFSET de tal modo que $V_o = 0$ V para uma entrada **100**. A entrada digital e a saída analógica estarão relacionadas de acordo com a Tabela 14.10-1. 000 representa -4; 001 representa -3, e assim por diante. Tal representação de números negativos seria mais conveniente e aceitável se, digamos, a saída analógica fosse feita para deflexionar o ponteiro de um medidor para um lado ou para o outro, dependendo do sinal do número na entrada do conversor D/A. Observe que, para N bits, 2^N é um número par. Assim, o OFFSET não pode ser ajustado de tal modo a permitir que a faixa de variação da saída seja exatamente simétrica em relação a 0 V, se for necessário que uma entrada digital corresponda à saída analógica 0 V.

TABELA 14.10-1

Entrada digital	*Saída analógica* V_o
111	+3
110	+2
101	+1
100	0
011	−1
010	−2
001	−3
000	−4

Suponha, por outro lado, que a representação digital dos números negativos com os quais vamos trabalhar seja uma representação mais conveniente para a computação aritmética, digamos a representação de complemento de dois. Um procedimento que permite um conversor D/A ler e converter tal representação numérica é dado na Tabela 14.10-2.

Como pode ser visto a partir da Tabela 14.10-2 e levando-se em conta a Tabela 14.10-1, se quisermos converter um formato em complemento de dois para um sinal analógico, aplicamos ao conversor D/A a entrada digital com o bit de maior significado complementado e então ajustamos o OFFSET de modo que **100** corresponda a 0 V.

TABELA 14.10-2

Decimal	*Representação em complemento de dois*	*Formato binário OFFSET quando 100 é ajustado para 0 V*
+3	011	111
+2	010	110
+1	001	101
0	000	100
−1	111	011
−2	110	010
−3	101	001
−4	100	000

Se a entrada digital é apresentada ao conversor em um formato de complemento de um, o procedimento apropriado para a conversão é aparente a partir de um exame da Tabela 14.10-3.

Observe que as representações em complemento de um dos números positivos +0 a +3 são idênticas às representações dos números binários unipolares. Assim, as entradas digitais representando números positivos são aplicadas diretamente ao conversor D/A que é ajustado para uma tensão de OFFSET igual a zero.

TABELA 14.10-3

Decimal	*Representação em complemento de um*	*Binário unipolar*
+7		111
+6		110
+5		101
+4		100
+3	011	011
+2	010	010
+1	001	001
+0	000	000
−0	111	
−1	110	
−2	101	
−3	100	

Se as representações em complemento de um dos números negativos **111** a **100** fossem aplicadas diretamente ao conversor, as tensões analógicas de saída se situariam entre +7 a 4 V. Para deslocarmos estas tensões, aplicamos uma tensão de OFFSET de −7 V ao amp-op sempre que o bit de sinal no formato em complemento de um for **1**. Por exemplo, o número **110** (em complemento de um) quando aplicado a um conversor D/A nos daria como resultado +6 V em vez de −1 V. Aplicando-se um OFFSET de −7 V, a tensão analógica correta na saída seria de +6 − 7 V = −1 V.

Uma maneira de providenciarmos convenientemente o OFFSET correto é indicada na Fig. 14.10-2. Usamos então tensões de referência simétricas $V(1) = -1/2$ V e $V(0) = +1/2$ V.

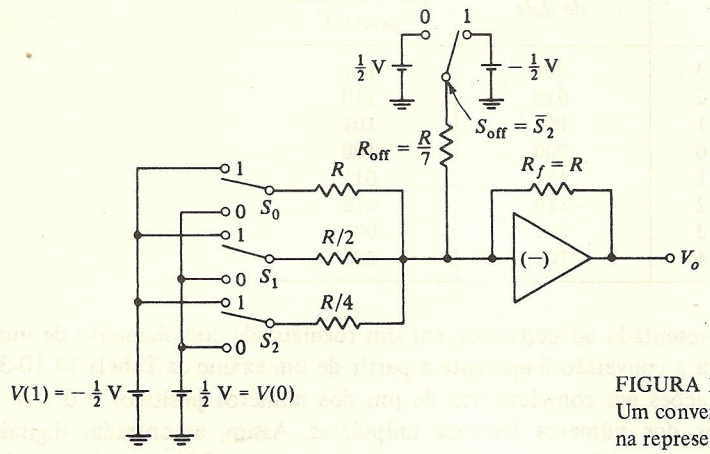


FIGURA 14.10-2
Um conversor *D/A* que aceita entradas digitais na representação em complemento de um.

Usamos também $V(1)$ e $V(0)$ como duas tensões de OFFSET (V_{off} na Fig. 14.10-1) e adicionamos uma chave extra S_{off}. O resistor de OFFSET R_{off} é ajustado para ser igual à combinação em paralelo de R, $R/2$, $R/4$ e finalmente fazemos $S_{off} = \overline{S}_2$, de tal modo que, quando S_2, a chave correspondente ao bit mais significativo (o bit do sinal), estiver no **1** lógico, S_{off} estará no **0** lógico e vice-versa. Devido à simetria das tensões de entrada de referência, V_o variaria entre $3\frac{1}{2}$ e $-3\frac{1}{2}$ V, se o OFFSET adicional fosse ignorado. Assim, iniciamos com um OFFSET de $-3\frac{1}{2}$ V. Quando $S_2 = \mathbf{0}$, $S_{off} = \mathbf{1}$ e um OFFSET adicional de $+3\frac{1}{2}$ V é introduzido, fazendo com que o OFFSET total seja zero. Quando $S_2 = \mathbf{1}$, $S_{off} = \overline{S}_2 = \mathbf{0}$ e há a combinação das tensões de OFFSET fazendo com que o OFFSET total seja -7 V, conforme é necessário.

É deixado como um problema mostrar que a chave $S_{off} = \overline{S}_2$ pode ser eliminada substituindo-se S_2 por $\overline{S}_2$ e sua resistência $R/4$ por $R/3$.

14.11 ESPECIFICAÇÕES PARA CONVERSORES D/A

Consideraremos agora vários parâmetros que servem para descrever a qualidade do desempenho de um conversor D/A. Estes parâmetros são geralmente especificados pelos fabricantes dos conversores.

Resolução. Este termo especifica o número de bits que um conversor pode acomodar e, correspondentemente, o número de tensões de saída (ou correntes). Por exemplo, um conversor que pode aceitar 10 bits de entrada é referido como um conversor com uma resolução de 10 bits. O número de possíveis tensões de saída é $2^{10} = 1.024$. Assim, a mínima variação possível da tensão de saída é 1/1.024 da faixa de variação da saída. Aproximando-se 1.024 por 1.000, podemos descrever a resolução como sendo de 1 parte em 1.000 ou 0,1%.

Linearidade. Em um conversor D/A ideal, iguais incrementos numéricos da entrada digital deveriam nos dar incrementos iguais na saída analógica. A *linearidade* de um conversor serve como uma medida da precisão com a qual este requisito é satisfeito. A linearidade é medida de acordo com o método sugerido pela Fig. 14.11-1. Supondo-se um formato de entrada binário e unipolar, fazemos com que as combinações dos bits de entrada fiquem separadas em intervalos fixos, na ordem de significância numérica ao longo do eixo horizontal. Ao longo do eixo vertical indicamos através de pontos a tensão analógica de saída correspondente a cada caso, de acordo com o que poderia ser encontrado em um conversor real. Se o conversor fosse perfeito, os pontos cairiam sobre uma linha reta. Na Fig. 14.11-1 traçamos a linha reta que melhor se adapta aos pontos e, em um caso típico, indicamos por ϵ o erro de linearidade. A tensão Δ é a variação nominal da saída analógica correspondente a uma variação da entrada digital equivalente à variação no bit menos significativo (LSB).

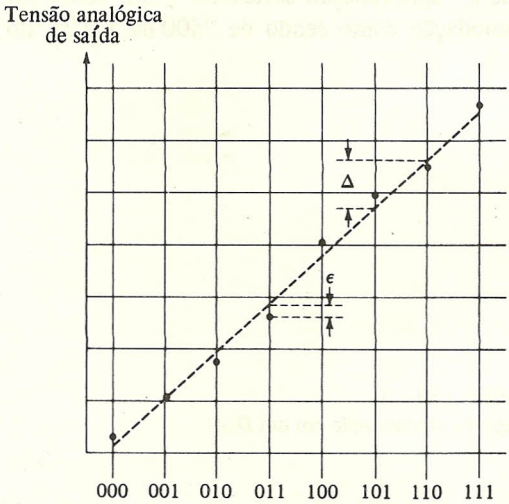


FIGURA 14.11-1
A medida da linearidade.

A linearidade de um conversor é especificada geralmente pela comparação entre ϵ e Δ. Assim, de um modo geral, encontramos a linearidade de uma unidade comercial especificada como "menor do que $\pm \frac{1}{2}$ LSB" o que significa que $|\epsilon| < \frac{1}{2}\Delta$. Esta é uma especificação muito importante. Suponhamos que em uma entrada digital encontramos que ϵ é positivo e $\epsilon > \frac{1}{2}\Delta$, enquanto na próxima entrada digital superior ϵ é negativo e $|\epsilon| > \frac{1}{2}\Delta$. Neste caso o conversor teria o comportamento inaceitável de não ser *monotônico*, isto é, um aumento na entrada digital nos daria uma diminuição na saída analógica.

A linearidade de um conversor depende principalmente da precisão dos resistores. Depende também da precisão com a qual as quedas de tensão nas chaves são fixadas. Como tanto os resistores como as tensões de chaveamento são dependentes da temperatura, a linearidade pode ser afetada adversamente por mudanças substanciais da temperatura.

Precisão. A *precisão* de um conversor é uma medida da diferença entre a tensão analógica obtida na saída e aquela que o seria em um caso ideal. A falta de linearidade contribui para a imprecisão. Maiores limitações na precisão são devidas à incerteza nas tensões de referência, ao

ganho do amplificador, ao OFFSET do amplificador, etc. As especificações típicas de um fabricante de um conversor de qualidade razoável podem ser dadas como, por exemplo, "0,2% da escala completa $\pm \frac{1}{2}$ LSB".

Tempo de acomodação. Quando a entrada digital de um conversor varia, chaves se abrem e fecham e aparecem variações de tensão. Devido às inevitáveis capacitâncias parasitas e indutâncias presentes no circuito passivo, os transientes iniciados podem persistir por um tempo apreciável. Transientes adicionais são gerados devido às características dos dispositivos ativos (chaves, transistores, etc.). Um gráfico típico da variação na tensão da saída como uma função do tempo é mostrado na Fig. 14.11-2. Observe que há um tempo finito necessário para que a saída atinja seu novo nível bem como poderá também ocorrer uma oscilação. O intervalo compreendido entre o instante da variação na entrada até o instante em que a saída se aproxima o suficiente de seu valor final é chamado de *tempo de acomodação*. O tempo de acomodação depende, entre outros fatores, de como definimos a "aproximação suficiente". Um conversor para uso geral típico pode ter um tempo de acomodação como sendo de "500 ns a 0,2% do fundo de escala".

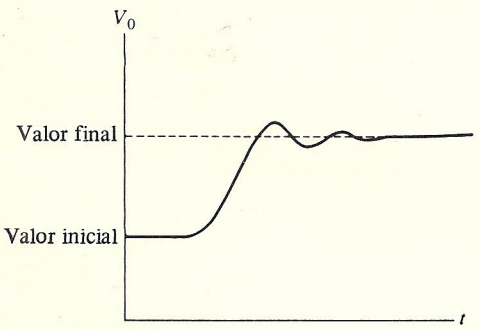


FIGURA 14.11-2
Tempo de acomodação em um *D/A*.

Alguns dos maiores transientes (afortunadamente os de mais curta duração, em geral) são produzidos pela operação das chaves (seção 14.8). Por exemplo, suponha que em um conversor unipolar de 4 bits as chaves estão em $S_3S_2S_1S_0 = \mathbf{0111}$, correspondendo a uma saída de +7 V. Suponha que uma variação na entrada requer agora que $S_3S_2S_1S_0$ fiquem em **1000**, correspondendo a 8 V. Suponha também que S_3 varie antes das outras chaves; assim, por um breve intervalo de tempo teremos $S_3S_2S_1S_0 = \mathbf{1111} = 15$ V. Se os picos produzidos no conversor D/A não podem ser tolerados, a tensão de saída pode ser amostrada e mantida. Esta nova saída é então passada através de um filtro passa-baixo. É encontrado na prática que os "vales" formados pelo circuito S/H (amostragem e manutenção de 1ª ordem) contêm significantemente menos energia do que um pico típico em um D/A. Assim, o ruído produzido depois da filtragem do circuito S/H é muito menor do que o obtido depois de filtrar o D/A.

Sensibilidade à temperatura. Para qualquer entrada digital fixa, a saída analógica variará com a temperatura. Esta sensibilidade à temperatura varia tipicamente numa faixa entre ± 50 ppm/°C em um conversor para uso geral e $\pm 1{,}5$ ppm/°C em uma unidade de alta qualidade. A sensibilidade à temperatura geral é devida às sensibilidades à temperatura das tensões de referência, dos resistores do conversor, do amp-op e ainda da tensão de OFFSET do amplificador.

14.12 CONVERSORES A/D: UM COMPARADOR PARALELO

Voltamos agora nossa atenção para os sistemas empregados para converter uma entrada analógica para uma saída digital. Deve ser observado que geralmente conversores A/D são sistemas complexos e sofisticados. Assim, ao contrário da situação que prevalece com conversores D/A, em geral não é possível apresentarmos um diagrama esquemático detalhado. Discutiremos os

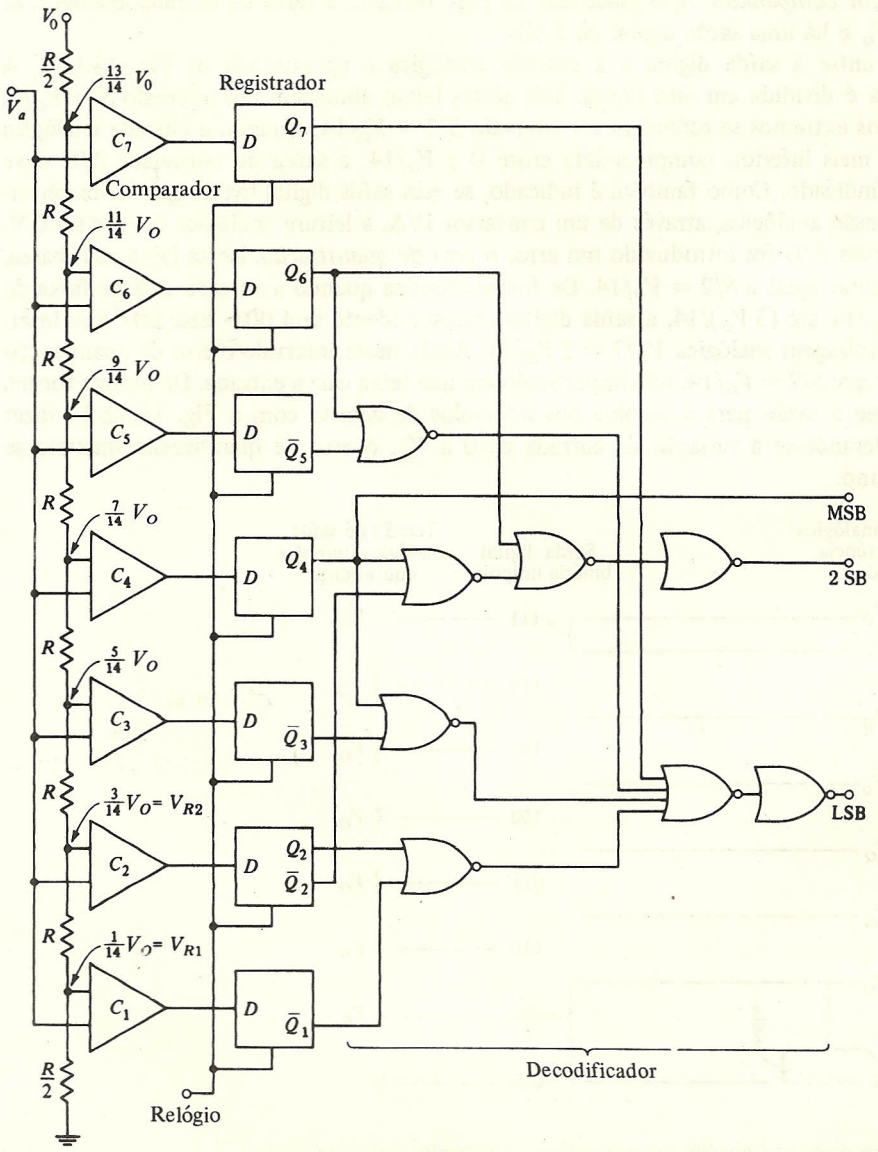


FIGURA 14.12-1
Um conversor comparador *A/D*.

conversores A/D em termos dos blocos digitais e analógicos básicos que já foram discutidos. Estes blocos básicos incluem portas, flip-flops, registradores, contadores, conversores D/A, comparadores, etc. Deve ser ainda observado que há muitos esquemas possíveis para conversores A/D e, dentro de cada esquema, há muitas variações possíveis. O grande número de conversores A/D descritos na literatura (a maioria dos quais se encontra comercialmente) é um tributo à persistência e à genialidade de engenheiros que se empenharam no problema. Na presente seção, e nas subseqüentes, descreveremos alguns sistemas representativos.

No conversor *comparador* A/D mostrado na Fig. 14.12-1, a faixa de entrada analógica se estende de 0 a V_O e há uma saída digital de 3 bits.

A relação entre a saída digital e a entrada analógica é apresentada na Fig. 14.12-2. A entrada analógica é dividida em oito faixas. Seis destas faixas abrangem um intervalo $S = V_O/7$. As duas faixas dos extremos se estendem no intervalo $S/2 = V_O/14$. Quando a entrada analógica estiver na faixa mais inferior, compreendida entre 0 e $V_O/14$, a saída do conversor A/D deve ser **000** como o indicado. Como também é indicado, se esta saída digital tivesse que ser reconvertida para uma tensão analógica, através de um conversor D/A, a leitura analógica deveria ser 0 V. Assim, na conversão A/D foi introduzido um erro, o *erro de quantização*. Nesta faixa mais baixa, o erro é no máximo igual a $S/2 = V_O/14$. De forma idêntica quando a entrada está na faixa de variação S de $V_O/14$ até $(3\,V_O)/14$, a saída digital correspondente será 001. Este 001 será interpretado como a voltagem analógica $V_O/7 = 2\,V_O/14$. Ainda neste intervalo o erro de quantização nunca será maior que $S/2 = V_O/14$, não importando em que faixa caia a entrada. Da mesma forma, pode ser visto que a razão para a escolha dos intervalos de acordo com a Fig. 14.12-2 é fazer com que, considerando-se a variação da entrada de 0 a V_O, o erro de quantização máximo se mantenha o mesmo.

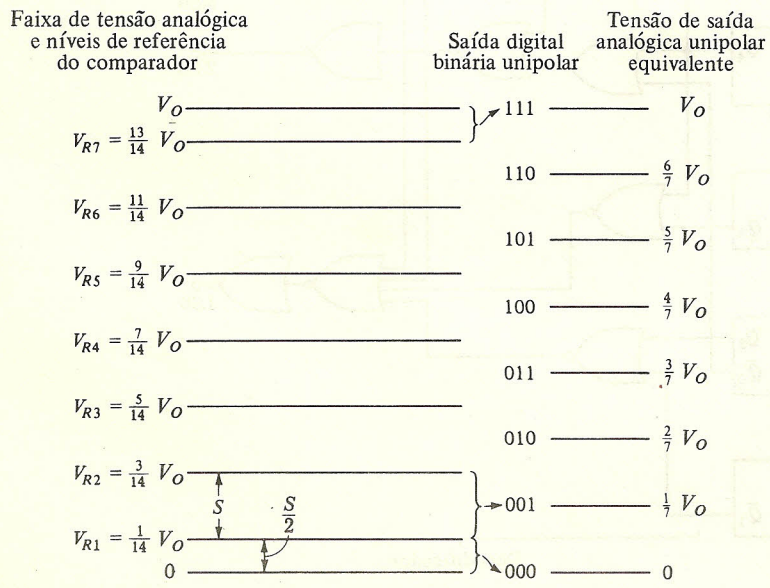


FIGURA 14.12-2
Uma tensão analógica unipolar é dividida em intervalos e os intervalos assinalam representações digitais de modo a assegurar um erro de quantização máximo uniforme em toda a faixa.

Deve ser lembrado que um comparador (veja a seção 2.13) é um dispositivo com duas entradas (uma referência e um sinal de entrada) e uma saída única. Quando o sinal de entrada for menor do que a tensão de referência de entrada, a saída do comparador estará no **0** lógico. Quando o sinal for maior do que a referência, a saída estará então no **1** lógico. Um conversor comparador A/D com N bits de saída necessita de $2^N - 1$ comparadores. Para o sistema de 3 bits da Fig. 14.12-1, são utilizados sete comparadores, C_1 a C_7.

Se a tensão analógica V_a estiver na faixa entre 0 e $\frac{1}{14} V_O$, todos os níveis lógicos na saída do comparador serão **0**, isto é, $C_1C_2C_3C_4C_5C_6C_7 = 0000000$. Se V_a estiver na faixa entre $\frac{1}{14} V_O$ e $\frac{3}{14} V_O$, então $C_1C_2C_3C_4C_5C_6C_7 = 1000000$, etc. Estas saídas do comparador serão transferidas às saídas dos sete flip-flops do registrador de acordo com a ocorrência de um pulso do relógio. Finalmente, como na Fig. 14.12-1, o registrador é seguido por um decodificador, que converte as indicações em um código binário unipolar de 3 bits. Pode ser verificado (veja o Prob. 14.12-1) que o decodificador indicado na Fig. 14.12-1 sem dúvida gera as palavras em código de 3 bits na saída, de acordo com o que é requerido na Fig. 14.12-2.

EXEMPLO 14.12-1. Se o conversor comparador A/D da Fig. 14.12-1 deve converter tensões analógicas variando de $-V_O$ a $+V_O$ em complementos de dois, determine as tensões de referência em cada entrada do comparador. Ilustre o resultado usando um gráfico semelhante ao da Fig. 14.12-2. Suponha uma saída de 3 bits.

Solução. Quando a saída do conversor A/D for **000** a saída deverá ser 0 V. Assim, se o erro de quantização máximo deve ser $S/12$ como na Fig. 14.12-2, a indicação da saída **000** deveria ser

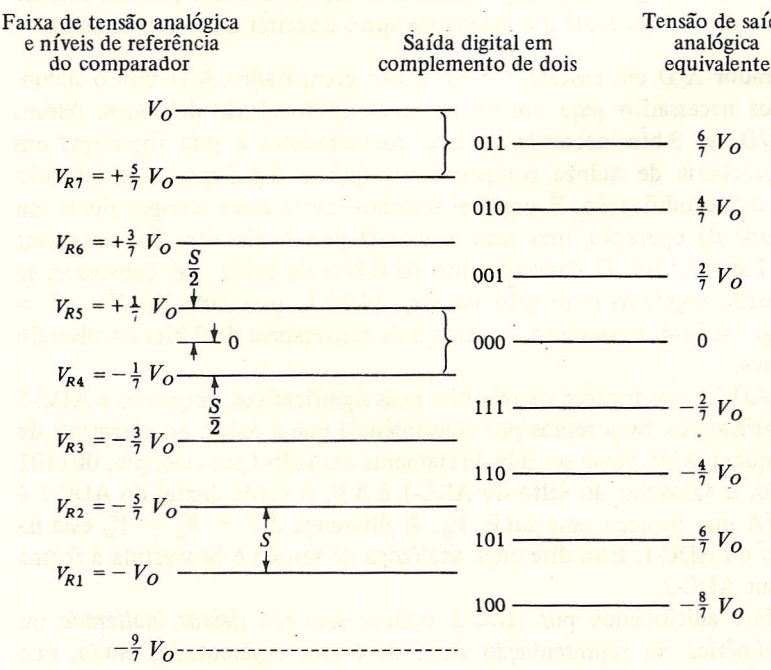


FIGURA 14.12-3
Níveis de referência e saídas digitais para o conversor comparador A/D usando a representação de complemento de dois.

assinalada à faixa analógica 0 V ± $S/2$ como mostrado na Fig. 14.12-3. Uma pequena dificuldade surge agora porque a faixa analógica é simétrica em relação a 0 V, enquanto na representação em complemento de dois há sempre um número negativo a mais do que os números positivos (veja a seção 11.9). Se ignorarmos agora o número digital mais negativo (**100** = −4), permaneceremos ainda com sete saídas digitais. De acordo com o exposto, a faixa analógica V_O a $-V_O$ é dividida em sete intervalos, cada um de tamanho $S = 2V_O/7$ e, como mostrado na Fig. 14.12-3, uma saída digital é associada a cada faixa.

Temos ainda a saída digital extra **100**, que servirá para representar a faixa $-\frac{8}{7}V_O \pm \pm S/2 = -\frac{8}{7}V_O \pm \frac{1}{7}V_O$, isto é, a faixa de $-V_O$ a $-\frac{9}{7}V_O$. Se optarmos pelo uso desta saída, o último terminal da cadeia de resistores da Fig. 14.12-3 deverá retornar a $-9V_O/7$ e haverá a necessidade de sete comparadores com tensões de referência $-V_O$, $-\frac{5}{7}V_O$, etc., até $\frac{5}{7}V_O$. Se escolhermos ignorar esta saída **100**, a cadeia de resistores deverá retornar a $-V_O$, havendo a necessidade de somente seis comparadores. A maioria dos fabricantes escolhe o uso da saída **100** e especifica seus dispositivos como cobrindo uma faixa de tensões assimétrica.

O conversor comparador A/D é capaz de operar em alta velocidade, já que toda a conversão se processa simultaneamente ao invés de seqüencialmente. Sua operação é rápida o suficiente para justificar o uso da lógica acoplada a emissor para os flip-flops e as portas decodificadoras. Logo após a apresentação da tensão analógica de entrada e depois de um pequeno retardo nos comparadores, há a disponibilidade da representação digital da tensão analógica. Podemos observar que o registrador flip-flop não é essencial à operação. O registrador é conveniente, entretanto, especialmente quando a entrada analógica varia rapidamente. O registrador nos permite manter a representação digital da entrada analógica, até que estejamos aptos a aceitar uma nova amostra.

Um conversor comparador A/D em cascata. O conversor comparador A/D tem o inconveniente de que os circuitos necessários para um bit de saída adicional são dobrados. Assim, enquanto um conversor A/D de 3 bits necessita de sete comparadores e sete flip-flops, um conversor A/D de 4 bits precisaria de quinze comparadores, quinze flip-flops e um aumento correspondente nas portas de decodificação. É possível usarmos conversores comparadores em cascata, à custa da velocidade de operação, mas com economia para o circuito. Tal conversor em cascata é mostrado na Fig. 14.12-4. O conversor nos dá 6 bits de saída. Tal conversor, se construído como uma unidade seguindo o projeto da Fig. 14.12-1, precisaria de $2^6 - 1 = 63$ comparadores. Na Fig. 14.12-4, entretanto, usamos dois conversores de 3 bits envolvendo $2(2^3 - 1) = 14$ comparadores.

O primeiro conversor ADC-1 nos fornece os três bits mais significativos, enquanto o ADC-2 gera os três bits menos significativos. Suporemos por conveniência que a escala no conversor de 6 bits é arranjada de modo que a saída possa ser lida diretamente em volts (por exemplo, 001101 representa 13 V). Neste caso, o tamanho do salto do ADC-1 é 8 V. A saída digital do ADC-1 é aplicada a um conversor D/A que fornece uma saída $\hat{V}_a$. A diferença $\Delta V = V_a - \hat{V}_a$ está na faixa do erro de quantização do ADC-1. Esta diferença analógica de tensão é convertida à forma digital pelo segundo conversor ADC-2.

Observamos que os bits adicionados por ADC-2 podem somente *deixar inalterada* ou *aumentar* a significância numérica da representação final de 6 bits. Aparentaria, então, que devemos arranjar para que ΔV seja sempre zero ou positivo. Podemos assegurar que este é o caso, fazendo-se os níveis de referência nos comparadores de ADC-1 em ..., −8 V, 0 V, 8 V, 16 V, ... Decodificaremos de tal modo que, quando V_a estiver na faixa compreendida entre −8 e 0 V,

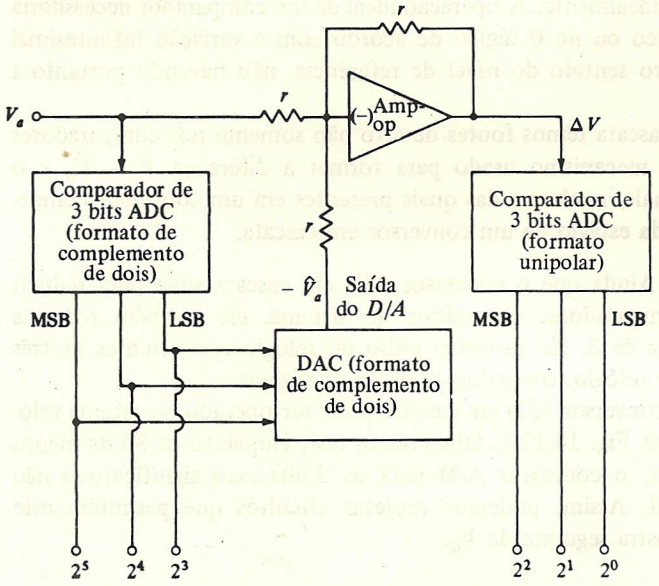


FIGURA 14.12-4
Um conversor A/D de 6 bits compreendendo uma cascata de dois conversores comparadores A/D de 3 bits.

a saída digital será 111 (usando-se a representação em complemento de dois); quando V_a estiver na faixa entre 8 e 16 V, a saída será 001, etc. Tal ajuste nos níveis dos comparadores e decodificação subseqüente seria aproximadamente, mas não exatamente, o necessário. Considere que V_a é muito menor do que 8 V. Necessitamos neste caso que a saída de 6 bits seja 001000 para que o erro de quantização fique dentro de $\pm \frac{1}{2}$ LSB, que no caso presente é ±0,5 V. Entretanto, com V_a menor do que 8 V, a saída digital de ADC-1 seria 000. Ainda que ADC-2 nos desse uma saída 111, a indicação em 6 bits seria 000111 com um erro de um LSB. Verifica-se prontamente que esta dificuldade pode ser remediada pelo deslocamento dos níveis de referência nos comparadores, no sentido negativo de $\frac{1}{2}$ LSB $= \frac{1}{2} S_2 = 0{,}5$ V. Neste caso, ΔV poderá ser negativo em alguma região de V_a, porém nunca o será por mais de $\frac{1}{2}$ LSB e assim não há dificuldade.

A diferença ΔV aplicada a ADC-2 estará agora na faixa entre −0,5 a 7,5 V. O formato unipolar dos níveis de referência dos comparadores, como mostrado na Fig. 14.12-2, pode ser ajustado para acomodar esta faixa, com um erro de quantização ±0,5 V. Para conseguirmos este comportamento, precisamos apenas ajustar os níveis de referência nos comparadores em 0,5, 1,5, ... 6,5 V.

Fontes de erro. Um erro de quantização é necessariamente introduzido quando um sinal analógico é convertido a uma forma digital. Este erro freqüentemente especificado como $\pm \frac{1}{2}$ LSB tem um módulo igual à metade do significado numérico do bit menos significativo da saída digital. Por exemplo, considere um conversor de um estágio, feito para acomodar um sinal analógico de entrada na faixa de 0 a 7 V, com uma saída digital de 3 bits de **000** a **111**. Os níveis de referência dos sete comparadores seriam ajustados para 0,5, 1,5, ..., 5,5, 6,5 V. Se a tensão analógica V estivesse na faixa $2{,}5 \text{ V} < V < 3{,}5$ V, então a saída do conversor seria 011 = 3,0 V. Em uma situação física, entretanto, o erro poderá ser maior do que $\pm \frac{1}{2}$ LSB. Tal seria o caso se os níveis de referência dos comparadores não fossem precisamente ajustados

e se os comparadores operassem não idealmente. A operação ideal de um comparador necessitaria que suas saídas estivessem no **1** lógico ou no **0** lógico de acordo com a variação infinitesimal da tensão analógica para um ou outro sentido do nível de referência, não havendo portanto a incerteza.

No conversor comparador em cascata temos fontes de erro não somente nos comparadores mas também no conversor D/A, o mecanismo usado para formar a diferença $V - \hat{V}_a$ e o amplificador. Estas operações adicionais, nenhuma das quais presentes em um conversor comparador, devem ser interpostas entre cada estágio de um conversor em cascata.

Operação em alta velocidade. Ainda que o conversor A/D em cascata sirva para reduzir significativamente o número de comparadores necessários no sistema, ele também reduz a velocidade de operação por um fator de 2. No primeiro pulso do relógio convertemos os três primeiros bits e, no segundo pulso do relógio, convertemos os 3 bits seguintes.

Com alguns circuitos extras, o conversor A/D em cascata pode ser operado na mesma velocidade do conversor A/D mostrado na Fig. 14.12-1. Observamos que, enquanto os 3 bits menos significativos estão sendo convertidos, o conversor A/D para os 3 bits mais significativos não está realizando qualquer função útil. Assim, podemos projetar circuitos que permitam este primeiro conversor operar com a amostra seguinte de V_a.

14.13 O CONVERSOR DE APROXIMAÇÃO SUCESSIVA

O princípio do conversor de aproximação sucessiva é apresentado através do seguinte exemplo. Vamos supor que temos um objeto de peso desconhecido, sabendo-se porém que este se situa na faixa de 0 a 1 kg. Vamos supor, ainda, que há a disponibilidade de uma balança e um conjunto de pesos conhecidos de $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$ kg, etc. Estes pesos sucessivos devem ser usados em uma sucessão de tentativas para determinar o peso desconhecido. Com o peso w desconhecido em um lado da balança, colocamos o peso de $\frac{1}{2}$ kg no outro lado. Se encontramos $w > \frac{1}{2}$ kg, deixamos o peso na balança e colocamos outro de $\frac{1}{4}$ kg. Se achamos $w < \frac{1}{2}$ kg, substituímos o peso de $\frac{1}{2}$ kg pelo de $\frac{1}{4}$ kg. Desta maneira, continuamos as tentativas com pesos sucessivamente menores por um fator de 2. Quando o peso de uma tentativa inclina a balança no sentido dos pesos conhecidos, removemos o último peso e tentamos o seguinte menor. Assim, se verificamos que devemos deixar o peso de $\frac{1}{2}$ kg, removemos o peso de $\frac{1}{4}$ kg e deixamos o peso de $\frac{1}{8}$ kg, aproximando o peso desconhecido como sendo igual a $1 \times \frac{1}{2}$ kg $+ 0 \times \frac{1}{4}$ kg $+ 1 \times \frac{1}{8}$ kg $=$ $= \frac{5}{8}$ kg. Associando o significado numérico $\frac{1}{2}$ ao dígito binário mais significativo, $\frac{1}{4}$ ao seguinte etc., teríamos, como representação binária do peso, **101**. É claro que continuando esta operação sucessivamente com pesos menores, podemos estabelecer o peso desconhecido com qualquer precisão desejada.

Se o número de pesagens sucessivas permitidas não tiver limite, o procedimento acima descrito é aceitável. Suponha, entretanto (como é normalmente o caso), que o número de pesagens é finito. Para então reduzirmos o erro de quantização, torna-se necessário desajustarmos a balança, isto é, inclinamos a balança no sentido do peso desconhecido. O módulo do desajuste deverá ser igual à metade do menor peso. Este é o caso ilustrado na Fig. 14.13-1. Aqui, supomos duas tentativas sucessivas usando pesos de $\frac{1}{2}$ e $\frac{1}{4}$ kg para a determinação do peso que se situa entre 0 e 1. Na Fig. 14.13-1*a*, a faixa entre 0 e 1 é dividida em quatro intervalos sendo cada um identificado pela sua representação digital apropriada. Está também indicada a interpretação

dada a cada representação digital. Suponha agora que o peso desconhecido seja muito menor do que $\frac{1}{4}$. O resultado seria que nem o peso de $\frac{1}{2}$ nem o de $\frac{1}{4}$ poderiam ser usados e a indicação digital seria então **00**. O erro de quantização é então $\frac{1}{4}$. Um erro de quantização máxima de $\frac{1}{4}$ será encontrado alternativamente em cada intervalo.

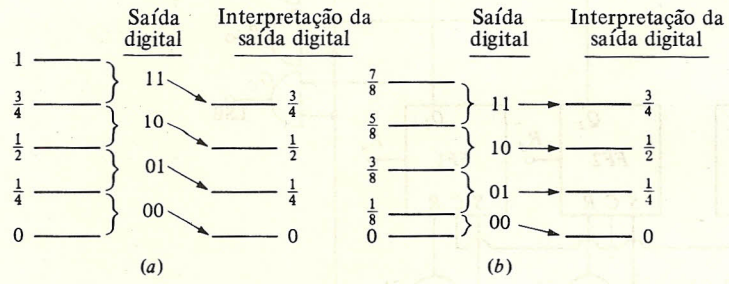


FIGURA 14.13-1
Em aproximações sucessivas, é necessário desajustarmos a escala para metade do menor peso de tentativa.

Suponha agora que desajustamos a balança adicionando um peso de $\frac{1}{8}$ no lado da balança destinado ao peso desconhecido. As quatro representações digitais, então, serão associadas a faixas de pesos de acordo com a maneira mostrada na Fig. 14.13-1*b*. Um peso desconhecido um pouco inferior a $\frac{1}{4}$ aparecerá como sendo um pouco menor do que $\frac{1}{8} + \frac{1}{4} = \frac{3}{8}$. Este peso cai na faixa com indicação digital **01**. Esta indicação será interpretada como $\frac{1}{4}$, de tal modo que o erro de quantização é de $\frac{1}{8}$. Como pode ser visto na Fig. 14.13-1*b*, a nova faixa do peso desconhecido varia de 0 a $\frac{7}{8}$ e como pode ser verificado, em qualquer ponto desta faixa o erro de quantização máximo será de $\frac{1}{8}$.

Um conversor de aproximação sucessiva de 3 bits. Um diagrama de um conversor A/D de aproximação sucessiva de 3 bits é mostrado na Fig. 14.13-2. Este conversor é projetado para converter uma forma de onda analógica em um código binário, desprezando o bit de sinal. Por simplicidade, não fomos tão econômicos com o HARDWARE como poderíamos ter sido. Neste conversor A/D permitimos cinco intervalos de tempo (iguais) para a obtenção de uma conversão A/D. Três destes intervalos são usados para determinar os 3 bits digitais; um quarto intervalo é usado simplesmente para a leitura da saída digital, enquanto um quinto intervalo é usado para a "limpeza" do conversor para a realização da conversão seguinte.

Os cinco flip-flops do tipo *D*, *FFA* a *FFE*, são conectados para formar um contador em anel de módulo 5 (veja a seção 10.16). Tal contador fornece em suas cinco saídas, Q_A a Q_E, cinco formas de onda, sendo que somente uma delas estará no nível lógico **1** em algum instante; o nível lógico **1** é transferido de *A* para *B* para *C* etc. de acordo com cada ciclo sucessivo do relógio. Os três flip-flops *FF*1, *FF*2 e *FF*3 são empregados para registrar os bits digitais com *FF*1 correspondendo ao *LSB* e *FF*3 ao MSB.

O ciclo de conversão inicia com $Q_A = \mathbf{1}$, enquanto $Q_B = Q_C = Q_D = Q_E = \mathbf{0}$. *FF*3, então, estará em acionado, enquanto *FF*2 e *FF*1 estarão em restabelecido. Temos assim $Q_3 = \mathbf{1}$ e $Q_2 = Q_1 = \mathbf{0}$. A entrada **100** é assim apresentada ao conversor D/A de 3 bits que fornece então

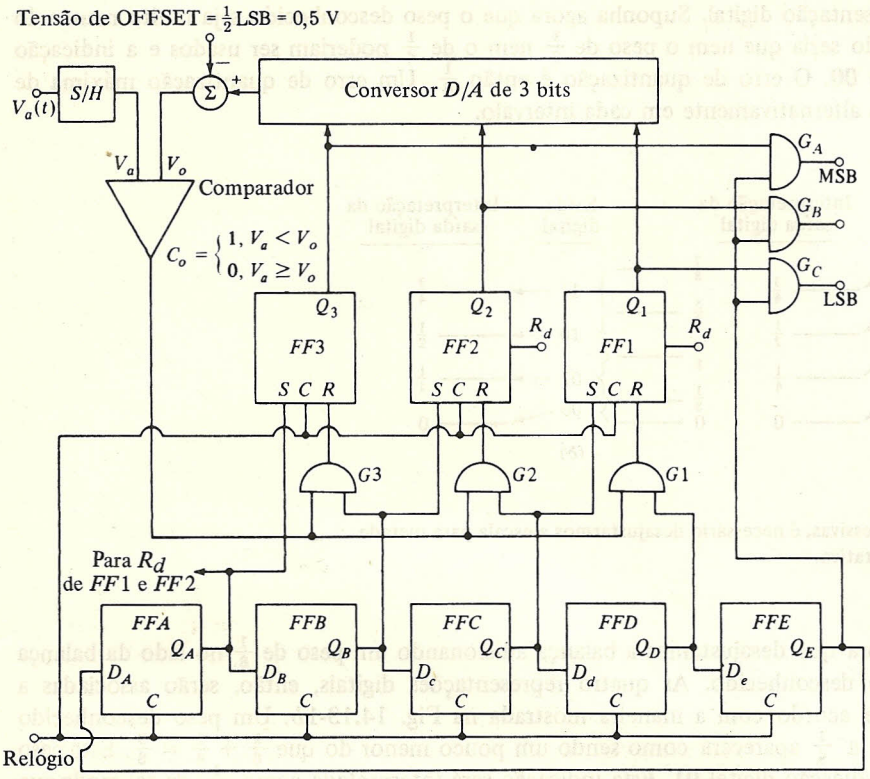


FIGURA 14.13-2
Um conversor *A/D* de aproximação sucessiva de 3 bits.

uma saída analógica correspondente V_o. A saída C_o do comparador será $C_o = \mathbf{0}$ ou **1**, dependendo se $V_a \geqslant V_o$ ou $V_a < V_o$. Durante o intervalo seguinte de relógio, $Q_B = \mathbf{1}$, enquanto $Q_A = Q_C = Q_D = Q_E = \mathbf{0}$. Com $Q_B = \mathbf{1}$, a porta AND $G3$ é tornada apta; $FF3$ fica em restabelecido se $C_o = \mathbf{1}$ e deixado no estado de acionado se $C_o = \mathbf{0}$. Assim, associamos um **1** lógico à posição mais significante; no início do segundo intervalo de relógio este bit permanece ou é mudado para o **0** lógico, dependendo da comparação entre V_a e V_o.

Durante intervalos sucessivos de relógio, a tentativa é repetida para os bits nas duas posições seguintes. No intervalo quando $Q_E = \mathbf{1}$ não estão sendo feitas comparações e podemos ler a saída digital. Assim Q_E é usada como STROBE para as portas de saída G_A, G_B e G_C.

Durante a seqüência de operações que leva finalmente a uma saída digital, o valor de amostra da entrada analógica deve ser mantido constante. O conversor da Fig. 14.13-2 deve portanto ser precedido por um amplificador S/H. A operação de amostragem deve estar sincronizada com a operação do conversor. O intervalo para a leitura, quando então $Q_E = \mathbf{1}$, é conveniente para a amostragem, enquanto durante o intervalo desde $Q_A = \mathbf{1}$ até $Q_D = \mathbf{1}$, isto é, enquanto $Q_E = \mathbf{0}$, o sinal amostrado é *mantido*. Assim, o sincronismo pode ser efetuado pelo uso de Q_E para a operação das chaves no circuito S/H.

À medida que o conversor opera, os flip-flops começam a chavear, as chaves do D/A devem abrir e fechar e o comparador vê uma entrada que chaveia abruptamente de um nível a outro.

Há transientes associados a todos estes chaveamentos e mudanças abruptas, e a velocidade na qual o conversor pode ser excitado depende do tempo de decaimento destes transientes. A precisão do conversor, entretanto, não depende nem do flip-flop nem das portas. Ela depende quase que exclusivamente da precisão do conversor D/A etc.

No início de nossa discussão do método de conversão por aproximação sucessiva, descrevemos este método em termos de uma sucessão de comparações de pesos em uma balança. Retornando-se agora àquela analogia, pode ser visto que o comparador mostrado na Fig. 14.13-2 é a balança, a entrada analógica V_a é o peso desconhecido e a saída V_o do conversor A/D é a soma de todos os pesos de tentativas que são "deixados na balança". Sempre que um bit **1** ocasiona a inclinação da balança para o lado dos pesos ($V_o > V_a$), o bit **1** é mudado para um **0** e o bit seguinte de menor significância é tentado.

Observamos anteriormente a necessidade de inclinarmos a balança na direção do peso desconhecido. No circuito da Fig. 14.13-2, esta inclinação pode ser obtida através da soma de uma tensão fixa ao V_a ou, geralmente de uma forma mais conveniente, pelo deslocamento de V_o no sentido oposto. Um arranjo que possibilita este deslocamento é mostrado na Fig. 14.10-1. Considere, por exemplo, um conversor de 3 bits com saídas variando de **000** a **111** correspondente a uma tensão analógica de saída entre 0 e 7 V. O bit menos significativo corresponde a uma tensão analógica de 1 V. Assim, o deslocamento de V_o necessário é $\frac{1}{2}$ V. O conversor D/A deverá ser desajustado especificamente, de tal modo que, quando sua entrada digital for **000**, sua saída analógica deverá ser $-0{,}5$ V, como mostra a Fig. 14.13-3. Neste caso, o erro de quantização máximo será 0,5 V. A tensão analógica máxima que pode ser acomodada é de 7,5 V. Quando a saída for **111**, o erro de quantização não excede 0,5 V até $V_a > 7{,}5$ V.

É instrutivo traçarmos os passos necessários para se codificar uma tensão analógica V_a. Se, digamos, $V_a = 4{,}9$ V, iniciamos com $Q_A = \mathbf{1}$ e $Q_3Q_2Q_1 = \mathbf{100}$, de modo que V_o fica $4 - 0{,}5 = 3{,}5$ V. Como $V_a > V_o$ quando Q_B se torna **1**, Q_3 permanece em **1** e Q_2 também se torna **1**, de modo que $Q_3Q_2Q_1 = \mathbf{110}$. Agora, então, $V_o = 6 - 0{,}5 = 5{,}5\text{ V} > V_a$; assim, quando $Q_C = 1$, Q_2 se torna **0** e Q_1 vai a **1** nos dando $Q_3Q_2Q_1 = \mathbf{101}$. O resultado é $V_o = 5 - 0{,}5 =$

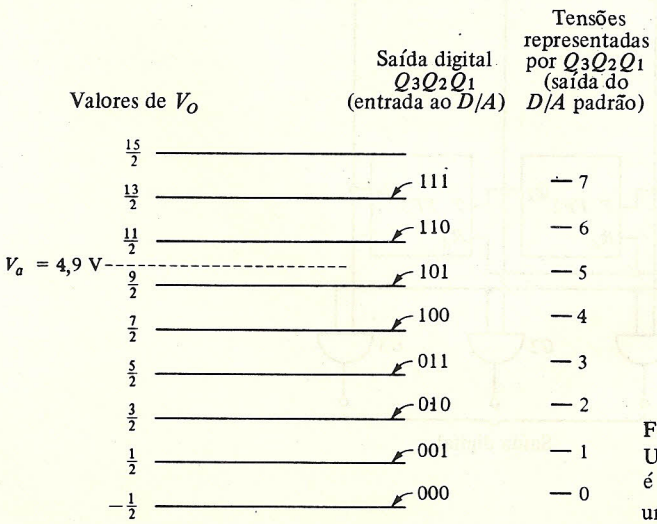


FIGURA 14.13-3
Uma tensão de desajuste (OFFSET) é necessária em um conversor D/A de um conversor A/D de aproximação sucessiva.

$= 4{,}5 < V_a$. Q_1, portanto, não varia quando $Q_D = \mathbf{1}$ e a resposta é $Q_3Q_2Q_1 = \mathbf{101}$. Este resultado é lido quando $Q_E = \mathbf{1}$.

14.14 O CONVERSOR CONTADOR

Um conversor *contador* de 3 bits é mostrado na Fig. 14.14-1. Os três flip-flops estão conectados como um contador de RIPPLE de módulo 8. O contador vai de um estado para outro em cada pulso do relógio quando a porta $G0$ é tornada habilitada. Vamos supor inicialmente que a linha de controle H (mantenedora de contagem) está no nível lógico **1**. $G0$ então torna-se impossibilitada e a contagem não prossegue. Admitiremos ainda que a linha R_d (restabelecido) foi usada para fazer o restabelecimento do contador a **000**, e em tal caso a saída também será **000**. Consideremos finalmente que a linha H seja também usada para controlar a operação do circuito S/H, de modo que a forma de onda $V_a(t)$ seja amostrada quando $H = \mathbf{1}$ e mantida quando $H = \mathbf{0}$.

Seja $V_o = \frac{1}{2}$ LSB inicialmente, e a saída lógica do comparador igual ao **1** lógico. Mudemos H, agora, para $H = \mathbf{0}$. $G0$ é, então, tornada habilitada e a contagem prossegue. A cada pulso do relógio, o contador avança um na contagem e a saída V_o do conversor D/A salta de um degrau. Teremos $V_o > V_a$ eventualmente. Neste instante, a saída C_o do comparador ficará $C_o = \mathbf{0}$ e a contagem parará. A contagem acumulada no comparador é a saída digital e será proporcional (exceto por um erro de quantização) à tensão analógica $V_a(t)$. Como temos, para a contagem, um tempo longo o suficiente para assegurarmos que $V_o > V_a$, poderemos então levar H para

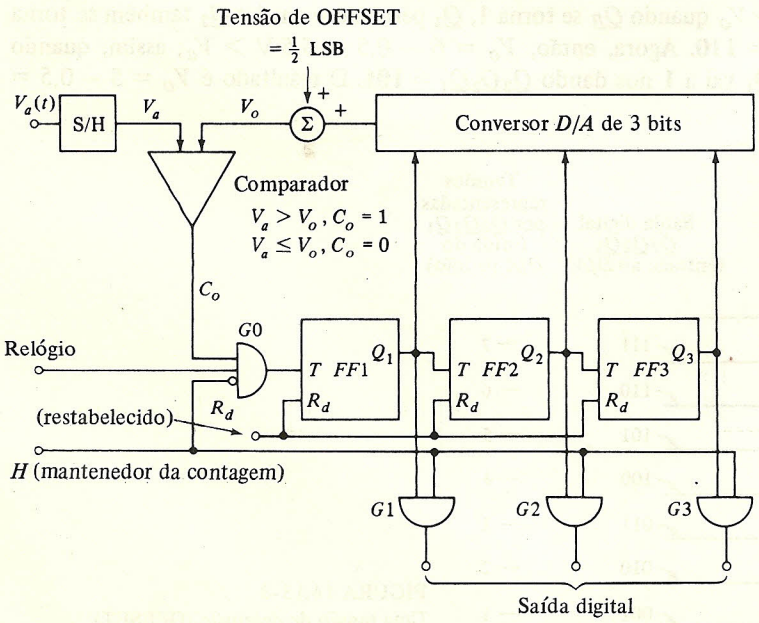


FIGURA 14.14-1
Um conversor contador *A/D* de 3 bits.

$H = \mathbf{1}$, e portanto permite-se a leitura da saída digital bem como se permite ao circuito S/H amostrar novamente o sinal de entrada. Antes de retornarmos H para $H = \mathbf{0}$, fazemos o restabelecimento R_d por um breve instante $R_d = \mathbf{1}$ para limpar o contador, e depois fazendo-o voltar a $R_d = \mathbf{0}$. H agora vai para $H = \mathbf{0}$, iniciando-se um novo ciclo de conversão.

No conversor A/D contador, bem como no conversor de aproximação sucessiva, é necessário desajustarmos a saída V_o do conversor D/A. No caso presente, entretanto, o deslocamento deverá ser no sentido de *aumentar*, ao invés de diminuir, o V_o de uma tensão correspondente a $\frac{1}{2}$ LSB. Para ver que este é o caso, desprezemos a tensão de desajuste e façamos LSB igual a 1,0 V (em tal caso, o erro máximo de quantização deveria ser ±0,5 V. Suponha agora que V_a é infinitesimalmente maior do que 0 V. No início da conversão deveremos ter $C_o = \mathbf{1}$ e o contador avançará de um e então pára. Este aumento de contagem de um nos dará uma saída digital **001** com a interpretação de 1,0 V. O erro de quantização correspondente será de 1,0 V. Por outro lado, com um desajuste de 0,5 V, o contador não avançará de um até que $V_a > 0{,}5$ V.

As formas de onda no conversor são mostradas na Fig. 14.14-2. Supomos, como anteriormente, um conversor D/A que nos dá saídas (excluindo-se o desajuste) de 0 e 7 V para entradas digitais **000** e **111**, respectivamente. Devido à aparência da forma de onda V_o, o conversor contador é também chamado de *conversor de rampa digital*. Dois intervalos de conversão são mostrados. No primeiro, a tensão analógica se situa entre 5,5 e 6,5 V e a saída digital é **110** = 6 V. No segundo, V_a se situa entre 6,5 e 7,5 e a saída é então **111**. A maior entrada analógica que pode ser acomodada com um erro máximo de quantização de 0,5 V é novamente 7,5 V.

Para uma dada taxa de amostragem e um dado número de bits de saída, o conversor contador geralmente precisa de um relógio muito mais rápido do que o conversor de aproximação sucessiva. No conversor contador com N bits de saída, são necessários 2^N ciclos de relógio para uma operação de conversão. No conversor de aproximação sucessiva, o número necessário

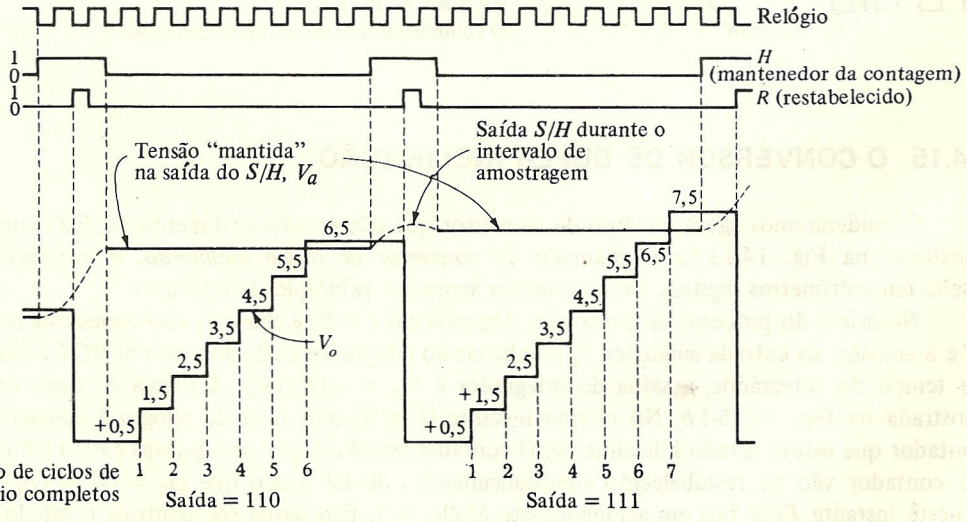


FIGURA 14.14-2
Formas de ondas do conversor *A/D* da Fig. 14.13-1.

é N (ou $N + 2$ se incluirmos os intervalos de relógio para fazer o restabelecimento e a leitura, como na Fig. 14.13-2). De qualquer modo, a freqüência do relógio aumenta exponencialmente com N no conversor contador e somente de forma linear no contador de aproximação sucessiva. O conversor A/D do tipo contador é geralmente restrito a freqüências de amostragem que são menores do que 100 kHz, enquanto, com conversores de aproximação sucessiva, taxas de amostragem da ordem de 1 MHz são normais.

O conversor contador pode ser melhorado, às custas de um aumento de complexidade, pela substituição do contador crescente da Fig. 14.14-1 por um contador crescente-decrescente (veja a seção 10.14). Tal conversor é referido como um *conversor de rampa digital contínuo*, ou *conversor de acompanhamento* ou *servo conversor*. O contador é comandado para contar para cima (crescente) ou para baixo (decrescente), dependendo de a saída do comparador estar no **1** ou no **0** lógico, e de V_o ser maior ou menor do que V_a. Se inicialmente $V_a > V_o$, o contador conta para cima até que $V_o > V_a$. Neste ponto o contador reverte. Se, depois de uma contagem para baixo encontramos que $V_o < V_a$, o contador reverte novamente e assim por diante. O nível de V_o, portanto, variará ao redor de V_a. A aparência de V_o durante os intervalos em que V_a é mantida, e durante um intervalo de amostragem, é indicada na Fig. 14.14-3. A saída deste conversor é lida, como antes, no fim do intervalo de manutenção. Comparado a um conversor contador comum, no servo contador somente metade da contagem, em média, será necessária para completar uma conversão. Assim, um servo contador pode operar com velocidade dobrada.

Dos três tipos descritos de conversores que envolvem realimentação através de um conversor D/A, o conversor de aproximação sucessiva é o mais popular deles.

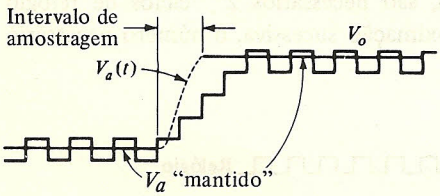


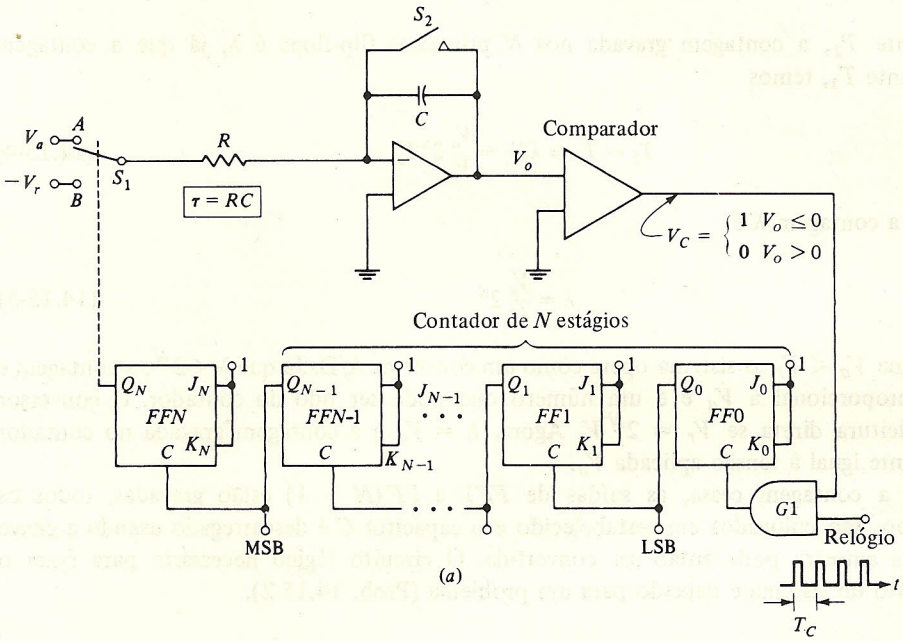
FIGURA 14.14-3
O comportamento de um servo conversor.

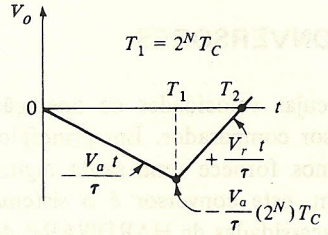
14.15 O CONVERSOR DE DUPLA INCLINAÇÃO

Consideraremos agora um tipo de conversor que não envolve realimentação. Este conversor, mostrado na Fig. 14.15-1*a* e chamado de *conversor de dupla inclinação*, é freqüentemente usado em voltímetros digitais. Descreveremos agora seu princípio de operação.

No início do processo de conversão, digamos em $t = 0$, a chave S_1 está conectada ao ponto A e a amostra da entrada analógica V_a é aplicada ao integrador analógico. Se $\tau = RC$ é a constante de tempo do integrador, a saída do integrador é $V_o = -(t/\tau)\,V_a$. A forma de onda de V_o é mostrada na Fig. 14.15-1*b*. No mesmo instante ($t = 0$), um sinal de relógio é aplicado a um contador que estava zerado inicialmente. O contador conta até que os flip-flops *FF*0 a *FF* $(N - 1)$ do contador vão ao restabelecido simultaneamente, de tal modo que $Q_0 = Q_1 = Q_{N-1} = \mathbf{0}$, e neste instante *FFN* fica em acionado, isto é, $Q_N = \mathbf{1}$. Esta saída Q_N controla o estado de S_1, e, quando $Q_N = \mathbf{1}$, a chave S_1 se move para o ponto B. A saída do integrador começa agora a se mover no sentido positivo, já que a tensão de referência aplicada é negativa, isto é, $-V_r$

(veja a Fig. 14.15-1*b*). O contador continua então a contar até que a tensão de saída V_o se torne levemente positiva. Neste instante, a saída do comparador vai ao estado **0**, a porta $G1$ se torna impossibilitada e a contagem pára.





(*b*)

FIGURA 14.15-1
O comparador A/D de dupla inclinação.

Mostraremos agora que a contagem gravada no contador do estágio N, $Q_{N-1}, \ldots, Q_1$, Q_0 é diretamente proporcional a V_a e é independente da constante de tempo τ. O tempo T_1 necessário para os $N + 1$ flip-flops irem de **00 . . . 00** a **10 . . . 00** é $2^N T_C$, onde T_C é o tempo entre os pulsos do relógio. Neste instante, a tensão de saída V_o é

$$V_o = -\frac{V_a}{\tau} T_1 = -\frac{V_a}{\tau} 2^N T_C \tag{14.15-1}$$

Referindo-nos à Fig. 14.15-1*b* vemos que no instante T_2, V_o é novamente igual a 0 V e que, portanto,

$$\frac{V_r(T_2 - T_1)}{\tau} = \frac{V_a}{\tau} T_1 \tag{14.15-2}$$

Assim, o intervalo de tempo $T_2 - T_1$ é

$$T_2 - T_1 = \frac{V_a}{V_r} 2^N T_C \tag{14.15-3}$$

Se, no instante T_2, a contagem gravada nos N primeiros flip-flops é λ, já que a contagem era 0 no instante T_1, temos

$$T_2 - T_1 = \lambda T_C = \frac{V_a}{V_r} 2^N T_C \tag{14.15-4}$$

de modo que a contagem λ é

$$\lambda = \frac{V_a}{V_r} 2^N \tag{14.15-5}$$

Desde que $V_a < V_r$, o sistema opera como um conversor A/D. Já que $\lambda < 2^N$, a contagem é diretamente proporcional a V_a e é um número que pode ser lido do contador. O conversor pode ser de leitura direta se $V_r = 2^N V$. Agora, $\lambda = V_a$ e a contagem gravada no contador é numericamente igual à tensão aplicada V_a.

Quando a contagem cessa, as saídas de $FF1$ a $FF(N - 1)$ estão gravadas, todos os $N + 1$ flip-flops são colocados em restabelecido e o capacitor C é descarregado usando a chave S_2. Uma nova amostra pode então ser convertida. O circuito lógico necessário para fazer o restabelecimento do sistema é deixado para um problema (Prob. 14.15-2).

14.16 UMA COMPARAÇÃO ENTRE OS TIPOS DE CONVERSORES

Os conversores aqui discutidos representam dispositivos cujas velocidades de operação se situam em três faixas diferentes. O mais rápido é o conversor comparador. Em princípio, exceto pelo retardo através dos comparadores, este conversor nos fornece uma saída digital no momento em que uma entrada analógica é aplicada. Assim, este conversor é o sistema escolhido quando há necessidade de velocidade máxima. Se as necessidades de HARDWARE de um conversor comparador se tornam excessivas, um arranjo em cascata poderá ser utilizado com algum sacrifício em velocidade e precisão.

A seguir, em ordem de velocidade, se situa o conversor de aproximação sucessiva. Onde houver a necessidade de um conversor relativamente rápido e de boa qualidade, este comparador é o mais indicado. Conforme observamos, o tempo necessário para processar uma conversão aumenta linearmente com o número de bits, necessitando aproximadamente tantos pulsos de relógio quantos são os bits. Os conversores contadores são os mais vagarosos, necessitando 2^N ciclos de relógio por conversão, sendo N o número de bits. Muito popular entre os conversores contadores é o conversor de dupla inclinação que é largamente empregado em instrumentos como voltímetros digitais, onde a velocidade de conversão não é importante.

Além dos comparadores aqui descritos, há um sem-número de outros tipos, alguns diferindo-se em princípios e outros somente em detalhes. Consideraremos agora, brevemente e sem grandes detalhes, alguns conversores adicionais que possuem o mérito da simplicidade e economia.

14.17 UM CONVERSOR USANDO A CONVERSÃO TENSÃO PARA FREQÜÊNCIA

Um conversor A/D pode ser construído usando-se um contador e um dispositivo chamado de conversor de *tensão para freqüência* (*V/F*). De um modo simplificado, o conversor *V/F* é mostrado na Fig. 14.17-1*a*. Os princípios de operação deste circuito estão explicados abaixo.

Um sinal $V_a(t)$ (suposto positivo) é amostrado e mantido para formar a tensão V_a. Esta tensão é aplicada a um integrador, que é seguido por um comparador. A outra entrada do comparador é uma tensão de referência $-V_r$. Inicialmente, a chave S que faz a conexão do capacitor de integração C está aberta e a tensão V_o diminui linearmente com o tempo. Se $\tau = RC$, temos $V_o = -V_a t/\tau$ que é mostrada na Fig. 14.17-1*b*. Quando V_o cai a $-V_r$ depois de um tempo $t = T$, a saída do comparador V_C se torna positiva durante um pequeno intervalo de tempo T_d, durante o qual a chave S fecha, descarregando o capacitor C e retornando a saída V_o do integrador a aproximadamente 0 V. A taxa de descarga é, claro, determinada pela resistência da chave. Em um sistema real, a saída do comparador pode permanecer positiva por um intervalo muito curto para que haja a descarga completa do capacitor. Neste caso, um circuito chamado multivibrador monoestável (veja as seções 15.3-15.5), capaz de usar o pulso estreito do comparador para formar um pulso de largura T_d, pode ser interposto entre a saída do comparador e a chave.

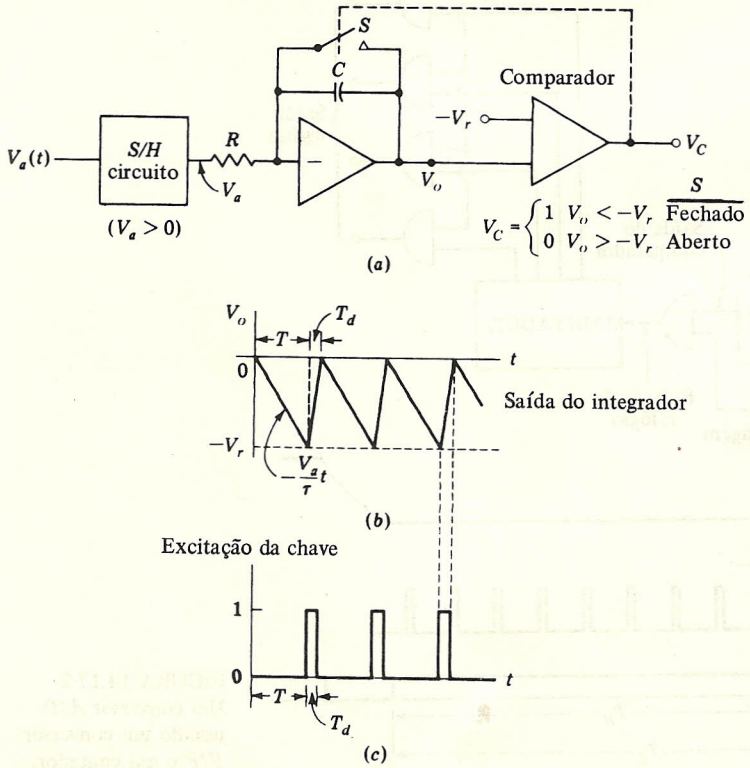


FIGURA 14.17-1
(*a*) Um conversor *V/F*.
(*b*) O sinal V_O. (*c*) O sinal que excita a chave.

Depois do intervalo de tempo T_d, a tensão no comparador cai para o estado **0**, a chave S abre e V_o começa a decrescer mais uma vez. Se o tempo de descarga T_d for muito menor do que o tempo de integração T, a freqüência dos sinais V_o e V_C é

$$f = \frac{1}{T + T_d} \approx \frac{1}{T} = \frac{1}{\tau}\frac{V_a}{V_r} \qquad (14.17\text{-}1)$$

Assim, o conversor V/F fornece um sinal de saída cuja freqüência é proporcional à tensão de entrada. Tal sinal é dito estar modulado em *freqüência*. Os conversores V/F que operam de um modo similar ao dispositivo mostrado na Fig. 14.17-1*a* estão disponíveis comercialmente.

Um conversor A/D que usa um conversor V/F é mostrado na Fig. 14.17-2. O conversor V/F fornece a entrada de relógio (que é a saída V_C do comparador) para um contador através de uma porta AND. Uma segunda entrada à porta AND é a tensão de amostragem V_S, que mantém o nível lógico **1** durante um intervalo fixo T_H. Desde que $V_S = 1$, a saída V_a amostrada é mantida fixa em seu valor no início do intervalo T_H. Com a porta AND habilitada durante o intervalo T_H, a leitura do contador será igual ao número de ciclos executados pela saída do conversor V/F no intervalo especificado de tempo. Se chamarmos de λ o número lido pelo

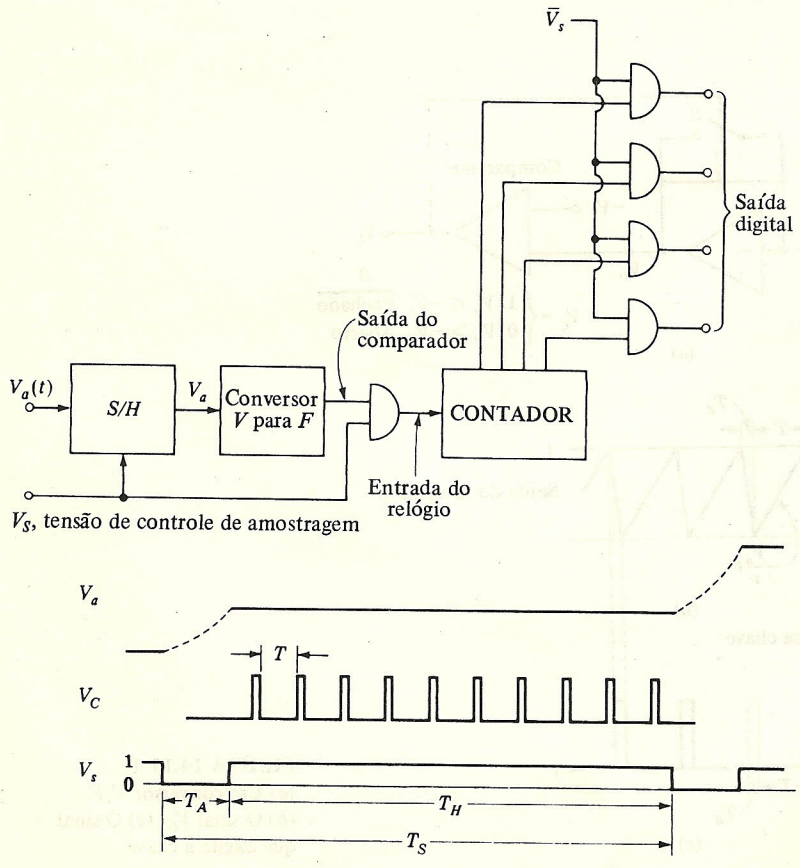


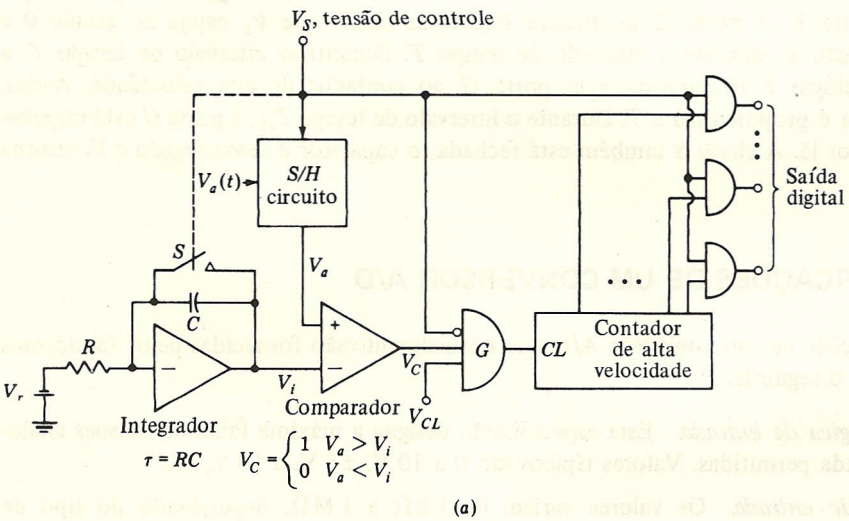
FIGURA 14.17-2
Um conversor A/D usando um conversor V/F e um contador.

contador, então, a partir da Eq. (14.17-1), $\lambda = fT_H = T_H V_a / \tau V_r$ e o registro no contador é proporcional a V_a. A saída do contador é lida quando V_S está no estado **0**. Durante este intervalo de tempo, T_C, um novo valor de amostra de $V_a(t)$ é obtido.

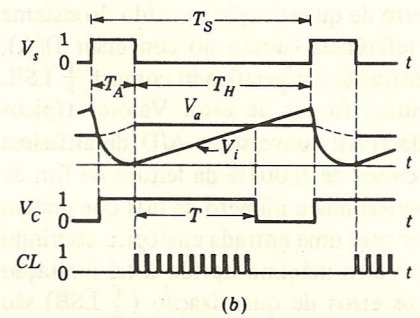
14.18 UM CONVERSOR USANDO A CONVERSÃO TENSÃO PARA TEMPO

Na seção anterior discutimos o princípio de um conversor A/D que opera através da contagem dos ciclos de uma fonte de *freqüência variável* dado um *período fixo*. Um conversor, alternativamente, pode operar segundo o princípio da contagem dos ciclos de uma fonte de *freqüência fixa* com um *período variável*. Este conversor A/D é mostrado em algum detalhe na Fig. 14.18-1.

Supondo uma tensão analógica positiva, uma tensão de referência negativa V_r é aplicada a um integrador, o qual nos dá uma saída que será a entrada de um comparador. A saída do comparador estará no nível lógico **1** quando a saída V_i do integrador for menor do que a tensão analógica V_a. Um relógio de freqüência fixa V_{CL} é aplicado a um contador através de uma



(a)



(b)

FIGURA 14.18-1
Um conversor *A/D* que usa um conversor tensão para tempo. (*b*) Formas de onda.

porta AND G. O circuito opera impondo que esta porta AND permaneça habilitada somente durante o tempo que inicia em $t = 0$ quando $V_i = 0$, até o instante $t = T$ quando $V_i = V_a$. Como $V_i = V_r t/\tau$,

$$T = \frac{\tau V_a}{V_r} \tag{14.18-1}$$

Se f_{CL} é a freqüência do relógio durante o intervalo T, a contagem N registrada será

$$N = f_{CL} T = \frac{\tau f_{CL}}{V_r} V_a \tag{14.18-2}$$

A contagem N, conforme é necessário, é proporcional a V_a. Observe que, aqui, ao contrário da situação que prevalece no conversor de dupla inclinação, a calibração do presente conversor depende da freqüência do relógio e da constante de tempo do integrador.

As formas de onda para o conversor A/D são mostradas na Fig. 14.18-1*b*. A tensão V_s de amostragem amostra a tensão positiva de entrada $V_a(t)$ a cada T_S, durante o intervalo de tempo T_A. A tensão amostrada V_a é então mantida por um tempo T_H. Durante este tempo, a chave S está aberta e a saída do integrador é uma rampa de tensão. Quando $V_i < V_a$, a saída do comparador está no estado **1**. A porta G permanece habilitada desde que V_s esteja no estado **0** e V_C no estado **1**, isto é, durante o intervalo de tempo T. Durante o intervalo de tempo T, a tensão V_{CL} do relógio é transmitida pela porta G ao contador de alta velocidade. Assim, a saída do contador é proporcional a T. Durante o intervalo de tempo T_A, a porta G está impossibilitada e o contador lê. A chave S também está fechada, o capacitor é descarregado e V_i retorna a 0 V.

14.19 ESPECIFICAÇÕES DE UM CONVERSOR A/D

As especificações de um conversor A/D que normalmente são fornecidas pelos fabricantes comerciais incluem o seguinte:

Tensão analógica de entrada. Esta especificação designa a máxima faixa de tensões analógicas de entrada permitidas. Valores típicos são 0 a 10 V, ± 5 V, ± 10 V, etc.

Impedância de entrada. Os valores variam de 1 kΩ a 1 MΩ, dependendo do tipo de conversor A/D. A capacitância da entrada se situa na faixa das dezenas de picofarads.

Precisão. A precisão de um conversor A/D inclui o erro de quantização, o ruído do sistema digital incluindo o que está presente na tensão de referência (usado no conversor D/A), desvios de linearidade, etc. Em geral, o ruído de quantização é especificado como $\pm \frac{1}{2}$ LSB. A precisão também inclui a soma de todas as outras fontes de erro. Valores típicos são da ordem de ± 0,02% da leitura de fim de escala (FS); conversores A/D de altíssima precisão, entretanto, podem ser adquiridos com precisões de 0,001% da leitura de fim de escala (FSR). A precisão de um conversor geralmente determina o número de bits que podem ser utilizados. Como exemplo, considere um conversor com uma entrada analógica cobrindo a faixa ± 10 V. Se a precisão for de 0,02% da FSR, o erro máximo devido a tal limitação de precisão é de 2 mV. Para 9, 10, 11 e 12 bits, os erros de quantização ($\frac{1}{2}$ LSB) são

10, 5, 2,5 e 1,25 mV, respectivamente. Há uma vantagem em usarmos 10 bits no lugar de 9. Poderíamos ainda justificar o uso de 11 bits, mas 12 bits provavelmente não.

Estabilidade. A precisão do sistema é geralmente dependente da temperatura. Coeficientes típicos de erro de temperatura são da ordem de 20 ppm da FSR por grau Celsius. Como exemplo, se um sinal de 10 V é aplicado a 75°C, temos como resultado um erro de $(20 \times 10^{-6})(10\text{ V})(75 - 25) = 10$ mV. Com um conversor A/D de 10 bits, o erro limita a resposta à de um dispositivo de 9 bits.

Tempo de conversão. Os tempos típicos de conversão variam de 50 μs, para unidades de velocidade moderada, a 50 ns para um dispositivo de alta velocidade.

Formato. Um conversor A/D pode ser obtido praticamente para qualquer código usado em geral: binário unipolar, binário com desajuste, complemento de um, complemento de dois. Os níveis de tensão de saída são geralmente ajustados de modo a possibilitar a conexão direta a algumas famílias lógicas (TTL, ECL etc.).

14.20 INTERCONECTANDO O CONVERSOR A/D E O S/H

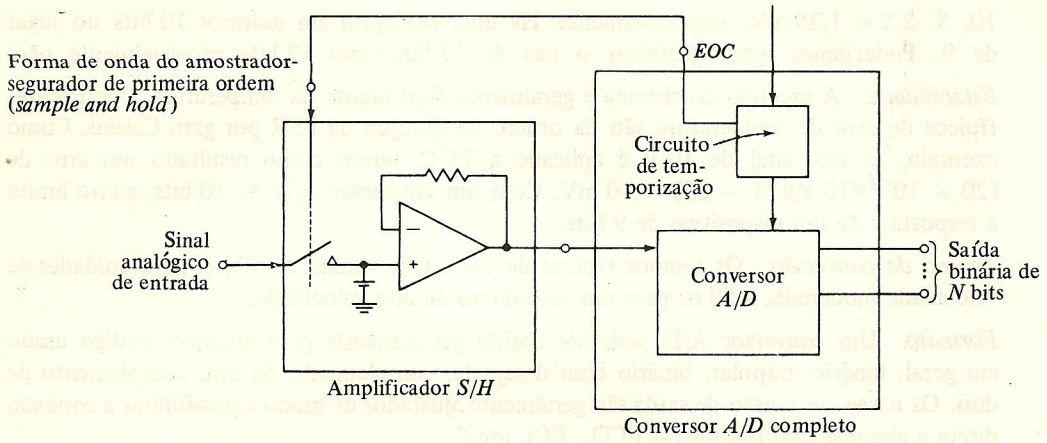
O sistema empregado para converter um sinal analógico em uma seqüência digital de bits consiste em um amplificador *S/H* e um conversor *A/D*. Estas unidades são operadas em sincronismo, sendo que o conversor *A/D* "diz" ao amplificador *S/H* quando ele deve amostrar e quando manter.

A Fig. 14.20-1*a* mostra o sistema de conversão *S/H-A/D*. Observe que o conversor A/D completo consiste em dois subsistemas. O primeiro é o conversor A/D como o conversor comparador mostrado na Fig. 14.12-1 ou o conversor de aproximação sucessiva mostrado na Fig. 14.13-2 etc. O segundo subsistema é o *circuito de temporização*. A entrada do circuito de tempo é o trem de pulsos amostrados. O circuito de tempo fornece todos os pulsos de relógio necessários para que o conversor A/D converta a amostra analógica em um sinal de saída de N bits. Mais ainda, o circuito de tempo gera uma forma de onda chamada *forma de onda de fim de conversão* (EOC) que avisa ao circuito S/H quando ele deve amostrar e quando deve manter o sinal (veja a Fig. 14.20-1*b*).

É importante observarmos que o trem de pulsos de amostras é aplicado ao conversor A/D e não ao circuito S/H. O controle empregado pelo circuito S/H é a forma de onda de EOC gerada no conversor A/D. Isto é feito de modo que a saída do circuito S/H é mantida constante até que o conversor A/D tenha terminado a conversão. Então, enquanto a saída convertida é mostrada nos terminais binários de saída do conversor A/D, permite-se que o circuito S/H varie seu nível analógico de saída (e isto ocorre durante o intervalo T_A). Se o circuito S/H e o conversor A/D não estivessem sincronizados, poderíamos ter a variação da saída do S/H durante a conversão e tal operação nos conduziria a uma saída digital incorreta.

14.21 MODULAÇÃO DELTA

Os conversores A/D discutidos previamente nos fornecem uma representação digital de um sinal analógico. A característica fundamental comum a cada um destes dispositivos é que



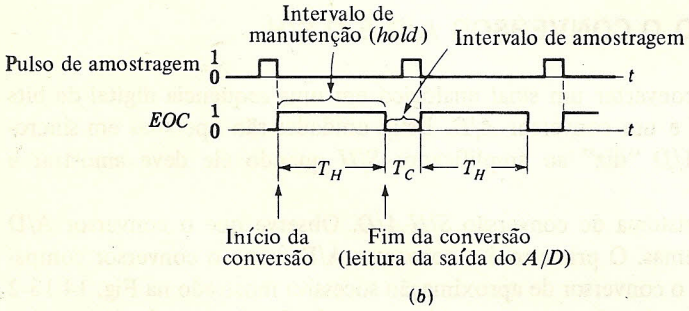


FIGURA 14.20-1
(*a*) Interconexão do circuito S/H e do conversor *A/D*. (*b*) Formas de onda.

eles fornecem uma palavra de N bits codificada para cada amostra tomada a partir do sinal analógico. Ainda que o tipo de código possa variar (binário com desajuste, complemento de um, de dois etc.), o termo genérico que descreve esta operação é *modulação por pulsos em código* (PCM = *pulse code modulation*). O *PCM* encontra uma variada gama de aplicações desde o processamento aritmético semelhante ao do computador até a transmissão de dados em voz, vídeo e sinais de computador.

Nas seções seguintes, consideraremos um tipo diferente de conversor A/D chamado *modulador delta* (DM). Apesar de as aplicações do DM não serem ainda tão variadas como as do PCM, elas estão aumentando rapidamente. Uma das aplicações mais importantes da DM é a codificação digital de sinais de voz antes da transmissão. É verificado que a mesma clareza na voz codificada por PCM e DM pode ser alcançada, porém o uso do DM nos permite uma taxa de bits *menor* do que para o PCM. Como a banda de passagem necessária ao canal aumenta com o aumento da taxa de bits, e como normalmente ela é um fator importante a ser considerado, muitos sistemas digitais de voz usam agora o DM.

Um DM "linear" básico. Um bloco diagrama de um DM é mostrado na Fig. 14.21-1*a*. As formas de onda típicas são mostradas na Fig. 14.21-1*b*, *c* e *d*. O sinal analógico $M(t)$ e a

estimativa $\hat{M}(t)$ e $M(t)$ derivada a partir do modulador delta são continuamente apresentados a um comparador. A saída do comparador pode assumir um de dois níveis de tensão possíveis; o **1** lógico se $M(t) \geqslant \hat{M}(t)$ e o **0** lógico se $M(t) < \hat{M}(t)$. O sinal na saída do comparador (não mostrado) é amostrado uma vez a cada ciclo do relógio e mantido no valor amostrado durante a duração do ciclo do relógio. Se, no instante de amostragem kT_s (k é um inteiro), a saída do comparador estiver no **0** lógico, $E(t) = E(kT_s) = \mathbf{0}$ será transmitido; se, entretanto, a saída do comparador estiver no **1** lógico, $E(t) = E(kT_s) = \mathbf{1}$ será então transmitido.

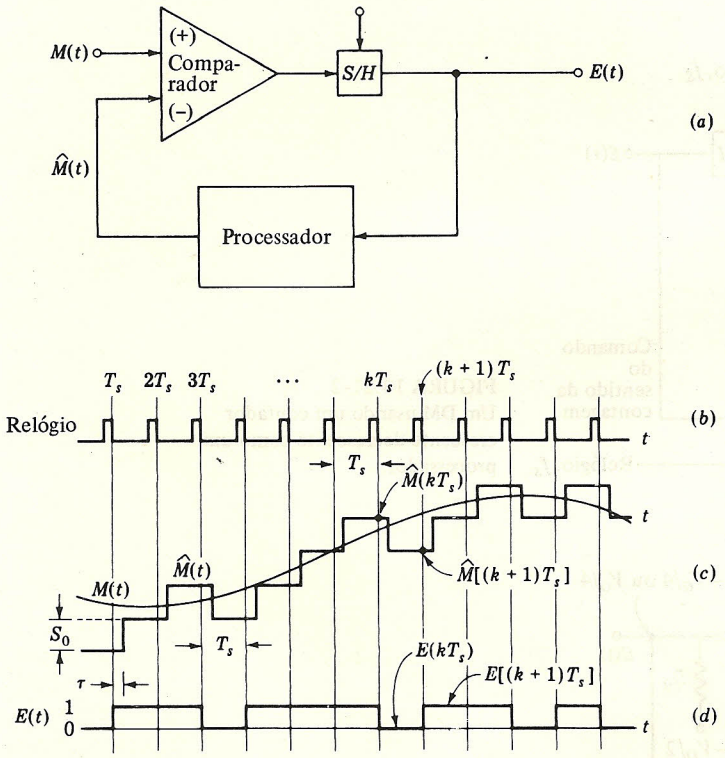


FIGURA 14.21-1
(*a*) Um modulador delta básico. (*b*) Relógio. (*c*) Sinal e estimativa. (*d*) Seqüência de bits transmitidos $E(t)$.

A estimativa $\hat{M}(t)$ é formada usando-se o seguinte algoritmo: se $E(kT_s) = \mathbf{1}$, o que denota que $M(kT_s) \geqslant \hat{M}(kT_s)$, *aumenta-se* $\hat{M}(t)$ de um degrau S_0 durante o intervalo $kT_s + \tau < t < (k+1)T_s + \tau$. Se $E(kT_s) = \mathbf{0}$, o que significa que $M(kT_s) < \hat{M}(kT_s)$, *diminui-se* $\hat{M}(kT_s)$ de um degrau S_0. O retardo τ é o tempo necessário para o processador converter as variações de $E(t)$ em variações de $\hat{M}(t)$. O algoritmo pode ser escrito em termos dos tempos de amostragem kT_s e $(k+1)T_s$ como uma equação diferencial recursiva

$$M[(k+1)T_s] = \hat{M}(kT_s) + S_0 E(kT_s) \quad \text{para todo } k \tag{14.21-1}$$

onde $E(kT_S) = \begin{cases} +1 \text{ se a saída do comparador for o nível lógico } \mathbf{1} \\ -1 \text{ se a saída do comparador for o nível lógico } \mathbf{0} \end{cases}$

A aplicação deste algoritmo resulta na estimativa mostrada na Fig. 14.21-1*c*. A seqüência de bits resultante, $E(t)$, é mostrada na Fig. 14.21-1*d*.

Uma maneira pela qual o processador mostrado na Fig. 14.21-1*a* pode ser realizado é mostrada na Fig. 14.21-2. O processador consiste em um contador crescente-decrescente e em um conversor A/D. Quando no instante de amostragem se verifica que $E(kT_S) = \mathbf{1}$, o número armazenado no contador é aumentado de **1**; quando $E(kT_S) = \mathbf{0}$, o número armazenado no contador é diminuído de **1**.

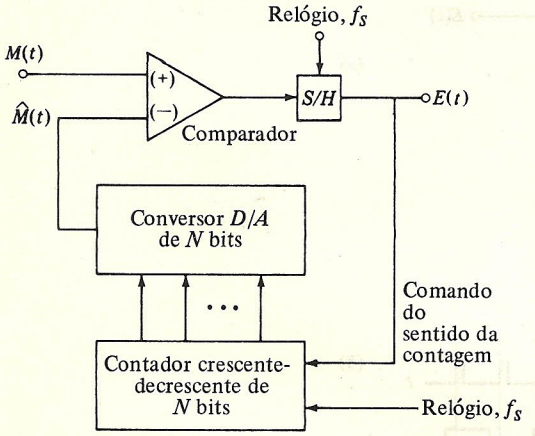


FIGURA 14.21-2
Um DM usando um contador crescente-decrescente como um processador.

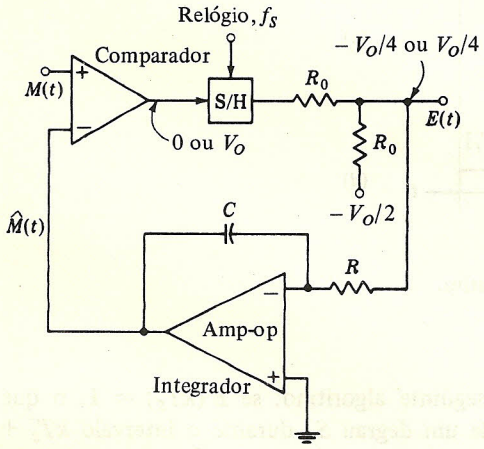


FIGURA 14.21-3
Uma realização simples de um DM.

Outro DM simples é mostrado na Fig. 14.21-3. Aí, o processador não é um dispositivo digital e sim um integrador analógico. $E(kT_S)$ é $+V_O/4$ sempre que $M(kT_S) < \hat{M}(kT_S)$ e $-V_O/4$ sempre que $M(kT_S) > \hat{M}(kT_S)$. Neste caso, o sinal $\hat{M}(t)$ não é formado por uma seqüência de saltos para cima e para baixo e sim por uma seqüência de rampas com inclinações $+V_O/4RC$

ou $-V_o/4RC$. No intervalo do relógio $T_s = 1/f_s$ a variação total em $\hat{M}(t)$, a qual novamente chamaremos S_0, é

$$S_0 = \frac{V_o T_s}{4RC} \tag{14.21-2}$$

Reconstrução de um sinal analógico. Um dos grandes méritos da modulação delta é a relativa facilidade com o que o sinal analógico quantizado $\hat{M}(t)$ pode ser recuperado a partir do sinal digitalizado $E(t)$ que é transmitido. Este processo de recuperação, é claro, efetua a conversão D/A que é o inverso da conversão A/D original. A recuperação de $\hat{M}(t)$ é conseguida passando-se o sinal transmitido $E(t)$ através de um processador como o usado no transmissor. Conforme foi observado, o processador gera $\hat{M}(t)$ a partir de $E(t)$. Independentemente, entretanto, do fato de o processador do transmissor ser digital, como na Fig. 14.21-2, ou analógico, como na Fig. 14.21-3, o processador integrador simples serve para a recuperação do sinal.

Limitação do DM linear. Os sistemas DM descritos nesta seção têm a característica de que a estimativa $\hat{M}(t)$ varia de $\pm S_0$, isto é, de uma quantidade constante depois de cada pulso de amostragem. Assim, se $E(t)$ é formado de uma longa seqüência de bits **1** lógicos $\hat{M}(t)$ representaria uma rampa de tensão, ou uma aproximação por degraus, para uma rampa. Como resultado desta variação "linear" em $\hat{M}(t)$, o tipo de sistema DM descrito acima é chamado de *modulação delta linear.*

O DM linear tem a limitação fundamental de que o módulo da "declividade" de $\hat{M}(t)$ não pode exceder $S_0/T_s = S_0 f_s$. Se a declividade do sinal $M(t)$ persiste em um valor maior do que S_0/T_s por um grande intervalo de tempo, a diferença entre $M(t)$ e $\hat{M}(t)$ pode também ficar grande. Esta situação é ilustrada na Fig. 14.21-4. A disparidade existente entre $M(t)$ e $\hat{M}(t)$ aqui mostrada é descrita como *erro de sobrecarga de declividade.*

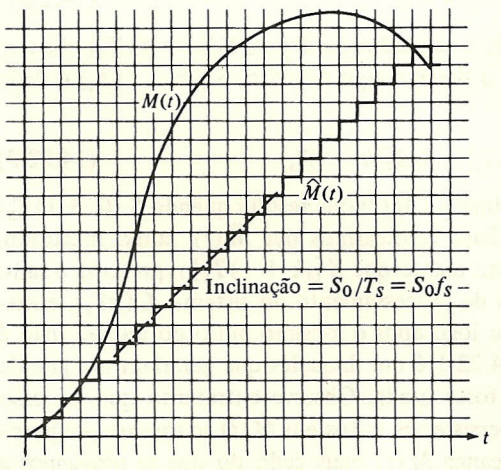


FIGURA 14.21-4
Sobrecarga de inclinação.

Para diminuir o erro de sobrecarga de declividade, podemos aumentar o tamanho S_0 do degrau, com um aumento correspondente do erro de quantização, ou podemos ainda aumentar a

taxa f_S de amostragem, com um correspondente aumento da banda de passagem necessária para transmitir o sinal $E(t)$. Como resultado desta limitação, a DM linear é raramente usada na prática. Na seção seguinte discutiremos a DM *adaptativa* que supera o problema da sobrecarga de declividade pela geração de tamanhos de degraus diferentes dependendo das características de $M(t)$.

14.22 MODULAÇÃO DELTA ADAPTATIVA

A DM adaptativa difere da DM linear pelo fato de que o tamanho do degrau não é mais uma constante igual a S_0, assumindo valores que dependem do passado do dado transmitido $E(t)$, isto é, $E(kT_S)$, $E[(k-1)T_S]$, ..., $E(0)$. Este tipo de DM é freqüentemente utilizado para codificar digitalmente a voz. Verifica-se que a reprodução da voz é comparável àquela obtida em PCM, ainda que a DM esteja operando a uma taxa de bits menor. (A taxa de bits na DM é igual à taxa de amostragem. No PCM, a taxa de bits é igual ao produto da taxa de amostragem pelo número de bits em que cada amostra é codificada.)

Nesta seção, descreveremos um DM adaptativo (ADM) projetado e construído no Communication Systems Laboratory do CCNY; ele pode reproduzir voz que foi limitada em banda em 2.400 Hz com uma inteligibilidade de palavra de 90% a 9,6 kb/s. Isto é equivalente ao uso de PCM e à codificação de cada amostra em 2 bits.

De um modo geral, para a DM temos

$$\hat{M}[(k+1)T_s] = \hat{M}(kT_s) + S[(k+1)T_s] \tag{14.22-1}$$

onde $S[(k+1)T_S]$ é o tamanho do degrau pelo qual a estimativa de $M(t)$ varia em $t = kT_S + \tau$ (veja a Fig. 14.20-1*c*). Para o DM linear descrito acima,

$$S[(k+1)T_s] = S_0\, E(kT_s) \tag{14.22-2}$$

que nos leva à Eq. (14.21-1). Em um sistema ADM, o tamanho do degrau $S[(k+1)T_S]$ não tem o módulo constante como na Eq. (14.21-2). Para o sistema aqui descrito, $S[(k+1)T_S]$ é dado por

$$S[(k+1)T_s] = |S(kT_s)|\, E(kT_s) + S_0\, E[(k-1)T_s] \tag{14.22-3}$$

Na Fig. 14.22-1 está indicado um sinal $M(t)$ e a estimativa $\hat{M}(t)$ que resulta quando $S[(k+1)T_S]$ é gerado através do algoritmo da Eq. (14.22-3). Para verificarmos que $\hat{M}(t)$, como mostrado, é inconsistente com a Eq. (14.22-3), devemos ter em mente que $S[(k+1)T_S]$ representa o salto em $\hat{M}(t)$ no instante $kT_S + \tau$, onde τ é o retardo de processamento do sistema. $E(kT_S)$, entretanto, se refere à tensão de entrada do processador logo após o k-ésimo pulso do relógio. Isto é ilustrado na Fig. 14.22-1. O sinal $M(t)$ da Fig. 14.22-1 é um daqueles que gerariam um grande erro de sobrecarga de declividade se a DM linear fosse usada. Observe entretanto que, no caso presente, à medida que a condição $M(t) > \hat{M}(t)$ persiste, os saltos em $\hat{M}(t)$ se tornam progressivamente maiores. A estimativa $\hat{M}(t)$, portanto, alcança $M(t)$ mais cedo do que se usássemos a modulação linear. Por outro lado, em resposta a uma elevada declividade em $M(t)$, há o desenvolvimento de grandes saltos em $\hat{M}(t)$, e portanto pode haver a necessidade de um grande número de ciclos de relógio para que estes saltos se reduzam em amplitude quando não forem mais necessários. Esta situação pode ser vista em $\hat{M}(t)$ na vizinhança do máximo de $M(t)$ na Fig. 14.22-1.

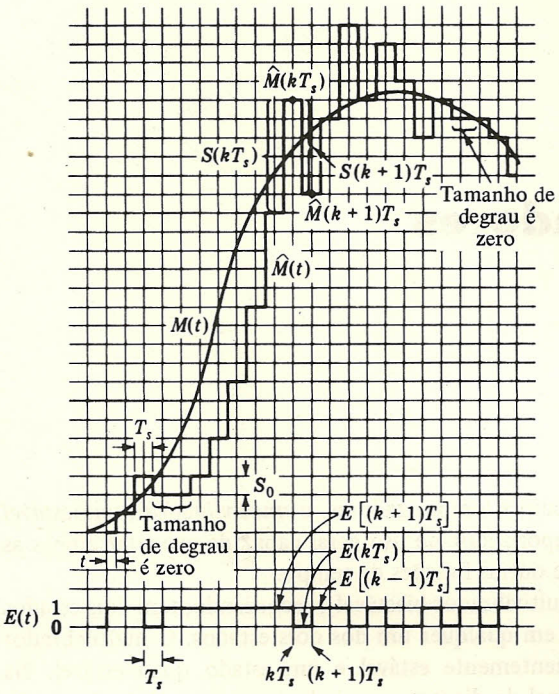


FIGURA 14.22-1
A habilidade de um ADM de aproximar a mesma forma de onda como na Fig. 14.20-4. O tamanho mínimo do degrau é o mesmo do da Fig. 14.20-4.

Assim, enquanto este sistema ADM reduz o erro de declividade, ele o faz a custo de um aumento do erro de quantização.

No que diz respeito à transmissão de voz, o resultado é que o erro reduzido de declividade nos dá uma vantagem, apesar de o erro de quantização ser maior. Os componentes espúrios de freqüência introduzidos no sinal reconstruído pelo erro de sobrecarga de declividade estão principalmente na faixa de baixas freqüências, enquanto o erro de quantização introduz espúrias principalmente nos componentes de alta freqüência. A energia em um sinal de voz é concentrada principalmente nos componentes de baixa freqüência e são estes que devem ser principalmente reproduzidos sem contaminação com o ruído, para que a inteligibilidade seja preservada. Assim, se passarmos o sinal reconstruído através de um filtro passa-baixo, estaremos aptos a reduzir o ruído de alta freqüência causado pelo erro de quantização, sem degradar o sinal de voz.

É de interesse incidental observarmos em conexão a $\hat{M}(t)$ da Fig. 14.22-1 que, em algumas ocasiões, $\hat{M}(t)$ não exibe um salto a cada intervalo de relógio. Duas destas situações estão indicadas por chaves. Pode também ser verificado que, na condição de regime permanente, quando $M(t)$ permanece constante (dentro de um intervalo S_0), $\hat{M}(t)$ oscila ao redor de $M(t)$, mas a freqüência de oscilação é metade da freqüência encontrada se a DM linear fosse usada.

REFERÊNCIAS

1. Taub, H., e D. L. Schilling. *Principles of Communications Systems.* McGraw-Hill, New York, 1971.
2. Song, C. L., J. Garodnick, e D. L. Schilling. A Robust Delta Modulator. *IEEE Trans. Commun. Technol.*, dez. 1971.

CAPÍTULO 15
Circuitos Temporizadores

Neste capítulo consideraremos dois circuitos temporizadores, o *multivibrador monoestável* e o *multivibrador astável* e, também, um temporizador de uso geral capaz de executar ambas as operações assim como uma grande variedade de outras funções de tempo.

O circuito flip-flop (também chamado multivibrador biestável), recordando, tem dois estados estáveis, e pode permanecer indefinidamente em qualquer um dos dois estados. O multivibrador monoestável tem apenas um estado permanentemente estável e um estado quase-estável. Na configuração monoestável, é necessário um sinal de disparo para induzir uma transição do estado estável para o quase-estável. O circuito pode permanecer em seu estado quase-estável por um intervalo de tempo que é muito grande em comparação com o tempo de transição entre os estados. Posteriormente, entretanto, ele voltará do estado quase-estável para o estado estável, não sendo necessário sinal externo para induzir esta transição reversa.

Devido ao fato de, quando disparado, o circuito monoestável voltar sozinho para seu estado original depois de um intervalo de tempo T, ele é também conhecido como um *disparo* (*one-shot*). Como ele gera uma forma de onda retangular que pode ser usada para chavear outros circuitos, é também chamado de *circuito de chaveamento*. Além disto, como gera uma transição rápida em um intervalo de tempo T predeterminado depois do disparo de entrada, é também chamado de *circuito de atraso*.

O multivibrador astável tem dois estados, sendo os dois quase-estável. Sem a ajuda de um sinal de disparo externo a configuração astável fará sucessivas transições de um estado quase-estável para o outro. Assim, o circuito astável é um *oscilador* e é usado como um gerador de ondas quadradas ou uma forma de onda de relógio.

15.1 MULTIVIBRADORES CMOS

As portas CMOS são convenientemente adaptáveis ao uso de multivibradores monoestável e astável. Nesta seção consideraremos circuitos monoestáveis utilizando estas portas.

Discutimos portas CMOS no Capítulo 8. O diagrama de uma porta NOR de duas entradas é dado na Fig. 8.9-2. Esta porta NOR é mostrada novamente na Fig. 15.1-1. Note a presença dos diodos de proteção na entrada (Sec. 1.16). Estes diodos estão ligados entre cada entrada e os

terminais da fonte de alimentação, sendo usados (operando juntamente com a impedância resistiva das fontes de excitações de entrada) para limitar as tensões nas portas dos dispositivos MOS à faixa de tensões permissível nominalmente do terra a V_{SS}. Esta limitação é necessária para assegurar que as tensões de porta nunca excedam a tensão de avalanche da camada de óxido que isola a porta do semicondutor. Na verdade, a tensão de avalanche pode ser da ordem de 100 V. Portanto, em uma operação normal (utilizando tensão de alimentação na faixa de cerca de 10 V), não é provável que a tensão de avalanche seja excedida. Há, entretanto, uma dificuldade especial encontrada com dispositivos MOS em geral e que resulta da resistência de isolação extremamente alta ($\approx 10^{12}\ \Omega$) da porta. Como resultado, quando não é fornecido caminho cc para permitir escoamento de carga da porta, mesmo uma carga estática estabelecida inadvertidamente em uma porta (como tocando um terminal de entrada da porta isolada) pode causar avalanche. Esta avalanche é evitada pela presença dos diodos de entrada.

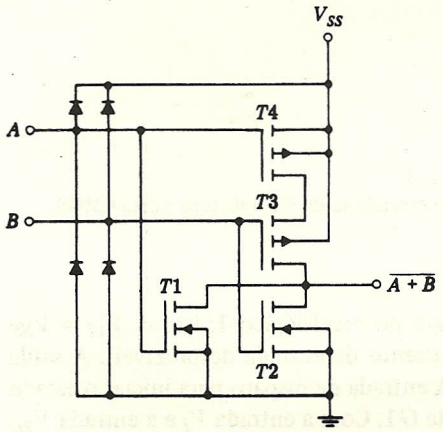


FIGURA 15.1-1
Diagrama esquemático de portas NOR CMOS de duas entradas, ilustrando os diodos de proteção de entrada (Motorola MC 14001).

Quando estas portas são usadas em circuitos de porta, os diodos de entrada podem, realmente, nunca entrar em condução. Por outro lado, em circuitos multivibradores, alguns destes diodos são essenciais e, se já não estivessem incorporados à porta propriamente dita, seria necessário colocá-los externamente.

Um multivibrador monoestável CMOS básico utilizando duas portas NOR está mostrado na Fig. 15.1-2. Como indicado, o resistor R está ligado na tensão de alimentação V_{SS}, que alimenta as portas. A porta $G2$ tem suas entradas interligadas, pois esta porta está sendo usada simplesmente como um inversor.

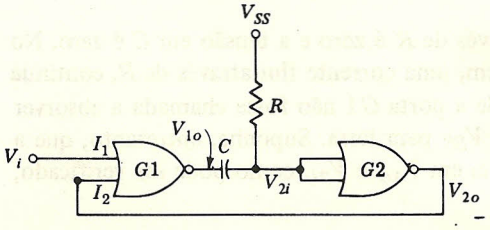


FIGURA 15.1-2
Um multivibrador monoestável com porta NOR CMOS.

Alguns detalhes das formas de ondas associadas com o multivibrador CMOS dependem na forma precisa da característica entrada-saída da porta CMOS. Uma característica típica está mostrada na Fig. 8.4.1*b*. Entretanto, o multivibrador monoestável é utilizado essencialmente para estabelecer um intervalo de tempo. As características relacionadas com este intervalo de tempo, sua faixa, estabilidade, etc., são de interesse, enquanto as formas de onda exatas não são de conseqüência séria. Conseqüentemente, para simplificar a discussão consideraremos que a característica entrada-saída do CMOS pode ser representada como na Fig. 15.1-3. Aqui adotamos uma mudança abrupta na saída entre V_{SS} e 0, quando a entrada está na tensão de transição V_T. Com esta suposição, as formas de onda do multivibrador astável ficam como indicadas na Fig. 15.1-4.

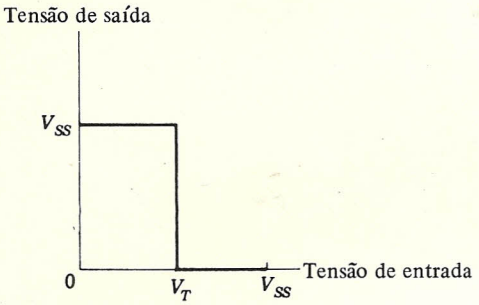


FIGURA 15.1-3
Característica entrada-saída ideal de uma porta CMOS.

No estado estável, a entrada V_{2i} da porta $G2$ estará no nível lógico **1**; isto é, $V_{2i} = V_{SS}$ (pois as portas do MOS, e portanto $G2$, puxam uma corrente de entrada desprezível). A saída V_{2o} será aproximadamente 0 V, isto é, no nível lógico **0**. A entrada de disparo para iniciar o estado quase-estável é aplicada no terminal de entrada I_1 da porta $G1$. Com a entrada V_i e a entrada V_{2o} de I_2 na lógica **0**, a saída V_{1o} da porta $G1$ estará na lógica **1**, isto é, em V_{SS}. Assim, o capacitor está inicialmente descarregado.

Seja agora um pulso positivo curto aplicado a I_1, como indicado na Fig. 15.1-4*a*, mas de amplitude adequada para levar I_1 ao nível lógico **1**. Então, depois de um retardo de propagação t_{pd_1} devido a $G1$, V_{1o} cairá abruptamente (Fig. 15.1-4*b*), e esta queda abrupta será transmitida através de C para a entrada da porta $G2$. Supondo a queda suficientemente grande em módulo para levar a tensão V_{2i} (Fig. 15.1-4*c*) ao nível lógico **0**, a saída V_{2o} (Fig. 15.1-4*d*) subirá para lógica **1** depois de um retardo de propagação t_{pd_2}. A entrada I_2 da porta será então mantida na lógica **1**, e a saída de $G1$ daí em diante não será afetada pelo término do pulso de disparo de entrada V_i. Entretanto, o pulso de disparo serviu para iniciar o estado quase-estável. Note que a duração mínima do pulso V_i deve exceder a soma dos retardos de propagação através das portas $G1$ e $G2$, ou seja, $\tau > t_{pd_1} + t_{pd_2}$.

Inicialmente, no estado estável, a corrente através de R é zero e a tensão em C é zero. No início do estado quase-estável, quando V_{1o} e V_{2i} caem, uma corrente flui através de R, continua através de C e é absorvida pela saída da porta $G1$. Se a porta $G1$ não fosse chamada a absorver esta corrente, a saída V_{1o} cairia de seu nível inicial V_{SS} para terra. Suponha, entretanto, que a resistência de saída da porta $G1$ é R_{o1}; então, a queda em V_{1o} e V_{2i}, como pode ser verificado, não será igual a V_{SS}, mas sim dada por

$$\Delta = \frac{R}{R + R_{o1}} V_{SS} \qquad (15.1\text{-}1)$$

de modo que Δ se aproximará de V_{SS} apenas se $R >> R_{o1}$.

À medida que C se carrega com V_{SS} através de R e R_{o1}, a corrente de carga diminui com o tempo. Conseqüentemente, a queda em R_{o1} também cai e, durante o intervalo quase-estável T, a forma de onda V_{1o} mostra uma inclinação para baixo.

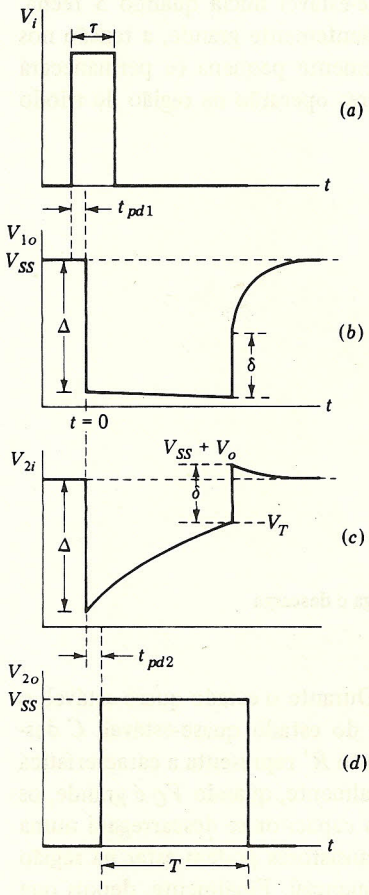


FIGURA 15.1-4
Formas de onda do multivibrador monoestável com CMOS.

Começando em $t = 0$ (considerado como sendo o instante em que V_{1o} e V_{2i} caem da quantidade Δ), a tensão V_{2i} sobe de $V_{SS} - \Delta$ para V_{SS} como um limite assintótico. A constante de tempo associada com esta forma de onda exponencial é $(R + R_{o1})C$. O estado quase-estável termina quando V_{2i} atinge a tensão de transição V_T. Quando V_{2i} ultrapassa V_T, V_{2o} volta para seu valor inicial de 0 V e, assim que o capacitor C descarregue a carga adquirida, tanto V_{1o} quanto V_{2i} voltam também para seus valores iniciais V_{SS}. O circuito permanecerá neste estado estável indefinidamente, até que seja novamente induzido, por um pulso de entrada, a fazer uma transição para o estado quase-estável. A duração do estado quase-estável é (Prob. 15.1-1)

$$T = (R + R_{o1})C \ln\left(\frac{\Delta}{V_{SS} - V_T}\right) \approx (R_o + R_{o1})C \ln\frac{V_{SS}}{V_{SS} - V_T} \qquad (15.1\text{-}2)$$

Em um caso típico, com $V_T = V_{SS}/2$ obtemos $T = 0{,}7\,(R_o + R_{o1})\,C$.

O circuito que determina a carga e a descarga do capacitor temporizador C está mostrado na Fig. 15.1-5. O diodo D representa a combinação paralela dos diodos que ligam as entradas, ligadas em paralelo, da porta $G2$ a V_{SS}. A porta $G1$, como vista de sua saída, é representada por duas chaves S e S' e os "elementos" R_{o1} e R'. No estado estável, S' está fechada, S está aberta e a tensão do capacitor V_C é $V_C = 0$ V. O estado quase-estável inicia quando S fecha, S' abre e C se carrega de V_{SS} através de R e R_{o1}. Se R é suficientemente grande, a tensão nos transistores ($T1$ e $T2$ na Fig. 15.1-1) será, de início, suficientemente pequena (e permanecerá pequena à medida que C se carrega), de modo que os transistores operarão na região de triodo onde podem ser razoavelmente representados por um resistor R_{o1}.

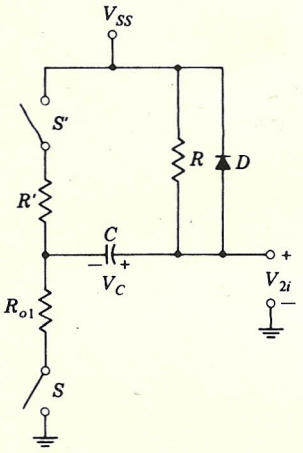


FIGURA 15.1-5
Circuito que determina os ciclos de carga e descarga do capacitor temporizador C.

O estado quase-estável termina quando S abre e S' fecha. Durante o estado quase-estável, o capacitor pode adquirir uma tensão comparável a V_{SS}. No fim do estado quase-estável, C descarrega através do diodo D e através do "elemento" R'. O elemento R' representa a característica volt-ampère da combinação série de $T3$ e $T4$ na Fig. 15.1-1. Inicialmente, quando V_C é grande, os transistores podem estar na região de saturação, de modo que o capacitor se descarregará numa razão nominalmente constante. À medida que V_C diminui, os transistores podem estar na região de triodo, de modo que a descarga do capacitor será agora exponencial. Finalmente, depois que a tensão V_C cai a um ponto onde a tensão do diodo cai abaixo de sua tensão de limiar V_D ($\approx 0{,}65$ V), a última parte da descarga do capacitor ocorrerá através de R' e R.

Quando S abre, S' fecha e o diodo D começa a conduzir, a tensão V_{2i} se tornará $V_{SS} + V_D$ (neste ponto, como o diodo poderá estar transportando uma corrente substancial, poderemos razoavelmente considerar V_D como sendo cerca de 0,75 V). Então, como é visto na Fig. 15.1-4c, no fim do estado quase-estável, V_{2i} varia abruptamente de V_T para $V_{SS} + V_D$. A amplitude da variação é $\delta = V_{SS} + V_D - V_T$. Como a saída de $G1$ é acoplada à entrada de $G2$ pelo capacitor, e como a tensão no capacitor não pode mudar abruptamente, há uma variação igual na forma de onda de V_{1o}. Depois, V_{2i} e V_{1o} caem a seu valor de regime V_{SS}. Como foi observado, R'

não é um simples resistor e D não conduz até o fim. Apesar disto, por simplicidade, nas Figs. 15.1-4*b* e *c* indicamos a descarga em C como sendo uma forma de onda exponencial.

EXEMPLO 15.1-1. No circuito multivibrador monoestável da Fig. 15.1-2, $V_{SS} = 10$ V, $V_T = 5$ V, $C = 0{,}01\ \mu$F, $R = 10\ \text{k}\Omega$, $R_{o1} = 500\ \Omega$ e suponha que R' é um "resistor" e $R' = 1\ \text{k}\Omega$.

a) Calcular Δ, δ e a tensão V_{1o} no fim do estado quase-estável.

b) Calcular o tempo T do estado quase-estável.

c) Estimar quanto tempo, depois do fim do estado quase-estável, será necessário para o capacitor se descarregar até 0,1 V.

d) Suponha que um segundo pulso de disparo é aplicado no instante em que $V_C = 0{,}1$ V. Como será o segundo intervalo de tempo em comparação ao primeiro?

Solução. a) Da Eq. (15.1-1), $\Delta = [10/(10 + 0{,}5)]\,(10) = 9{,}5$ V; $\delta = V_{SS} + V_D - V_T = 10 + 0{,}75 - 5 = 5{,}7$ V; quando $V_{2i} = V_T = 5$ V, a corrente através de R e através de R_{o1} é $(V_{SS} - V_T)/R$. A queda em R_{o1} é $R_{o1}(V_{SS} - V_T)/R = 0{,}5\,(5)/10 = 0{,}25\ \text{V} = V_{1o}$.

b) Da Eq. (15.1-2)

$$T = (R + R_{o1})C \ln\left(\frac{V_{SS}}{V_{SS} - V_T}\right)$$

$$= (10 + 0{,}5) \times 10^3 \times 0{,}01 \times 10^{-6} \ln\left(\frac{10}{5}\right)$$

$$= 72\ \mu\text{s}$$

c) Suponha que o diodo mantém uma tensão de 0,7 V (um compromisso entre 0,65 e 0,75), desde que a corrente do diodo seja 0,1 mA ou maior. Seja $t = 0$ no início da descarga do capacitor e neste instante a tensão do capacitor é $V_C = 5 - 0{,}25 = 4{,}75$ V. Então a corrente de descarga do capacitor é

$$I_C = \frac{4{,}75}{R'} \epsilon^{-t/R'C} = 4{,}75\epsilon^{-10^5 t} \quad \text{mA}$$

Obtemos $I_C = 0{,}1$ mA em $t = 39\ \mu$s. No instante em que o diodo corta a tensão do capacitor V_C é 0,7 V + $I_C R' = 0{,}7 + 0{,}1 = 0{,}8$. A queda de 0,8 até 0,1 V ocorre com C se descarregando através da combinação série de R e R'. Este tempo é calculado de

$$V_C = 0{,}8\epsilon^{-t/(R+R')C} = 0{,}8\epsilon^{-1{,}1 \times 10^{-4} t}$$

Obtemos que $V_C = 0{,}1$ V quanto $t = 230\ \mu$s. O tempo total é 39 + 230 = 269 μs. Observe que o tempo necessário, depois de o estado quase-estável para o circuito se recuperar muito próximo de sua situação inicial, é bastante longo em comparação com a duração do próprio estado quase-estável.

d) Como calculado em (b), o capacitor se carrega de 0 a 5 V em 72 μs. Vamos supor, por simplicidade, que o capacitor se carrega com uma razão constante. É uma aproximação grosseira mas, para a precisão desejada, é suficiente. Portanto, para se carregar de 0,1 a 5 V serão necessários (4,9/5) 72 = 70,6 μs. A mudança no tempo é 1,4 μs e a mudança porcentual é cerca de 2%.

Na Fig. 15.1-3 sugerimos que a transição entre os níveis lógicos na porta CMOS ocorre em uma tensão de entrada que é cerca da metade da tensão de alimentação V_{SS}. Na prática, a região

de transição de uma porta CMOS pode variar de uma amostra para outra e pode ocorrer em qualquer lugar da faixa de cerca de 30% de V_{SS} até 70% de V_{SS}. Portanto, se no circuito da Fig. 15.1-2 R e C são determinados para uma dada duração do estado quase-estável, esta duração pode variar bastante de circuito para circuito com amostras diferentes de porta [veja Eq. (15.1-2)]. Por outro lado, a característica entrada-saída de uma porta CMOS mostra uma sensibilidade muito pequena à temperatura (veja Fig. 1.15.3), de modo que o tempo com qualquer amostra particular de CMOS será bastante insensível à temperatura.

Estão disponíveis vários circuitos que reduzem consideravelmente a dependência dos tempos com as amostras de CMOS. Estes circuitos baseiam-se no fato de que, enquanto pode haver uma variabilidade considerável de uma amostra para outra quando analisamos uma pastilha de circuito integrado com outra, amostras de portas fabricadas em uma única pastilha são bastante iguais. Um exemplo está mostrado no Prob. 15.1-4.

15.2 MULTIVIBRADOR ASTÁVEL COM CMOS

O diagrama do circuito de um multivibrador astável com portas NOR de CMOS está mostrado na Fig. 15.2-1*a*. De novo, para que possamos descrever as características essenciais da operação sem atingir uma profusão de pequenos detalhes, suporemos uma característica entrada-saída para as portas, como a mostrada na Fig. 15.1-3. Além disto, iremos desprezar as impedâncias de saída das portas e supondo também que os diodos de proteção são ideais. Assim, supomos que a tensão de limiar e a tensão de condução dos diodos são iguais a zero volts.

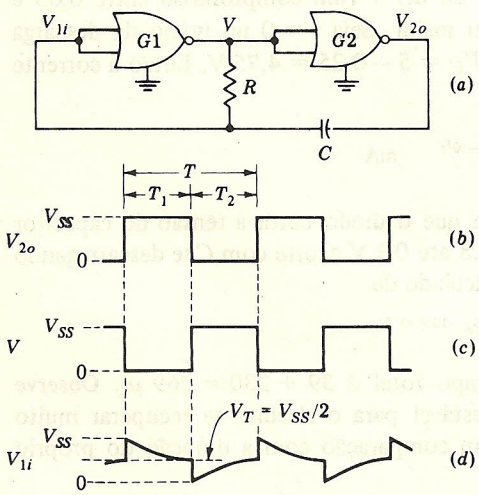


FIGURA 15.2-1
(*a*) Um multivibrador estável com CMOS.
(*b* até *d*) Formas de onda idealizadas do circuito.

Com estas hipóteses simplificadoras, é visível que V e V_{2o} são complementares. Quando uma está em V_{SS}, a outra está em zero, e vice-versa. Agora, vamos supor que V_{1i} está acima de V_T. Então, V está em zero e V_{2o} está na tensão fixa V_{SS}. Assim, V_{1i} está indo assintoticamente para zero. Quando V_{1i} atinge V_T, V mudará abruptamente para V_{SS} e V_{2o} mudará abruptamente para zero. Esta mudança abrupta em V_{2o} será transmitida através de C para V_{1i}. A variação para baixo conseqüente em V_{1i} estará limitada à terra devido à ação grampeadora do diodo de proteção

na entrada da porta $G1$. Agora V_{1i} está abaixo de V_T e está indo assintoticamente para V_{SS}, que é a tensão em V. Portanto, haverá um chaveamento periódico em V_{2o}, V e V_{1i}, como mostrado pelas formas de onda idealizadas da Fig. 15.2-1*b*, *c* e *d*. Evidentemente, a operação do circuito não depende do fato de V_T ser igual a $V_{SS}/2$. Se, entretanto, $V_T \neq V_{SS}/2$, a forma de onda não será simétrica; isto é, teremos $T_1 \neq T_2$. Em geral, teremos

$$T = T_1 + T_2 = RC \ln \left(\frac{V_{SS}}{V_{SS} - V_T} + \frac{V_{SS}}{V_T} \right) \qquad 15.2\text{-}1)$$

e para $T_1 = T_2$

$$T = 1{,}4RC \qquad (15.2\text{-}2)$$

Devemos notar que as formas de onda na Fig. 15.2-1 são na verdade inconsistentes uma com a outra, pois observamos que do lado do capacitor a tensão muda abruptamente de V_{SS}, enquanto do outro lado a mudança abrupta é de $V_{SS}/2$. Em um circuito físico, a tensão $V_{SS}/2$ que não aparece em V_{1i} fica na impedância de saída da porta $G2$ e no diodo de entrada da porta $G1$. Isto é, em cada transição há um breve intervalo de tempo durante o qual V_{2o} não atinge V_{SS} ou 0 e durante o mesmo intervalo V_{1i} vai acima de V_{SS} e abaixo da terra. Durante este breve intervalo, o capacitor se carrega ou descarrega, mudando sua tensão de $V_{SS}/2$. Formas de onda mais realistas estão ilustradas na Fig. 15.2-2.

No Prob. 15.2-2 está mostrada uma forma alternativa de multivibrador astável com CMOS que tem a vantagem de que seus tempos são menos sensíveis à variação de V_T e à variação da tensão de alimentação.

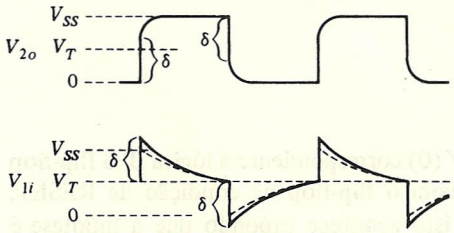


FIGURA 15.2-2
Formas de onda da Fig. 15.2-1*b* até *d* levando em conta a impedância de saída finita da porta $G2$ e o uso de diodos reais.

15.3 MULTIVIBRADORES MONOESTÁVEIS USANDO PORTAS ECL

Voltamos nossa atenção agora para circuitos monoestáveis usando portas NOR de circuitos integrados ECL. Um flip-flop utilizando portas ECL está mostrado na Fig. 15.3-1. O flip-flop fornece as funções de chaveamento necessárias, e os componentes externos r e C fornecem o tempo necessário.

Será lembrado que portas ECL utilizam transistores de alto ganho de corrente e, além disto, que estes transistores estão sempre na região ativa ou no corte, ou seja, nunca na saturação. Cada entrada S (SET) e R (RESET) é aplicada diretamente à base de um transistor na porta $G2$ e $G1$, respectivamente. A corrente em uma base é zero quando o transistor está cortado. Mesmo que o transistor esteja conduzindo, a corrente de entrada pode ser considerada suficientemente pequena para que não tenha uma influência séria na operação do circuito. São estas características que fazem o flip-flop ECL particularmente adequado para uso na configuração da Fig. 15.3-1.

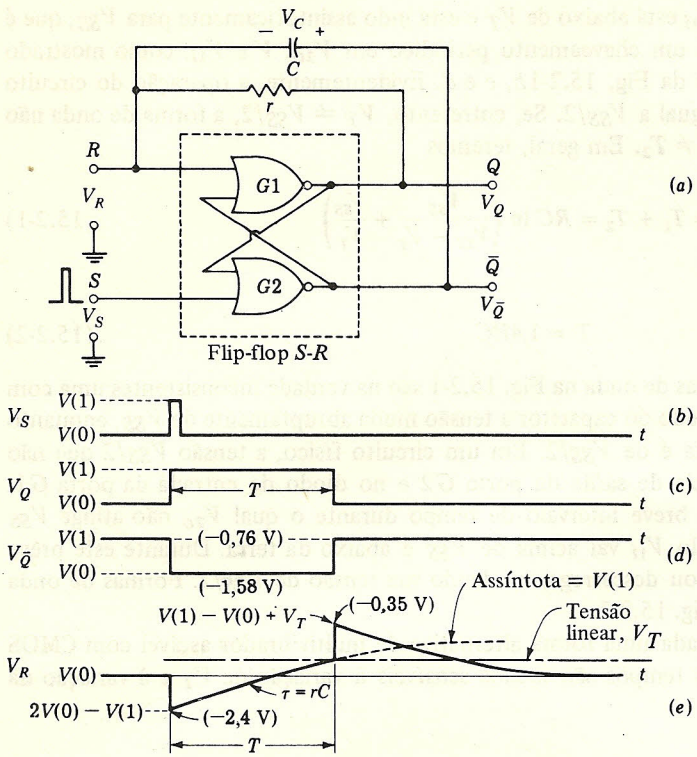


FIGURA 15.3-1
(*a*) Um multivibrador monoestável utilizando portas NOR ECL.
(*b* até *e*) Formas de onda do circuito.

Na Fig. 15.3-1, quando a entrada S está na tensão $V(0)$ correspondente à lógica **0**, o flip-flop se encontra em um estado permanentemente estável com o flip-flop na condição de RESET, isto é, $Q = \mathbf{0}$, $\bar{Q} = \mathbf{1}$. O estudante pode verificar que isto acontece supondo que a hipótese é verdadeira e mostrando então que todos os níveis lógicos nas saídas e entradas das portas são consistentes um com o outro. Supor $Q = \mathbf{1}$, $\bar{Q} = \mathbf{0}$ nos leva a incompatibilidades. Na condição de RESET estável $V_Q = V_R = V(0)$. A entrada R da porta $G1$ olha para a base de um transistor que está cortado. Não há corrente fluindo para esta base, e a corrente através de r é também zero. A tensão no capacitor C é $V_C = V(1) - \text{V}(0)$.

Agora, suponha que a entrada S suba brevemente para o nível lógico correspondente à tensão $V(1)$, como mostrado na Fig. 15.3-1*b*. Então, como aparece na Fig. 15.3-1 *c* e *d*, o flip-flop fará uma transição para o estado SET. A tensão $V_{\bar{Q}}$ cairá abruptamente do valor $V(1) - V(0)$. Esta mudança abrupta será transmitida através do capacitor C, para o nó R, de modo que agora R se encontrará em $V_R = V(0) - [\text{V}(1) - \text{V}(0)] = 2\,V(0) - V(1)$, como mostrado. Note que, desde que a entrada R ficou negativa, o transistor correspondente está mais no corte de modo que, novamente, não há corrente fluindo na entrada R.

A tensão V_R não pode permanecer em $V_R = 2\,V(0) - V(1)$, pois agora V_Q está em $V_Q = V(1)$. Há uma queda de tensão $V_r = V(1) - [2\,V(0) - V(1)] = 2\,[V(1) - V(0)]$ em

r, e portanto há corrente fluindo em r e carregando o capacitor C. Nestas condições, a tensão V_R aumenta exponencialmente com constante de tempo

$$\tau = rC \tag{15.3-1}$$

indo assintoticamente para $V(1)$. [Ao escrever a Eq. (15.3-1), ignoramos a impedância de saída da porta $G2$, pois em uma porta ECL geralmente é muito pequena em comparação com r.] À medida que V_R aumenta, será atingido um ponto em que $V_R = V_T$, V_T sendo a tensão de transição do flip-flop. Supomos novamente, por simplicidade, que há uma tensão bem definida $V_R = V_T$, na qual o flip-flop faz uma transição entre estados, sendo os níveis de tensão do flip-flop, para outros valores, independentes de V_R. Neste ponto acontecerá uma mudança rápida no estado do flip-flop, de volta à condição de RESET. A tensão $V_{\bar{Q}}$ variará de $V(1) - V(0)$ e haverá igual variação no ponto R. Teremos então, como mostrado, $V_R = V(1) - V(0) + V_T$. Pode ser verificado que o tempo T do estado quase-estável é

$$T = \tau \ln 2 \frac{V(1) - V(0)}{V(1) - V_T} \tag{15.3-2}$$

Se a entrada R da porta $G1$ continuasse a não absorver corrente, V_R cairia de seu valor de pico, $V(1) - V(0) + V_T$, para seu limite assintótico $V(0)$ com a mesma constante de tempo τ que prevaleceu durante o estado quase-estável. Para assegurar que ciclos sucessivos se repitam igualmente, seria necessário permitir um tempo de recuperação de várias (3 ou 4) constantes de tempo. Como podemos antecipar, o próprio T é da ordem de τ. Portanto, teríamos que permitir um tempo de recuperação várias vezes maior que o intervalo do próprio temporizador. Esta característica, que pode ser bastante inconveniente, pode ser corrigida de uma maneira que será analisada abaixo. Na verdade, do ponto onde V_R atinge seu valor de pico até cair para V_T, a entrada da porta absorve alguma corrente, que é fornecida através do capacitor C, e portanto o capacitor descarrega mais rapidamente. Entretanto, como foi assinalado, a corrente de entrada da porta é pequena e não traz melhora substancial no tempo de recuperação.

Como notado no Capítulo 7, os níveis lógicos de uma porta ECL operando com uma tensão de alimentação de $-5{,}2$ V são $V(0) \approx -1{,}58$ V e $V(1) \approx -0{,}76$ V. A tensão de limiar V_T é a metade entre estes níveis, $V_T \approx -1{,}17$ V. As outras tensões indicadas na Fig. 15.3-1 são

$$2V(0) - V(1) = -2{,}4 \text{ V} \qquad \text{e} \qquad V(1) - V(0) + V_T = -0{,}35 \text{ V}$$

Utilizando a Eq. (15.3-2), obtemos a duração T do estado quase-estável como sendo

$$T = rC \ln 2 \frac{V(1) - V(0)}{V(1) - [V(1) + V(0)]/2} = rC \ln 4 = 1{,}4rC \tag{15.3-3}$$

É de interesse notar que, experimentalmente, utilizando o flip-flop ECL da Motorola MC302, T é obtido como sendo dado por

$$T = 20 \text{ ns} + 1{,}4r(C + 5 \text{ pF}) \tag{15.3-4}$$

Na Eq. (15.3-4), os 20 ns são devidos ao retardo de propagação no flip-flop, que não levamos em consideração, e os 5 pF adicionados a C são necessários devido à capacitância parasita inevitável.

Finalmente, podemos notar que o circuito funcionaria de forma equivalente se, ao invés de configuração mostrada na Fig. 15.3-1, C estivesse ligado de Q para S e r ligado de $\bar{Q}$ para S. Neste caso o pulso de disparo seria aplicado a R. Outros tipos de circuitos monoestáveis que empregam flip-flops ECL tipo JK são também disponíveis comercialmente.

Disparo. Apesar de não termos indicado na discussão acima, ou nas formas de onda da Fig. 15.3-1, a amplitude e a duração do sinal de disparo V_S aplicado a S terão um efeito na duração do estado quase-estável. Observe que, na Fig. 15.3-1*a*, estão sendo usadas as saídas NOR das portas. Referindo-se à Fig. 7.4-1*b*, observamos que, quando a tensão de saída da porta ECL entra na região correspondente ao nível lógico **1**, a saída NOR depende do valor da tensão de entrada. Assim, mais realisticamente, as formas de onda do circuito aparecem como na Fig. 15.3-2.

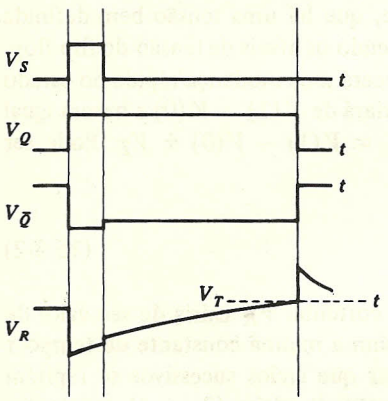


FIGURA 15.3-2
Como as formas de onda da Fig. 15.6-1 são modificadas devido à saída NOR de um circuito ECL variar com a entrada quando a entrada está na faixa do nível lógico **1**.

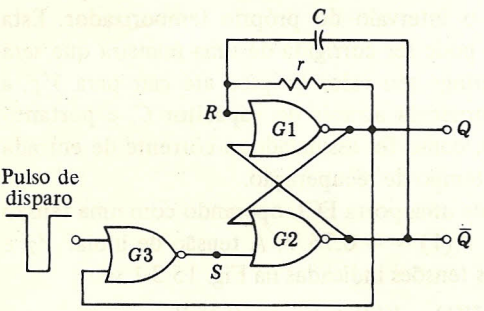


FIGURA 15.3-3
Uma modificação do circuito da Fig. 15.3-1 para assegurar que a forma de onda do pulso de disparo não afete o tempo do multivibrador.

O reflexo de V_S na forma de onda de V_R irá ter, claramente, um efeito no circuito temporizador. Portanto, é vantajoso modificar o circuito de modo que não haja resposta ao sinal de disparo depois que ele respondeu à borda dianteira. Esta modificação está mostrada na Fig. 15.3-3.

Nesta figura colocamos uma porta NOR adicional $G3$ e invertemos a polaridade do pulso de disparo. No estado RESET, $Q = \mathbf{0}$ e o nível do pulso de disparo é alto, de modo que a entrada SET está na lógica **0**. Quando o pulso de disparo cai para **0**, a entrada S vai para **1** e o flip-flop é acionado. Logo que Q se torna **1**, isto é, depois de um atraso igual à soma dos retardos de propagação em $G1$ e $G2$, a porta $G3$ é inibida e sua saída é **0**, independentemente do sinal de disparo. Note que a largura do pulso de disparo deve ser pelo menos igual à soma dos retardos de propagação em $G1$ e $G2$. Observe que a tensão de entrada S é agora também independente da amplitude do pulso de disparo.

Uma configuração alternativa de um monoestável com ECL está mostrada na Fig. 15.3-4. Aqui substituímos as duas portas NOR $G1$ e $G2$ da Fig. 15.3-3 por um flip-flop SR, como o

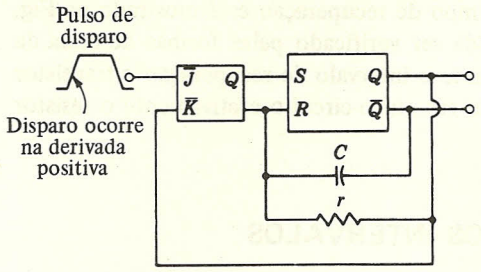


FIGURA 15.3-4
O uso de um flip-flop *JK* em vez de uma porta NOR (Fig. 15.3-3).

MC1014 da Motorola, e substituímos a porta *G*3 por um flip-flop $\overline{JK}$ sensível à borda, como o MC1013. A virtude deste circuito é que a largura do pulso de disparo pode agora exceder a largura do pulso do multivibrador monoestável. É deixado para o leitor mostrar que a largura do pulso de saída é independente da largura do pulso de disparo no circuito da Fig. 15.3-4, enquanto a largura do pulso de saída deve exceder a largura do pulso de disparo quando utilizar o circuito mostrado na Fig. 15.3-3.

Note que o disparo do flip-flop $\overline{JK}$ ocorre na borda da forma de onda de entrada que tem uma derivada positiva. Se o tempo de subida do pulso de disparo é muito grande, deve-se inserir um circuito de Schmitt (Sec. 2.17) entre o pulso de disparo e o flip-flop *JK*.

Tempo de recuperação. Notamos que o multivibrador monoestável com ECL da Fig. 15.3-1 tem um tempo de recuperação longo. Estão mostradas na Fig. 15.3-5 duas modificações de circuito que reduzem o tempo de recuperação. Na Fig. 15.3-5*a* um diodo *D* foi ligado em paralelo com *r*. No estado estável a tensão em *r* é zero. Durante o intervalo temporizador, a tensão em *r* está na direção reversa do diodo. Durante o intervalo de tempo de recuperação, o diodo está polarizado diretamente, como pode ser observado das formas de onda da Fig. 15.3-1. Quando o diodo estiver conduzindo, sua resistência incremental r_d será muito menor do que *r* e, portanto, o capacitor poderá descarregar muito mais rapidamente do que na ausência do diodo. Entretanto, o diodo pára de conduzir quando sua tensão cai abaixo de cerca de 0,65 V, enquanto o processo de recuperação não está completo até que a tensão em *r* caia para zero. Conseqüentemente, o diodo reduz o tempo de recuperação por apenas cerca de 50%.

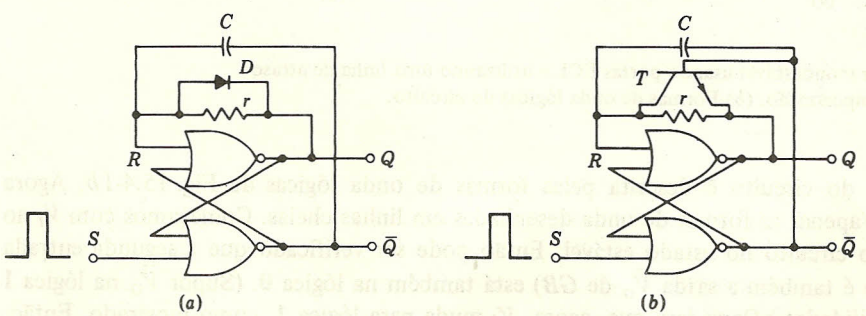


FIGURA 15.3-5
Dois esquemas para reduzir o tempo de recuperação em um multivibrador monoestável com ECL.

Um método muito mais efetivo de reduzir o tempo de recuperação está mostrado na Fig. 15.3-5*b*. Durante o intervalo temporizador, como pode ser verificado pelas formas de onda da Fig. 15.3-1, o transistor está cortado. Entretanto, durante o intervalo de recuperação o transistor T é levado fortemente à saturação, desta forma pondo em curto-circuito efetivamente o resistor r e descarregando C.

15.4 MULTIVIBRADORES PARA PEQUENOS INTERVALOS DE TEMPO

Quando se necessita um multivibrador monoestável que forneça um intervalo de tempo muito curto (da ordem de dezenas de nanossegundos), é mais prático estabelecer o intervalo temporizador com uma linha de atraso do que com um circuito resistor-capacitor. Estes multivibradores com linha de atraso geralmente utilizam portas lógicas ECL cujos retardos de propagação são comparavelmente curtos.

Um circuito monoestável utilizando portas ECL com suas saídas NOR e OR está mostrado na Fig. 15.4-1. Iremos supor um tempo de retardo de propagação t_{pd} para as portas e supor também que este atraso é o mesmo para as saídas OR e NOR das portas *GA* e *GB*. A linha de atraso tem um tempo de retardo t_D.

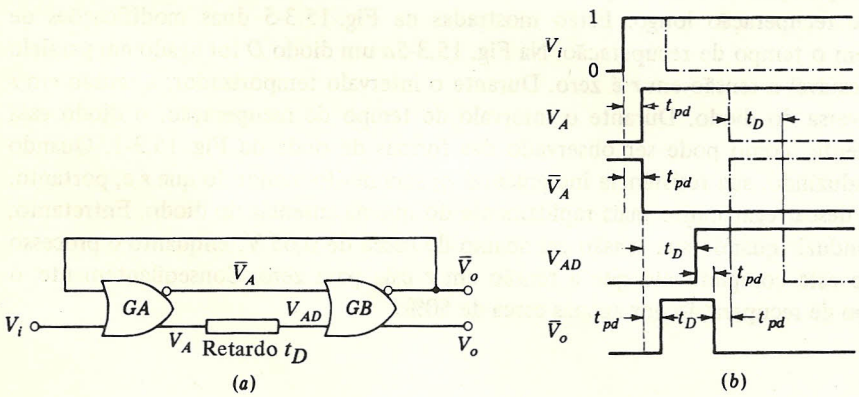


FIGURA 15.4-1
(*a*) Um multivibrador monoestável usando portas ECL e utilizando uma linha de atraso para estabelecer a temporização. (*b*) Formas de onda lógicas do circuito.

A operação do circuito é descrita pelas formas de onda lógicas da Fig. 15.4-1*b*. Agora iremos considerar apenas as formas de onda desenhadas em linhas cheias. Começamos com V_i no nível lógico **0** e o circuito no estado estável. Então pode ser verificado que a segunda entrada da porta *GA* (que é também a saída $\overline{V}_o$ de *GB*) está também na lógica **0**. (Supor $\overline{V}_o$ na lógica **1** leva a incompatibilidades.) Considere que, agora, V_i muda para lógica **1**, como mostrado. Então, depois de um atraso t_{pd}, V_A, que estava em **0**, irá para **1** e $\overline{V}_A$ mudará para **0**. O nível lógico de V_{AD} é o mesmo que V_D, exceto pelo tempo de atraso t_D. Finalmente, $\overline{V}_o$, que é tal que

$\overline{V}_0 = \mathbf{1}$ sempre que tanto $\overline{V}_A$ como V_{AD} são **0**, tem a forma mostrada. Ao desenhar $\overline{V}_o$ levamos em conta novamente o retardo de propagação t_{pd}, este tempo através da porta *GB*. Observamos agora que V_o é $\overline{V}_o = \mathbf{1}$ durante exatamente o intervalo de tempo t_D. O intervalo durante o qual $\overline{V}_o = \mathbf{1}$ começa depois de um atraso $2\,t_{pd}$, mas a duração do intervalo é t_D, inteiramente independente de t_{pd}.

Na Fig. 15.4-1*a* com V_i um degrau, a ligação de realimentação da saída da porta *GB* para a entrada da porta *GA* não tem utilidade. Pois, enquanto $V_i = \mathbf{1}$, a saída de *GA* é $\overline{V}_A = \mathbf{0}$, independente do nível lógico da outra entrada. A ligação de realimentação, entretanto, nos permite substituir o degrau por um pulso, como indicado pelas formas de onda tracejadas. Então, na presença da realimentação, é necessário manter V_i em $V_i = \mathbf{1}$ apenas pelo tempo necessário para $\overline{V}_o$ subir até $\overline{V}_o = \mathbf{1}$, isto é, por um tempo igual ou maior do que a soma dos retardos das duas portas, ou seja, $2\,t_{pd}$. Com um pulso na entrada, todas as formas de onda voltam eventualmente para seus níveis iniciais. Como pode ser verificado a partir das formas de onda, se V_i muda para $V_i = \mathbf{1}$ em $t = 0$, o circuito retorna completamente ao seu estado inicial no instante $t = 2t_D + 3\,t_{pd}$. O *ciclo de trabalho* do multivibrador é definido como a máxima fração do intervalo entre entradas de disparo sucessivas que pode ser utilizada como estado quase-estável. No caso presente, vê-se que o ciclo de trabalho é $t_D/(2\,t_D + 3\,t_{pd})$, que é no máximo 50% se $t_D >> t_{pd}$.

Um arranjo alternativo que permite uma melhora no ciclo de trabalho está mostrado na Fig. 15.4-2. O circuito é reconhecido como um flip-flop (dois inversores com acoplamento cruzado) no qual a entrada V_i, diretamente ou atrasada, fornece as entradas SET e RESET. Portanto, inicialmente com $V_i = \mathbf{0}$ dois estados são possíveis. Iremos supor que, para começar, o circuito esteja no estado no qual $\overline{V}_o = \mathbf{0}$, $\overline{V}_A = \mathbf{1}$. Como antes, supomos retardos das portas t_{pd} iguais.

As formas de ondas sólidas da Fig. 15.4-2*b* correspondem ao caso em que V_i é um degrau da lógica **0** para lógica **1**. Observamos então que a forma de onda de $\overline{V}_o$ é um pulso com duração

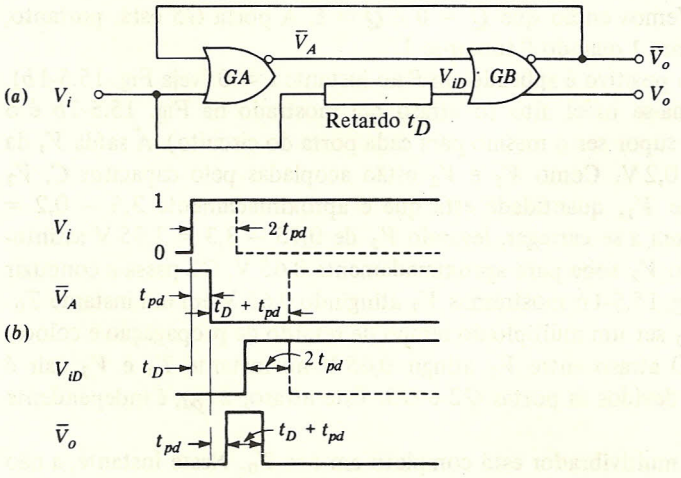


FIGURA 15.4-2
Uma alternativa para o circuito da Fig. 15.4-1 que permite uma melhora no ciclo de trabalho. (*a*) Diagrama do circuito. (*b*) Formas de onda lógicas.

$t_D - t_{pd}$ iniciando em um instante $2\,t_{pd}$ depois de variação em V_i. Como no caso anterior, aqui também, devido à realimentação, o degrau em V_i pode ser substituído por um pulso de duração no mínimo igual a $2\,t_{pd}$. As formas de onda para um pulso na entrada estão mostradas tracejadas. Como pode ser visto nas formas de onda, a saída $\overline{V}_o$ é a mesma para os dois sinais de entrada. Com um pulso na entrada de duração mínima $2t_{pd}$, o circuito volta para seu estado inicial no instante $t_D + 2t_{pd}$. O ciclo de trabalho é, portanto $(t_D - t_{pd})/(t_D + 2t_{pd})$, que pode aproximar-se de 100% para $t_D >> t_{pd}$.

O multivibrador astável com ECL. Um multivibrador astável com ECL pode ser construído utilizando o circuito mostrado na Fig. 15.2-1*a* substituindo as portas CMOS $G1$ e $G2$ por portas NOR ECL.

15.5 UM MULTIVIBRADOR MONOESTÁVEL EM CIRCUITO INTEGRADO TTL

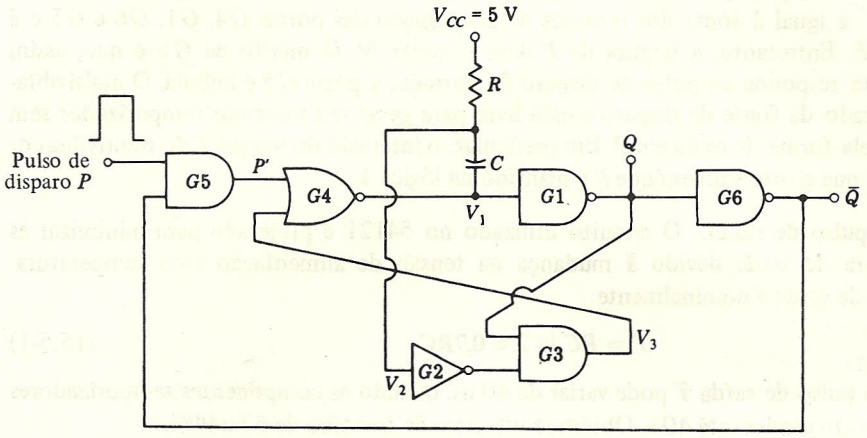
O multivibrador monoestável em circuito integrado TTL 54121 está mostrado na forma de diagrama de blocos na Fig. 15.5-1*a*. Vê-se que o circuito consiste em duas partes, um flip-flop (portas $G1$ até $G4$) e um circuito formador de pulso de disparo (portas $G5$ e $G6$). No circuito real as portas $G1$, $G3$, $G4$ e $G5$ são portas TTL, cada uma com um nível lógico **1** de 3,5 V e um nível lógico **0** de 0,2 V, enquanto a porta $G2$ é um amplificador inversor com emissor a terra que satura quando sua tensão de entrada V_2 é 0,75 V e tem uma tensão de limiar de 0,65 V. Além disto, no circuito real, a entrada de disparo é primeiro formada por um circuito de Schmitt (não mostrado) antes da aplicação na porta $G5$.

No estado permanente $P = \mathbf{0}$ e portanto $P' = \mathbf{0}$. Além disto, no estado permanente não há corrente fluindo através do capacitor C. Assim, qualquer corrente em R flui para a base do inversor com emissor aterrado, porta $G2$. O resistor R é suficientemente pequeno para $G2$ estar saturado, e $V_2 = 0{,}75$ V. Como $G2$ está saturado, V_3 está na lógica **0** e com P' também em **0**, a saída de $G4$ está na lógica **1**. Vemos então que $Q = \mathbf{0}$ e $\overline{Q} = \mathbf{1}$. A porta $G5$ está, portanto, habilitada, de modo que P' subirá para **1** quando P tornar-se **1**.

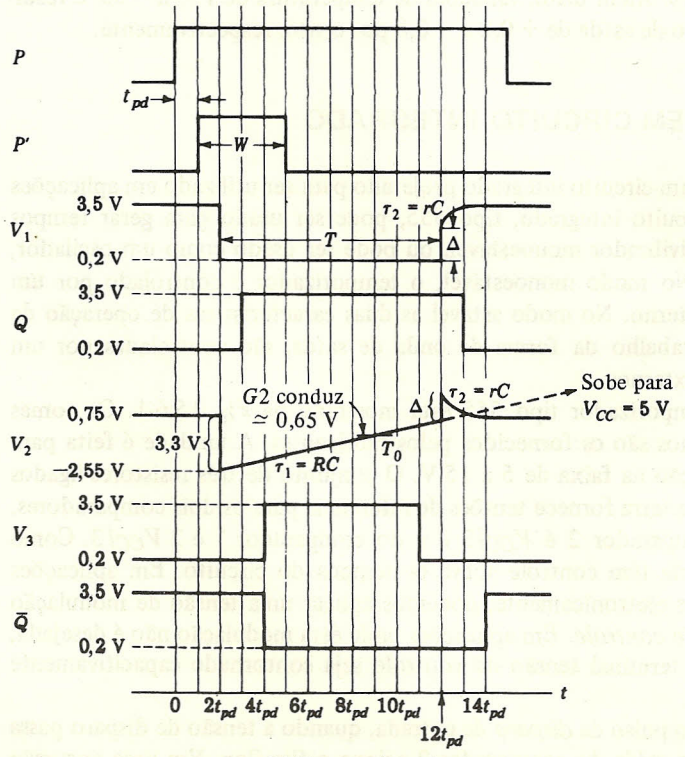
Suponha agora que um degrau positivo é aplicado em P no instante $t = 0$ (veja Fig. 15.5-1*b*). Como $G5$ está habilitado, P' torna-se nível alto (o atraso t_{pd} mostrado na Fig. 15.5-1*b* é o retardo de propagação, que iremos supor ser o mesmo para cada porta do circuito). A saída V_1 da porta $G4$ cai abruptamente para 0,2 V. Como V_1 e V_2 estão acopladas pelo capacitor C, V_2 diminui da mesma quantidade que V_1, quantidade esta que é aproximadamente $3{,}5 - 0{,}2 = 3{,}3$ V. O capacitor C começa agora a se carregar, levando V_2 de $0{,}75 - 3{,}3 = 2{,}55$ V assintoticamente para $V_{CC} = 5$ V. Quando V_2 sobe para aproximadamente 0,65 V, $G2$ passa a conduzir e V_3 vai para o nível baixo. Na Fig. 15.5-1*b* mostramos V_2 atingindo 0,65 V em um instante T_0. Para simplificar a figura fizemos T_0 ser um múltiplo do tempo de retardo de propagação e colocamos arbitrariamente $T_0 = 9\,t_{pd}$. O atraso entre V_2 atingir 0,65 V no instante T_0 e V_3 cair é visto como sendo igual aos atrasos devidos às portas $G2$ e $G3$. Este atraso, $2\,t_{pd}$, é independente do valor de T_0.

O intervalo temporizador do multivibrador está completo em $t = T_0$. Neste instante, a não ser os retardos de propagação, o circuito volta para seu estado estável permanente. Suponha agora que queremos que o circuito responda novamente a um pulso de disparo seguinte e que o intervalo temporizador na resposta a este segundo pulso de disparo seja o mesmo que o do

primeiro. Neste caso devemos admitir um intervalo entre os pulsos de disparo para que a carga em C volte a seu valor inicial. A recarga de C dá origem a uma sobretensão na forma de onda de V_2, e, correspondentemente, a forma de onda de V_1 não atinge seu nível lógico 1 de 3,5 V até que esta sobretensão termine. Como as tensões V_1 e V_2 estão nos dois lados de um capacitor, a



(*a*)



(*b*) Formas de onda

FIGURA 15.5-1
(*a*) Diagrama de bloco de um multivibrador monoestável.
(*b*) Formas de onda.

variação de tensão Δ nas duas deve ser igual, como indicado na Fig. 15.5-1. A resistência em série com C, quando C repõe sua carga, é, de um lado, a impedância de saída de $G4$ e, do outro, a resistência R em paralelo com a resistência de entrada de $G2$. Vamos chamar esta resistência total de r. Então a sobretensão em V_2 e a aproximação de V_1 para 3,5 V acontecem com uma constante de tempo $\tau_2 = rC$ (um cálculo quantitativo de Δ e τ_2 é considerado no Prob. 15.5-2).

Notamos também que, quando V_1 cai, Q sobe e $\overline{Q}$ cai. Isto faz P' voltar para o estado **0**. A largura W de P' é igual à soma dos retardos de propagação das portas $G4$, $G1$, $G6$ e $G5$ e é independente de P. Entretanto, a largura de P deve exceder W. O mérito de $G5$ é que, assim que o multivibrador responde ao pulso de disparo de entrada, a porta $G5$ é inibida. O multivibrador é então desligado da fonte de disparo e está livre para gerar seu intervalo temporizador sem ser influenciado pela forma de onda em P. Em particular, o intervalo de tempo T do multivibrador pode ser menor do que o intervalo em que P é mantido na lógica **1**.

Largura do pulso de saída. O circuito utilizado no 54121 é projetado para minimizar as variações na largura da saída devido à mudança na tensão de alimentação e/ou temperatura. A largura do pulso de saída é nominalmente

$$T = RC \ln 2 \approx 0{,}7RC \tag{15.5-1}$$

A largura do pulso de saída T pode variar de 40 ns, quando os componentes temporizadores externos R e C não são usados, até 40 s. Obtém-se um ciclo de trabalho de 67 a 90%.

Se a tensão de alimentação variar de 5,25 para 4,75 V (± 5 por cento), a largura do pulso irá variar de menos de ±2 por cento. Além disto, variações de temperatura de 125 a $-55°C$ resultam em variações na largura do pulso de saída de + 0,2 a − 0,8 por cento, respectivamente.

15.6 UM TEMPORIZADOR EM CIRCUITO INTEGRADO

Nesta seção consideraremos um circuito integrado projetado para ser utilizado em aplicações temporizadoras em geral. Este circuito integrado, tipo 555, pode ser usado para gerar tempos de atrasos estáveis, como um multivibrador monoestável, ou pode ser usado como um oscilador, como um multivibrador astável. No modo monoestável, o temporizador é controlado por um capacitor externo e um resistor externo. No modo astável as duas características de operação de interesse, freqüência e ciclo de trabalho da forma de onda de saída, são controladas por um capacitor externo e dois resistores externos.

O diagrama funcional do temporizador tipo 555 está mostrado na Fig. 15.6-1. Os nomes associados com os terminais externos são os fornecidos pelos fabricantes. A unidade é feita para ser usada com tensões de alimentação na faixa de 5 a 15 V. O conjunto de três resistores ligados entre a tensão de alimentação V_{CC} e terra fornece tensões de referência para os dois comparadores. A tensão de referência para o comparador 2 é $V_{CC}/3$ e a do comparador 1 é $2\,V_{CC}/3$. Como veremos, estas tensões de referência têm controle sobre os tempos do circuito. Em aplicações onde desejamos variar estes tempos eletronicamente, podemos aplicar uma tensão de modulação ao terminal de entrada da *tensão de controle*. Em aplicações onde esta modulação não é desejada, os fabricantes recomendam que o terminal tensão de controle seja contornado capacitivamente para terra (cerca de 0,01 μF).

Em uma excursão *negativa* do pulso de *disparo* de entrada, quando a tensão de disparo passa pela tensão de referência $V_{CC}/3$, a saída do comparador 2 aciona o flip-flop. Em uma excursão

positiva da tensão de *limiar*, quando esta tensão passa pela tensão de referência $2\,V_{CC}/3$, a saída do comparador 1 leva o flip-flop para o estado *RESET*. A entrada *RESET* fornece um mecanismo para levar o flip-flop para RESET de uma maneira que anula o efeito de qualquer instrução para acionar o flip-flop que possa vir do comparador 2. Este RESET atuará sempre que a entrada RESET é menor do que cerca de 0,4 V. Quando não se deseja o uso deste RESET, a entrada RESET é normalmente ligada a V_{CC}. O transistor T_2 serve simplesmente como um BUFFER isolando a entrada RESET do flip-flop e do transistor $T1$. A saída simplesmente repete o nível lógico na saída do flip-flop. O bloco marcado "saída" é um BUFFER entre o flip-flop e o terminal de saída. Este estágio BUFFER de saída é capaz de fornecer correntes até 200 mA e fornece níveis lógicos consistentes com lógica TTL.

Um capacitor temporizador externo (não mostrado na Fig. 15.6-1) pode ser ligado entre o terminal de descarga e terra. Quando o flip-flop está no estado RESET, sua saída $\bar{Q}$ está no nível lógico 1. Portanto, a base de $T1$ está alta, o transistor $T1$ está na saturação, e o capacitor temporizador está mantido em uma condição descarregada. Um ciclo temporizador começará quando o flip-flop for para o estado SET e o transistor $T1$ for cortado. O capacitor externo estará então livre para carregar através de um resistor externo (não mostrado). Podemos terminar esta carga do capacitor em qualquer instante arbitrário fazendo com que a tensão no terminal RESET caia abaixo de 0,4 V. A ligação direta da saída de $T2$ para a entrada de $T1$ é agora vista como um meio de fazer $T1$ conduzir imediatamente e desta forma impedir a propagação do atraso através do flip-flop.

O temporizador tipo 555 ligado para operação monoestável está mostrado na Fig. 15.6-2. O capacitor temporizador C é carregado de V_{CC} através de R. Os resistores $R1$ e $R2$ são um tanto arbitrários e têm valores na faixa de várias dezenas de kΩ. São selecionados para manter

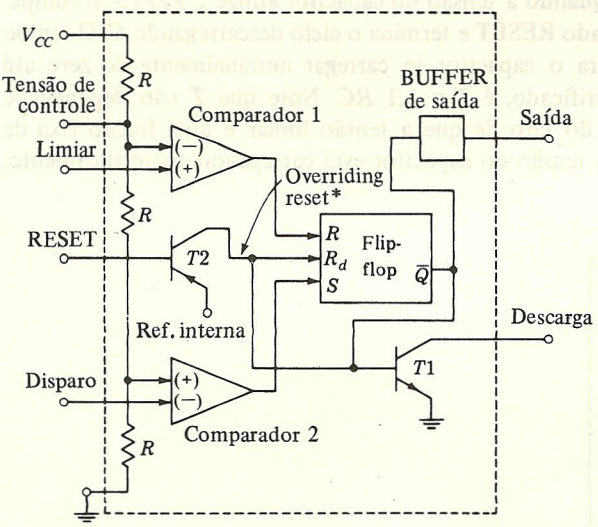


FIGURA 15.6-1
Diagrama funcional do temporizador em circuito integrado tipo 555.

* Restabelecimento com mais alta (ou máxima) prioridade.

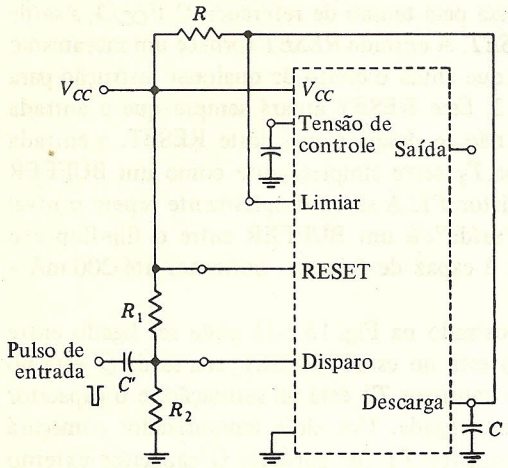


FIGURA 15.6-2
O temporizador tipo 555 ligado para operação monoestável.

a entrada de disparo confortavelmente acima de $V_{CC}/3$ na ausência do pulso de disparo negativo aplicado através de C'. No estado estável o capacitor C é mantido descarregado. O pulso de disparo de entrada corta $T1$ (veja Fig. 15.6-1) e permite o início do ciclo temporizador. (O circuito do 555 é tal que, quando o ciclo temporizador tiver começado, o nível de tensão na entrada de disparo não terá efeito até que ciclo seja completado, desde que a tensão não suba acima de V_{CC}.) A tensão em C é aplicada à entrada *limiar*. Quando a tensão do capacitor atinge $2\,V_{CC}/3$, o comparador 1 responde, o flip-flop vai para o estado RESET e termina o ciclo descarregando C. O tempo T de um ciclo é o tempo necessário para o capacitor se carregar nominalmente de zero até $2\,V_{CC}/3$. Este tempo, como pode ser verificado, é $T = 1{,}1\,RC$. Note que T não depende de V_{CC}. Esta independência de V_{CC} resulta do fato de que a tensão limiar é uma fração fixa da tensão V_{CC}, que é a tensão para a qual a tensão do capacitor está carregando assintoticamente.

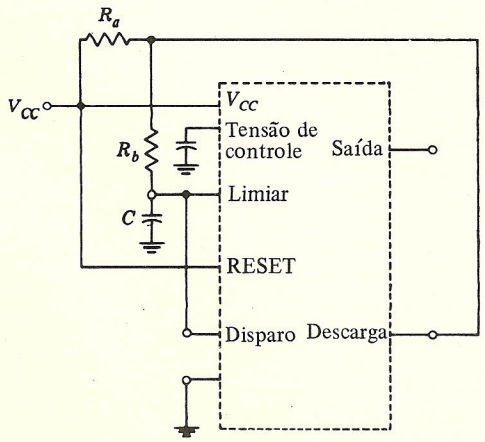


FIGURA 15.6-3
O temporizador tipo 555 ligado para operação astável.

O temporizador tipo 555 ligado para operação astável está mostrado na Fig. 15.6-3. O capacitor C se carrega através de R_a e R_b de V_{CC} até que a tensão do capacitor apenas exceda $2V_{CC}/3$. Então o transistor de descarga $T1$ satura, e C se descarrega através de R_b. A descarga continua até que a tensão em C seja pouco menor do que $V_{CC}/3$. Os tempos de carga e descarga são $T_1 = 0{,}7\,(R_a + R_b)\,C$ e $T_2 = 0{,}7\,R_bC$. O período total é

$$T = T_1 + T_2 = 0{,}7(R_a + 2R_b)C \qquad (15.6\text{-}1)$$

O ciclo de trabalho neste arranjo é necessariamente diferente de 50 por cento. É deixado como exercício (Prob. 15.6-2) modificar o circuito para permitir um ciclo de trabalho de 50 por cento.

REFERÊNCIAS

1. Motorola. "McMOS Handbook." Motorola, Inc., Phoenix, Ariz.
2. RCA. "COS/MOS Digital Integrated Circuits." RCA, Somerville, N.J.

APÊNDICE
Linhas de Transmissão

A.1 INTRODUÇÃO

Apresentamos aqui uma discussão breve e simplificada sobre linhas de transmissão. Nosso objetivo é principalmente tornar clara a questão quando um par de fios de ligação pode ser visto como um par de fios propriamente dito, ou quando, por outro lado, deve ser visto como um pedaço (comprimento) de linha de transmissão.

Na Fig. A.1-1*a* está mostrada uma fonte de tensão fixa V ligada, quando a chave S está fechada, a uma carga R. A ligação é feita através de um par de fios estendendo-se em comprimento desde $x = 0$ até $x = l$. Inicialmente podemos dizer que, se S for fechada no instante $t = 0$, a tensão V_x (a tensão do fio superior em relação ao inferior) em qualquer distância x, assim como a tensão na carga, atingiria também imediatamente o valor V. Na verdade, entretanto, o efeito de fechar S não é sentido em toda a linha *imediatamente*, mas propaga-se da fonte para a carga com uma velocidade finita.

Vamos supor que as linhas ligando a fonte à carga sejam tais que a geometria da linha em relação à sua seção transversal para qualquer valor de x é sempre a mesma. Isto é, supomos que a linha tem uma seção transversal *uniforme*. Neste caso, a velocidade de propagação u é dada por

$$u = \frac{1}{\sqrt{LC}} \tag{A.1-1}$$

onde L e C são, respectivamente, a indutância e a capacitância por unidade de comprimento das linhas. A Eq. (A.1-1) sugere que u é uma função da geometria da seção transversal, uma vez que tanto L como C dependem da geometria. Se, por exemplo, o sistema de transmissão consiste em dois fios paralelos, então, à medida que o espaçamento entre os fios é reduzido, L diminui e C aumenta. Verifica-se, entretanto, que o produto LC é constante, independente da geometria, e tem o valor $u = 3 \times 10^8$ m/s quando o meio entre os fios é o ar. Esta velocidade u, uma constante fundamental do universo físico, é geralmente chamada de *velocidade da luz*. O resultado de que a velocidade de propagação não depende da geometria não é surpreendente quando

levamos em consideração o fato de que realmente a potência que está sendo transferida da fonte para a carga não está sendo transportada pelos fios. A potência é transferida através do espaço livre entre os fios e em volta deles, os fios servindo apenas como *guia* para direcionar o fluxo de potência da fonte para a carga.

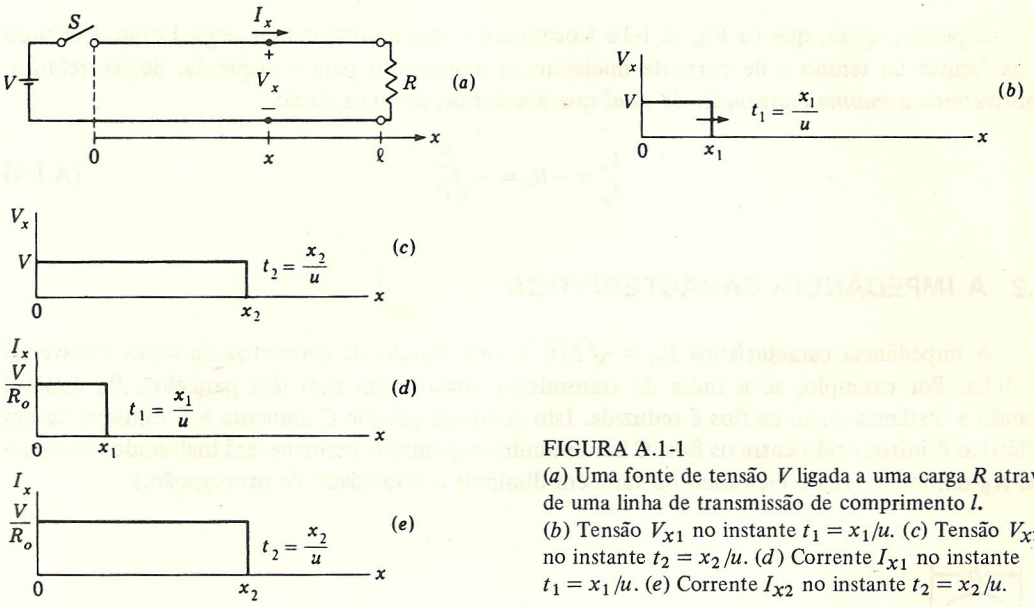


FIGURA A.1-1
(*a*) Uma fonte de tensão V ligada a uma carga R através de uma linha de transmissão de comprimento l. (*b*) Tensão V_{x1} no instante $t_1 = x_1/u$. (*c*) Tensão V_{x2} no instante $t_2 = x_2/u$. (*d*) Corrente I_{x1} no instante $t_1 = x_1/u$. (*e*) Corrente I_{x2} no instante $t_2 = x_2/u$.

As distribuições de tensão ao longo da linha nos instantes $t_1 = x_1/u$ e $t_2 = x_2/u$ estão mostradas na Fig. A.1-1*b* e *c*. Em t_1, como mostrado na Fig. A.1-1*b*, a tensão na linha é V desde $x = 0$ até $x = x_1$ e é zero para $x > x_1$. A *frente* de tensão move-se para a direita com uma velocidade u, de modo que no instante $t_2 > t_1$ a tensão se propagou até $x = x_2$.

À medida que a frente de tensão se move ao longo da linha, a capacitância da linha se carrega com a tensão V. Para que ocorra esta carga da capacitância, é necessário que uma frente de corrente acompanhe esta frente de tensão. O valor desta corrente é facilmente calculado. Quando a frente se move de uma distância dx, a capacitância adicional que é carregada na tensão V é Cdx. A carga necessária é $dQ = VCdx$. Temos agora [utilizando a Eq. (A.1-1)],

$$I = \frac{dQ}{dt} = VC\frac{dx}{dt} = VCu = VC\frac{1}{\sqrt{LC}} = V\sqrt{\frac{C}{L}} \equiv \frac{V}{R_0} \tag{A.1-2}$$

na qual introduzimos o parâmetro $R_0 \equiv \sqrt{L/C}$ chamado *impedância característica* da linha. A corrente I na Eq. (A.1-2) é o módulo da corrente que flui naquela parte da linha na qual a corrente está fluindo, isto é, desde $x = 0$ até o ponto onde a frente de tensão está localizada. À direita da frente de tensão, a corrente é zero. Convencionalmente, I_x é positiva quando a corrente flui para a *direita* no fio superior, e correspondentemente para a *esquerda* no fio inferior, como mostrado na Fig. A.1-1*a*.

Recapitulando, ao fechar a chave S, uma frente de tensão V move-se para a direita na linha com uma velocidade u. Acompanhando esta frente de tensão, há uma frente de corrente I.

A distribuição de corrente na linha nos instantes t_1 e t_2 está mostrada nas Figs. A.1-1*d* e *e*. Em todos os pontos da linha, até a frente de tensão de corrente, temos

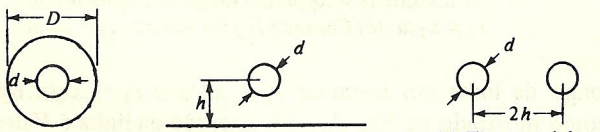
$$\frac{V_x}{I_x} = \frac{V}{I} = R_0 = \sqrt{\frac{L}{C}} \tag{A.1-3}$$

Suponha, agora, que na Fig. A.1-1*a* trocamos de lugar a fonte com a carga. Então, fechando *S*, as frentes de tensão e de corrente iniciariam o movimento para a esquerda. Se, entretanto, mantivermos a *mesma convenção de sinal* que a anterior, teremos então

$$\frac{V_x}{I_x} = -R_0 = -\sqrt{\frac{L}{C}} \tag{A.1-4}$$

A.2 A IMPEDÂNCIA CARACTERÍSTICA

A impedância característica $R_0 = \sqrt{L/C}$ é uma função da geometria da seção transversal da linha. Por exemplo, se a linha de transmissão consiste em dois fios paralelos, R_0 diminui quando a distância entre os fios é reduzida. Isto acontece porque C aumenta e L diminui. Se um dielétrico é introduzido entre os fios, C irá diminuir, enquanto L permanecerá inalterado, de modo que R_0 diminuirá. (Este dielétrico irá também diminuir a velocidade de propagação.)



(*a*) Cabo coaxial $C = \frac{2\pi\epsilon}{\ln \frac{D}{d}}$

(*b*) Fio sobre terra $C \approx \frac{2\pi\epsilon}{\ln \frac{4h}{d}}$

(*c*) Fios paralelos $C \approx \frac{\pi\epsilon}{\ln \frac{4h}{d}}$

FIGURA A.2-1
Vários tipos de linhas de transmissão, junto com expressões para suas capacitâncias por metro. As expressões aproximadas para capacitância de linhas com fio em (*b*) e (*c*) estão corretas com erro menor que 5 por cento se $h/d \geqslant 1$.

Na Fig. A.2-1 estão mostradas seções transversais de três linhas comuns, e são indicadas as expressões de suas capacitâncias. É também verdade que a impedância depende do logaritmo de uma relação de dimensões. Como o logaritmo é uma função que varia muito lentamente com a variação do argumento, geralmente não é possível fazer mudanças muito grandes em R_0 com mudanças razoáveis nas dimensões. Por exemplo, considere o caso da linha coaxial. Quando a atenuação na linha resulta principalmente de perdas ôhmicas nos condutores, a perda (para um D fixo) é mínima para $D/d = 3{,}6$, uma relação razoável. Para esta relação e com uma constante dielétrica relativa de $\varepsilon = 2{,}3$, $R_0 = 51\ \Omega$. Por outro lado, para atingir uma impedância $R_0 = 1\ \text{k}\Omega$, seria necessário que $D/d = 10^{11}$! A maioria das linhas coaxiais disponíveis comercialmente tem impedâncias menores que $100\ \Omega$. As linhas com fio paralelo podem ter impedâncias até várias centenas de ohms.

A.3 REFLEXÕES

No momento do fechamento da chave S na Fig. A.1-1, a fonte aplica uma tensão V para a linha e fornece uma corrente V/R_0. Portanto, a impedância vista pela fonte olhando para a linha é a impedância característica R_0. Se a linha fosse infinitamente longa, de modo que as frentes de tensão e corrente nunca alcançassem o fim, as frentes continuariam indefinidamente, mantendo entre elas a relação $V/I = R_0$ e haveria uma impedância constante R_0 vista pela entrada da linha.

Suponha agora que a linha seja de comprimento finito e que no seu fim há um resistor $R = R_0$. Esta terminação, sendo igual à resistência característica da linha, apareceria como uma extensão infinita da linha. Portanto, iniciando com o fechamento da chave, uma frente de tensão V e corrente V/R_0 se deslocaria para a direita. Depois de um tempo $t = l/u$ as frentes terão atingido a terminação da linha. Deste instante em diante a tensão na linha em qualquer posição, assim como na carga, será V, enquanto a corrente em todos os pontos da linha e na carga será V/R_0. Em resumo, depois que as frentes atingem a terminação da linha, nada mais ocorre.

Considere agora que o resistor no fim da linha seja $R \neq R_0$. Quando as frentes atingem o fim da linha, onde $x = l$, elas serão relacionadas por $V_l/I_l = R_0$. Entretanto, como em $x = l$ o resistor é R, é necessário que $V_l/I_l = R$. Esta inconsistência potencial é resolvida em virtude do fato de que, quando $R \neq R_0$, aparece uma *reflexão* na terminação. Isto é, no momento em que as frentes *incidentes* (iniciadas no fechamento de S) atingem a terminação, são imediatamente desenvolvidas frentes *refletidas*, que começam a mover-se para a esquerda. Estas frentes refletidas estão relacionadas pela Eq. (A.1-4). A amplitude e polaridade das frentes refletidas serão as necessárias para que a tensão *total* V_l (soma das tensões incidente e refletida em $x = l$) e a corrente total l sejam relacionadas por $V_l/I_l = R$. Assim, se a frente de tensão incidente tem uma amplitude V, a frente de tensão refletida tem uma amplitude ρV. O parâmetro ρ é chamado de *coeficiente de reflexão* e será determinado a seguir. A corrente refletida é $-\rho V/R_0$ [a razão para o sinal menos é explicada na discussão que precede imediatamente a Eq. (A.1-4)]. A relação entre a tensão total e a corrente total é R, e portanto

$$\frac{V + \rho V}{V/R_0 - \rho V/R_0} = R \tag{A.3-1}$$

Calculando ρ, obtemos

$$\rho = \frac{R/R_0 - 1}{R/R_0 + 1} \tag{A.3-2}$$

O coeficiente de reflexão está na faixa de -1 a $+1$; $\rho = 0$ quando $R = R_0$, $\rho = 1$ quando o fim da linha está aberto e $\rho = -1$ quando a linha é terminada por um curto-circuito.

A.4 REFLEXÕES MÚLTIPLAS

Considere a situação mostrada na Fig. A.4-1, na qual uma linha de impedância R_0 é terminada na sua extremidade receptora com $R \neq R_0$ e na sua extremidade transmissora com a resistência da fonte $R_s \neq R_0$. Seja V_i um degrau de amplitude V aplicado em $t = 0$. Até o instante em que a entrada da linha fica ciente do fato de que o terminal receptor não *casa* com a impedância da linha, a entrada da linha se comporta como uma resistência R_0. Portanto, em $t = 0+$ o degrau de tensão na entrada da linha em $x = 0$ será

$$V_i' = \frac{R_0}{R_s + R_0} V_i \qquad \text{(A.4-1)}$$

Este degrau de tensão propaga-se ao longo da linha, aparecendo uma reflexão no terminal receptor. Ao chegar na entrada da linha, a frente refletida será novamente refletida, e assim por diante. Cada vez que a frente atinge um resistor terminal, nos dois fins de linha, a frente refletida será menor do que a frente incidente, de modo que eventualmente uma situação permanente será estabelecida. Nos casos especiais, quando cada terminação é um circuito aberto ou curto-circuito, os coeficientes de reflexão serão $+1$ ou -1 e (excluindo o efeito de atenuação, quando a frente se move ao longo da linha) nunca será atingido um estado permanente.

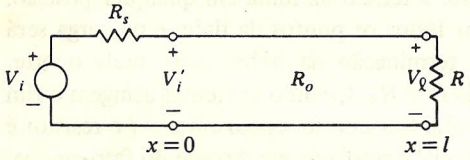


FIGURA A.4-1
Uma fonte de tensão V_i com impedância de fonte R_S é ligada ao resistor de carga R por meio de uma linha de transmissão com impedância característica R_0.

EXEMPLO A.4-1. Uma linha de impedância $R_0 = 100\ \Omega$ e tempo de atraso t_d em uma direção é terminada em sua extremidade receptora com um resistor $R = 900\ \Omega$ e em sua extremidade (terminal) transmissora com $R_s = 20\ \Omega$. A entrada é um degrau de tensão $V_i = 12$ V. Desenhar a forma de onda no terminal receptor.

Solução. O coeficiente de reflexão no terminal receptor ρ_r é, da Eq. (A.3-2),

$$\rho_r = \frac{\frac{900}{100} - 1}{\frac{900}{100} + 1} = 0{,}8$$

O coeficiente de reflexão no terminal transmissor pode ser calculado de forma similar, resultando $\rho_s = -0{,}75$. O degrau de entrada de 12 V aparecerá no instante $t = 0$ na entrada da linha como um degrau de amplitude

$$V_i' = V_1 = \frac{R_0}{R_s + R_0} V = \frac{100}{20 + 100} \times 12 = 10 \text{ V}$$

A frente V_1 chegará na terminação no instante $t = t_d$, onde aparecerá uma frente refletida $V_2 = \rho_r V_1 = 0{,}8(10) = 8$ V. Portanto, em $t = t_d$ a tensão no terminal receptor V_l variará de zero para $V_l = 10 + 8 = 18$ V. V_2 volta para o terminal de entrada e é refletida como $V_3 = -0{,}75\,V_2 = -0{,}75(8) = -6$ V. Quando V_3 atinge o fim da linha no instante $t = t_d + 2t_d = 3t_d$, imediatamente dá origem a $V_4 = 0{,}8\,V_3 = 0{,}8(-6) = -4{,}8$ V. Portanto, no instante $t = 3t_d +$ a tensão total no terminal receptor é $V_1 + V_2 + V_3 + V_4 = 10 + 8 - 6 - 4{,}8 = 7{,}2$ V. Continuando desta maneira, obtemos a forma de onda mostrada na Fig. A.4-2. Ela oscila em torno de um limite assintótico. Este valor limite, que é o mesmo ao longo de todo o comprimento da linha, é

$$V_x \text{ (em todo } x \text{ e em } t = \infty) = V_i \frac{R}{R + R_s} = 12 \frac{900}{900 + 20} = 11{,}7 \text{ V}$$

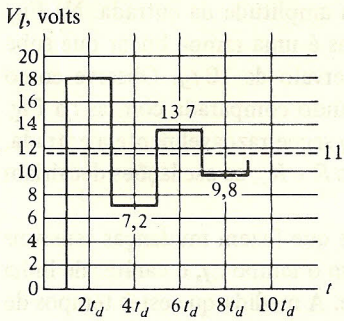


FIGURA A.4-2
Forma de onda da tensão em $x = l$ devida às reflexões.

A.5 EFEITO DO TEMPO DE SUBIDA DA FORMA DE ONDA

Suponha, em relação ao circuito da Fig. A.4-1 considerada no Exemplo A.4-1, que havíamos ignorado o caráter de linha de transmissão da ligação da fonte à carga. Neste caso, teríamos antecipado que a resposta de tensão em R devido ao degrau de entrada de 12 V seria simplesmente um degrau de amplitude 11,7 V. Vemos que realmente, como na Fig. A.4-2, há oscilações um tanto violentas em torno do nível 11,7 V. A amplitude destas oscilações não depende do tempo de atraso t_d. Entretanto, esta falta de dependência resulta do fato de que admitimos uma entrada com tempo de subida zero. Quando o tempo de subida não é zero, a situação é diferente como veremos agora.

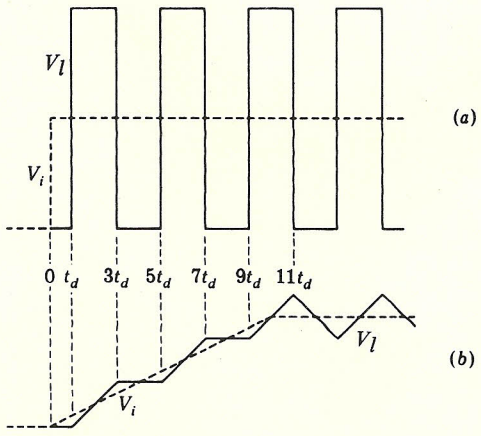


FIGURA A.5-1
(*a*) Tensão em $x = l$ quando o resistor de carga R é infinito e o resistor da fonte $R_s = 0$; a tensão de entrada é um degrau. (*b*) Tensão em $x = l$ quando R é infinito, $R_s = 0$ e V_i é uma rampa de tensão linear.

Para explorar o assunto mais simplesmente, vamos considerar o caso especial em que uma linha, com atraso em uma direção t_d, é terminada em seu final receptor em circuito aberto e em seu final transmissor em curto-circuito, isto é, na Fig. A.4-1, $R = \infty$ e $R_s = 0$. A tensão V_l na carga está mostrada na Fig. A.5-1 para dois casos. Na Fig. A.5-1*a* a tensão de entrada é um degrau, como mostrada pela forma de onda tracejada, e, como pode ser verificado, a tensão na

carga V_l oscila com uma amplitude pico a pico que é o dobro da amplitude da entrada. Na Fig. A.5-1*b* a entrada tem a mesma amplitude que na Fig. A.5-1*a* mas é uma rampa linear que sobe *devagar em comparação com* t_d, a subida ocorrendo em um intervalo de $10\,t_d$. Observe como são muito menos pronunciadas as oscilações na Fig. A.5-1*b*, quando comparada com as da Fig. A.5-1*a*. Na Fig. A.5-1*b*, exceto pelo atraso t_d, a forma de onda V_l segue razoavelmente a entrada. Evidentemente, em ambos os casos, se houvesse resistores terminais R e R_s, as oscilações decairiam com o tempo.

De forma bastante geral, quando as formas de onda são tais que fazem mudanças sensíveis apenas em intervalos de tempo muito grandes em comparação com o tempo t_d, o caráter de linha de transmissão de uma ligação não se faz particularmente aparente. À medida que estes tempos de subida se tornam progressivamente maiores em comparação com t_d, as linhas podem ser substituídas por circuitos de constantes concentradas equivalentes, isto é, capacitância parasita ou indutância parasita, ou ambas, com precisão progressivamente melhor. Por outro lado, onde os tempos de subida são muito rápidos, o caráter de linha de atraso das ligações deve ser levado em conta e dadas algumas considerações para terminar a linha corretamente a fim de suprimir reflexões. Por exemplo, em portas ECL, os tempos de subida são da ordem de nanossegundos e fios de ligações de apenas algumas dezenas de centímetros tornam-se linhas de transmissão.

Problemas

CAPÍTULO 1

1.1-1 Através de uma medida, achamos que um diodo drena 1 mA de corrente, quando a tensão no diodo é 0,75 V.
(*a*) Se a característica volt-ampère do diodo é dada pela Eq. (1.1-1), determine I_0.
(*b*) Desenhe a característica volt-ampère do diodo.

1.1-2 (*a*) Um diodo opera em um circuito onde a corrente através deste diodo é I_D e sua tensão é V_D. Se a corrente no diodo for dobrada, calcule o aumento na tensão V_D do diodo. Suponha $V_T = 25$ mV.
(*b*) Se a tensão no diodo em (*a*), para a corrente mais baixa, for 750 mV, mostre que, dobrando a corrente, a tensão no diodo aumenta de somente 2 por cento.

1.1-3 (*a*) O diodo $D1$ tem $I_0 = I_{01}$, enquanto o diodo $D2$ tem $I_0 = I_{02}$. Mostre que, quando circulam correntes iguais pelos diodos, as tensões sobre eles diferem de $V_1 - V_2 = V_T \ln (I_{02}/I_{01})$.
(*b*) Seja $I_{02} = 10 I_{01}$. Através do diodo $D1$, circula uma corrente tão pequena que consideraremos o diodo no corte e achamos $V_1 = 0{,}65$ V. Qual seria a tensão em $D2$ se por ele estivesse também circulando a mesma pequena corrente?

1.2-1 A dependência de I_0 em relação à temperatura T é aproximadamente dada por

$$I_0 = KT^2 \epsilon^{-V_g/V_T}$$

onde K é uma constante de proporcionalidade, $V_g \approx 1{,}12$ V para o silício e $V_T = kT/e$.
(*a*) Obtenha uma expressão para $\ln I_0$. Diferencie $\ln I_0$ em relação à temperatura T para mostrar que

$$\frac{d}{dT}(\ln I_0) = \frac{2}{T} + \frac{V_g}{TV_T}$$

(*b*) Mostre que, quando $V >> V_T$, a Eq. (1.1-1) pode ser escrita como

$$\ln I = \ln I_0 + \frac{V}{V_T}$$

de modo que

$$\frac{1}{I}\frac{dI}{dT} = \frac{d}{dT}(\ln I_0) + \frac{1}{V_T}\frac{dV}{dT} - \frac{V}{TV_T}$$

(*c*) Mostre que, para uma corrente constante,

$$\frac{dV}{dT} = \frac{V - V_g}{T} - \frac{2k}{e}$$

(*d*) Calcule dV/dT para $T = 300°K$ quando $V = 0{,}65$ V. Observe que a resposta não é -2 mV/°C e observe também que a resposta depende da tensão V do diodo.

(*e*) A equação diferencial da parte (*c*) pode ser resolvida pela mudança de variável $\mu = V/T$. A partir do resultado em (*c*), mostre que, se $V(T_1)$ e $V(T_0)$ são as tensões dos diodos para uma corrente fixa e as duas temperaturas são T_1 e T_0, então

$$\frac{V(T_1)}{T_1} - \frac{V(T_0)}{T_0} = V_g\left(\frac{1}{T_1} - \frac{1}{T_0}\right) - \frac{2k_T}{e}\ln\frac{T_1}{T_0}$$

Se $V(T_0) = 0{,}75$ V quando $T_0 = 25°C$, calcule $V(T_1)$ quando $T_1 = 125°C$ e $-55°C$.

1.2-2 Dois diodos idênticos $D1$ e $D2$ estão conectados em paralelo e estão polarizados reversamente como mostra a Fig. P1.2-2. Se $D2$ estiver operando a 125°C e $D1$ a 25°C, determine a corrente em cada diodo. Suponha que I_0 dobre a cada aumento de 10°C na temperatura.

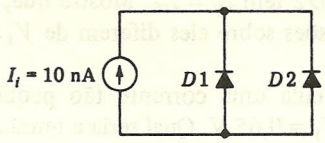


FIGURA P1.2-2

1.3-1 Para o diodo 1N916, supondo que $C_T \approx C_0/(1 + V)^n$, encontre valores para C_0 e n que sirvam para fazer C_T ficar de acordo com a capacitância determinada experimentalmente e dada na Fig. 1.3-1.

1.4-1 Três diodos estão conectados em série com um diodo Zener de 9 V e o arranjo série é usado em 5 mA para fornecer uma tensão de referência de $9 + 3(0{,}75) = 11{,}25$ V. A partir da Fig. 1.4-2*b* mostre que a sensibilidade à temperatura do arranjo é aproximadamente zero.

1.4-2 Um diodo polarizado diretamente deve ser conectado em série com um diodo Zener. O par deve ser operado a 5 mA como uma fonte de referência. Use a Fig. 1.4-2*b* para estimar qual deveria ser a tensão de operação do diodo Zener, se o par tivesse de ser insensível à temperatura.

1.4-3 A partir da Fig. 1.4-2*a* faça o gráfico de V_Z como uma função de I_Z para o coeficiente de temperatura igual a zero.

1.7-1 Definimos os símbolos I_E, I_C e I_B de tal modo que eles são positivos quando as correntes de emissor, coletor e base, respectivamente, estão no sentido de circulação da corrente normal em um transistor *pnp*. Escreva as equações de Ebers-Moll (1.7-3) e (1.7-4), usando estes símbolos de corrente e fazendo quaisquer outras mudanças apropriadas para um transistor *pnp*.

1.7-2 Para um transistor *npn*, a corrente de base I_B pode ser escrita como a soma

$$I_B = I_{B1}(\epsilon^{V_{BE}/V_T} - 1) + I_{B2}(\epsilon^{V_{BC}/V_T} - 1)$$

Determine I_{B1} e I_{B2}. Use os resultados do Prob. 1.7-1 para encontrar uma expressão similar para a corrente de base de um transistor *pnp*.

1.7-3 Usando a Eq. (1.7-4), ache V_{CE} quando $I_C = 0$. Suponha $V_{BE} \gg V_T$ e $V_{CE} \gg V_T$.

1.7-4 Compare a corrente de base de um transistor que tenha $V_{BE} = 0{,}7$ V e $V_{CE} = 0{,}7$ V com a corrente de base de um transistor que tenha $V_{BE} = 0{,}7$ V e $V_{CE} = 0{,}1$ V. Considere $\alpha_N = 0{,}9$ e $\alpha_I = 0{,}1$.

1.8-1 (*a*) Suponha que um transistor esteja no limiar de corte de modo que I_E seja dado pela Eq. (1.8-2). Compare as tensões de CUT-IN dos dois transistores, o primeiro com $\alpha_N = 0{,}9$ e $\alpha_I = 0{,}1$ e o segundo com $\alpha_N = 0{,}9$ e $\alpha_I = 0{,}01$.
(*b*) Repita a parte (*a*) para o coletor em circuito aberto de modo que $I_C \equiv 0$.

1.8-2 (*a*) Mostre que, para $I_E = 0$ e também para $I_C = 0$, as equações de Ebers-Moll se reduzem a equação simples do diodo.
(*b*) Mostre que, para tensões de diodo iguais, a razão das correntes dos diodos é igual a α_N/α_I.

1.10-1 Verifique as Eqs. (1.10-3) a (1.10-5) e a (1.10-9).

1.10-2 Observe a Fig. P1.10-2. Se $h_{FE} = 50$ e $h_{FC} = 0{,}1$, determine:
(*a*) O valor de I_B necessário para que $V_{CE} = 0{,}3$ V.
(*b*) O valor de I_B necessário para $V_{CE} = 0{,}1$.
(*c*) Pode o V_{CE} ser igual a 0 V com esta configuração?

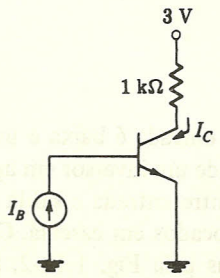


FIGURA P1.10-2

1.10-3 Observe a Fig. P1.10-3. Cada transistor tem $h_{FE} = 50$ e $h_{FC} = 0{,}1$.

(*a*) Se $I_{B1}\,(T1) = 0$ e $V_{BE}\,(T1) = V_\gamma = 0{,}5$ V, calcule $I_{E0}\,(T0)$ e V_i. Suponha $V_{BE}\,(T0) = 0{,}75$ V.

(*b*) Quando $V_i = 5$ V, $T1$ está saturado. Calcule $I_{B1}\,(T1)$. Use a Fig. 1.10-1.

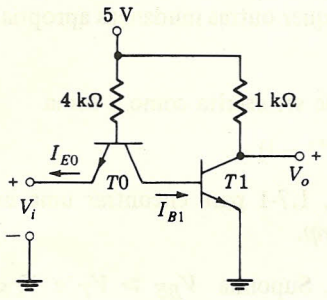


FIGURA P1.10-3

1.10-4 (*a*) Verifique a Eq. (1.10-12) que se aplica à configuração da Fig. 1.10-3*c*.

(*b*) Determine I_B, I_C e I_E quando $V_{CC} = 3$ V, $R_L = 1$ kΩ, $h_{FE} = 0{,}1$.

1.10-5 (*a*) Mostre que, na Fig. P1.10-5, I_C é aproximadamente dado por

$$I_C = \frac{(1 + I_{E0}\,R/V_T)\,I_{C0}}{1 - \alpha_N\,\alpha_I + (1 - \alpha_N)\,I_{E0}\,R/V_T}$$

Suponha que a junção de coletor esteja polarizada reversamente e que a junção de emissor esteja em polarização direta, levemente.

(*b*) Considere $\alpha_N = 0{,}98$, $I_{C0} = 10$ nA, $\alpha_I = 0{,}1$. Calcule I_C para $R = 0$ e $R = \infty$.

(*c*) Que valor de R nos daria uma corrente entre os valores de corrente obtidos para $R = 0$ e $R = \infty$?

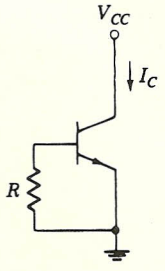


FIGURA P1.10-5

1.12-1 Um inversor nos dá uma tensão de saída elevada quando a entrada é baixa e uma saída baixa quando a entrada é elevada. Uma medida da utilidade de um inversor em aplicações lógicas é sua habilidade em manter esta grande diferença entre entrada e saída indefinidamente, à medida que muitos estágios do inversor são colocados em cascata. Considere um inversor que usa o MOSFET com características dadas pela Fig. 1.12-2. Suponha

a carga como sendo um resistor de 2 kΩ (como poderia ser encontrado em um inversor bipolar). A tensão de alimentação é $V_{DD} = 20$ V. Estime o número de tais inversores que podem ser colocados em cascata antes que a diferença entre a saída fique muito pequena.

1.13-1 Em um inversor MOSFET em circuito integrado como o da Fig. 1.13-1*b*, $V_{DD} = 12$ V, $V_{GG} = 15$ V e $V_T = 3$ V. Suponha que o parâmetro C na Eq. (1.12-3) seja $C = 1{,}2$. Determine a tensão de saída do inversor quando o transistor excitador não estiver conduzindo.

1.15-1 Idealize o gráfico de I_D na Fig. 1.15-5. Admita que I_D aumenta linearmente de $I_D = 0$, para $V_i = 3{,}0$ V, até 1,4 mA, para $V_i = 8$ V, e cai linearmente a zero para $V_i = 12$ V. Seja V_i a forma de onda mostrada na Fig. P1.15-1. Desprezando o efeito das capacitâncias, calcule a dissipação de potência na porta.

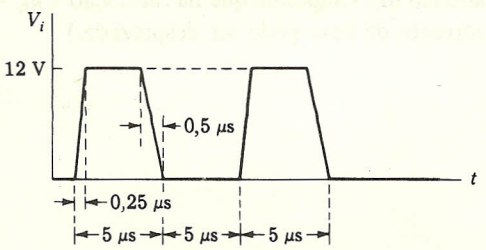


FIGURA P1.15-1

1.18-1 A carga Q dos portadores minoritários em excesso em qualquer volume de um semicondutor decairá, porque a carga minoritária se recombina com a carga majoritária de sinal oposto. A razão de decaimento da carga é proporcional a Q, isto é,

$$\frac{dQ}{dt} = -\frac{1}{\tau}Q$$

onde $1/\tau$ é um fator de proporcionalidade. (τ tem a dimensão de tempo e é chamado de *constante de tempo de armazenamento.*) Mais ainda, se uma corrente I circula para fora de um volume, há uma diminuição adicional na razão de $dQ/dt = I$. Juntando as duas parcelas temos:

$$\frac{dQ}{dt} + \frac{Q}{\tau} = I$$

No regime permanente, onde $dQ/dt = 0$, $I = Q/\tau$.

(*a*) Um diodo tem uma constante de tempo de armazenamento $\tau = 1$ μs. Uma tensão de 10 V é aplicada ao diodo através de um resistor de 10 kΩ no sentido direto durante um tempo longo o suficiente para que se tenha chegado ao regime permanente. Supondo que a tensão direta do diodo seja zero, calcule a carga de portadores minoritários em excesso armazenada no diodo.

(*b*) Em um instante $t = 0$, e depois de estabelecida a situação na parte (*a*), a tensão aplicada é abruptamente invertida. Suponha que a tensão no diodo permaneça em

zero até que a carga minoritária seja removida e calcule o instante em que o diodo corta.

(*c*) A combinação entre a capacitância de transição do diodo e as capacitâncias em paralelo externas nos dá 20 pF. Desenhe a forma de onda de tensão no diodo e corrente através de um resistor de 10 kΩ desde o instante anterior a $t = 0$ até que a tensão no diodo se torne -5 V.

1.20-1 A tensão de entrada V_i na Fig. 1.20-1 é inicialmente $V_i = 5$ V e o transistor está saturado. A carga total armazenada na base é 1 nC. Em $t = 0$, V_i vai rapidamente a 0 V. O capacitor C está incluído, de modo que a carga da base pode ser removida abruptamente.

(*a*) Calcule o mínimo valor de C necessário para permitir a remoção de toda a carga da base.

(*b*) Desenhe a forma de onda para o C selecionado na parte (*a*) e também para o caso onde C é o dobro do valor achado em (*a*). (Suponha que na saturação $V_{BE} = 0{,}75$ V e que, quando $V_{BE} < 0{,}75$, a corrente de base pode ser desprezada.)

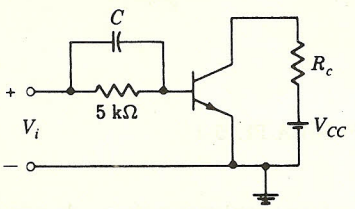


FIGURA P1.20-1

CAPÍTULO 2

2.2-1 (*a*) Mostre que o ganho de tensão do amp-op da Fig. 2.2-1 é

$$A_f \equiv \frac{V_o}{V_i} = -\frac{A - R_o/Z_f}{1 + R_o/Z_f}$$

(*b*) Os valores típicos de A, R_O e Z_f são $A = 5 \times 10^4$, $R_O = 100\ \Omega$ e $Z_f = 10$ kΩ. Se o valor máximo de V_O antes da sobrecarga é V_O (max) = 10 V, encontre o valor máximo de V_i que pode ser aplicado ao amplificador.

(*c*) Se $R_i = 100$ kΩ e se V_i for o valor encontrado na parte (*b*), calcule a corrente em R_i.

2.2-2 Observe a Fig. 2.2-1

(*a*) Calcule a razão entre a corrente em R_i e a corrente em Z_f em termos de A, R_i, R_O e Z_f.

(*b*) Se $R_i = 10$ kΩ, $Z_f = 10$ kΩ, $R_O = 100\ \Omega$ e $A = 10^4$, calcule a relação entre as correntes.

2.2-3 Observe a Fig. 2.4-1.

(*a*) Obtenha uma expressão para a razão V_i/V_s em termos de R, R_i, R_f, R_O e A.

(*b*) Se $R = R_i = R_f = 10\,\text{k}\Omega$, $R_o = 100\ \Omega$ e $A = 5 \times 10^4$, encontre esta razão.
(*c*) Comente o motivo pelo qual a entrada de um amp-op pode ser considerada como um terra virtual.

2.3-1 Observe a Fig. 2.3-1*b*. Se o capacitor C tem um resistor R_c em paralelo, determine a função de transferência $V_o(s)/V_i(s)$. Para qual freqüência há a ocorrência de um pólo?

2.3-2 Um *circuito passa-tudo* fornece um deslocamento de fase, sem atenuação, em toda a banda de freqüência. No circuito do amp-op mostrado na Fig. P2.3-2, $V_o = A(V_2 - V_1)$. Mostre que o circuito é um "passa-tudo" encontrando a função de transferência $V_o(\omega)/V_s(\omega)$.

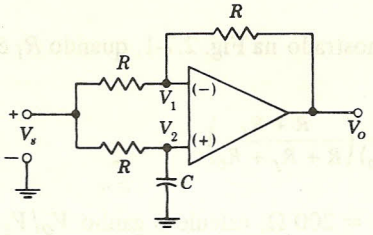


FIGURA P2.3-2

2.4-1 Verifique a Eq. (2.4-3) calculando Z_o de acordo com o seguinte procedimento (veja a Fig. P2.4-1): aplique um gerador de tensão V_o aos terminais de saída do amp-op e calcule a corrente I_o fornecida pelo gerador. A impedância de saída é $Z_o = V_o/I_o$.

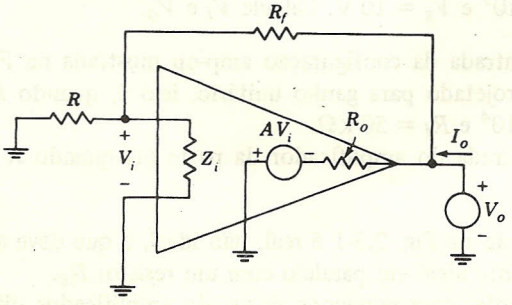


FIGURA P2.4-1

2.5-1 Obtenha uma expressão para a impedância de entrada entre as bases do transistor $T1a$ e $T2a$ na Fig. P2.5-1.
(*a*) Mostre que o resultado é

$$R_i = 2h_{ie}(Ta) + 2h_{FE}\,h_{ie}(Tb)$$

(*b*) Como $I_{B1b} = h_{FE} I_{B1a}$, mostre que

$$R_i = 4h_{ie}(Ta)$$

(*c*) Se $h_{FE} = 100$ e $I_{E1b} = I_{E2b} = 1$ mA, calcule R_i.

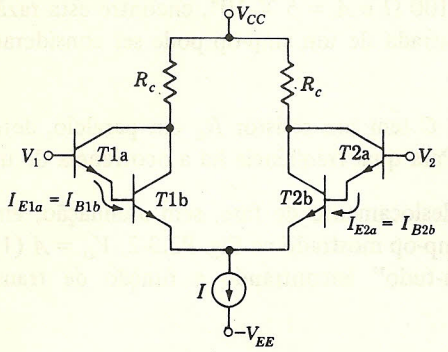


FIGURA P2.5-1

2.7-1 (*a*) Mostre que o ganho V_o/V_s do amp-op mostrado na Fig. 2.7-1, quando R_i é infinito, é

$$\frac{V_o}{V_s} = \frac{A}{1 + RA/(R + R_f + R_0)} \left(\frac{R + R_f}{R + R_f + R_0} \right)$$

(*b*) Se $A = 5 \times 10^4$, $R = R_f = 10\,\text{k}\Omega$ e $R_O = 200\ \Omega$, calcule o ganho V_o/V_s.

(*c*) Mostre que, quando A é muito grande, o resultado na parte (*a*) se reduz à Eq. (2.7-2).

2.7-2 (*a*) Na Fig. 2.7-1, suponha por simplicidade que $R_O = 0$. Calcule a razão V_i/V_s e V_i/V_o. Observe que estas razões são muito pequenas e que o curto-circuito virtual aparece entre os terminais de entrada do amp-op.

(*b*) Seja $R_f = R = 1\,\text{k}\Omega$, $A = 10^5$ e $V_s = 10$ V. Calcule V_i e V_o.

2.8-1 (*a*) Calcule a impedância de entrada da configuração amp-op mostrada na Fig. 2.7-1 quando o amplificador é projetado para ganho unitário, isto é, quando $R = \infty$ e $R_f = 0$. Suponha $A = 5 \times 10^4$ e $R_i = 50\,\text{k}\Omega$.

(*b*) Calcule a impedância de entrada do amplificador da parte (*a*) quando $R = R_f = 1\,\text{k}\Omega$.

2.11-1 Considere que a fonte de corrente na Fig. 2.5-1 é real, não ideal, e que deve ser representada por um gerador de corrente ideal em paralelo com um resistor R_e.

(*a*) Obtenha o circuito equivalente, para pequenos sinais, do amplificador diferencial. Modifique a Fig. 2.5-3 apropriadamente. Mostre que, com $h_{ib} = h_{ie}/(h_{FE} + 1)$,

$$\Delta I_{E1} = \frac{1}{2h_{ib}} (\Delta V_1 - \Delta V_2) + \frac{1}{h_{ib} + 2R_e} \frac{\Delta V_1 + \Delta V_2}{2}$$

e

$$\Delta I_{E2} = \frac{1}{2h_{ib}} (\Delta V_2 - \Delta V_1) + \frac{1}{h_{ib} + 2R_e} \frac{\Delta V_1 + \Delta V_2}{2}$$

(*b*) Suponha que $h_{if} \ll R_e$. Observe que I_{E1} e I_{E2}, e portanto ΔV_{C1} e ΔV_{C2}, do amplificador diferencial respondem à diferença de tensão $V_1 - V_2$ e também à

tensão de modo comum $(\Delta V_1 + \Delta V_2)/2$. Observe também que, se R_e se tornar infinito, a corrente devida à tensão em modo comum irá a zero.

2.11-2 A CMRR de um amplificador diferencial é 10.000 (80 dB). Se o sinal em modo comum é $V_c = 10$ V, encontre a menor diferença de tensão V_d que pode ser amplificada antes que a tensão de saída devida ao modo comum exceda em 1 por cento da tensão de saída devido ao sinal diferença.

2.12-1 A SLEW RATE do amp-op mostrado na Fig. 2.7-1 é 50 V/μs. O sinal de entrada V_s é uma rampa que vai de 0 a 5 V a uma velocidade que é muito rápida em comparação à SLEW RATE, de modo que a entrada pode ser considerada um degrau. Se $R_f = R = 1$ kΩ, desenhe (*a*) a forma de onda da saída, (*b*) a tensão $V_1(t)$, (*c*) $V_i(t)$. (*d*) Durante quanto tempo o amplificador estaria sobrecarregado?

2.12-2 Quando uma senóide de baixa freqüência é aplicada à entrada do amp-op mostrado na Fig. 2.7-1, o amplificador responde linearmente numa faixa de saída de -10 a $+10$ V. Se $R = R_f$ e a SLEW RATE do amplificador são 50 V/μs, qual é a máxima freqüência permissível de uma senóide na entrada, se a excursão do sinal deve ser mantida de -10 a $+10$ V, sem distorção?

2.14-1 Na Fig. 2.14-1, $T3$ deve funcionar como uma fonte de corrente constante. Use a representação em circuito para pequenos sinais para calcular a resistência vista olhando-se no coletor de $T3$. Use $h_{ie} = 1$ kΩ, $h_{FE} = 50$, e $1/h_{oe} = 100$ kΩ.

2.15-1 Calcule V_{C5} na Fig. 2.15-1.

2.15-2 Observe a Fig. 2.14-1. Suponha que $T5$ esteja saturado e V_{CE5} (sat) = 0,2 V.
(*a*) Calcule I_{C5}.
(*b*) Mostre que $V_{B6} \approx 8{,}1$ V.
(*c*) Calcule I_{C4} supondo que $D2$ esteja cortado.
(*d*) Determine $V_{B4} - V_{B5}$.
(*e*) Calcule V_i.

2.15-3 (*a*) Encontre o valor de V_i necessário para produzir uma tensão de saída $V_o = 0$ V na Fig. 2.14-1. Note que $T5$ não está saturado nesta tensão de saída.
(*b*) $D2$ está cortado?

2.15-4 Verifique a Eq. (2.15-11).

2.17-1 A Fig. P2.17-1 mostra um comparador regenerativo (circuito Schmitt) onde o capacitor C foi incluído para termos em mente que qualquer amplificador físico tem resposta em freqüência limitada. Inicialmente a chave S está aberta e o comparador está em um estado inicial de equilíbrio com $V_s = V_2 = V_o = 0$. Introduzimos agora uma pequena perturbação no sistema de modo que ele vá a um novo estado (a chave S é fechada) $V_s = 0$, $V_o = \Delta V$, $V_2 = \beta \Delta V$.
(*a*) Calcule a resposta do sistema quando a perturbação é removida, isto é, a chave S é aberta. Mostre que o sistema não retorna a seu estado inicial, mas se afasta dele a uma velocidade progressivamente maior. Escreva uma expressão para V_o como uma função do tempo.

(*b*) Aplique o resultado da parte (*a*) à situação representada na Fig. 2.17-3. Seja $V_s = V_{s3}$ e suponha que o sistema esteja em equilíbrio. V_s varia abruptamente para $V_{s3} + \Delta V$. Descreva qualitativamente a resposta do circuito. Qual será o estado final de equilíbrio estável do sistema?

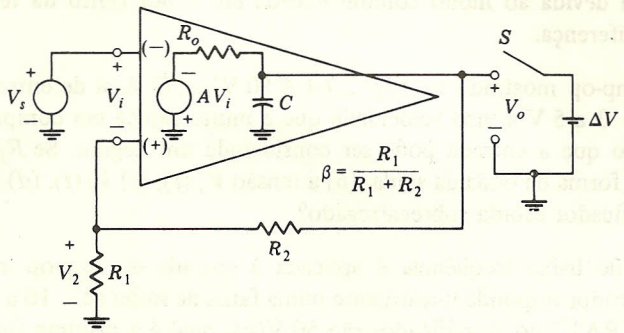


FIGURA P2.17-1

2.17-2 Use a Eq. (2.17-2) e a Fig. 2.17-3 para verificar a Eq. (2.17-3).

2.17-3 O circuito Schmitt TRIGGER mostrado na Fig. 2.17-1 tem $A_O = 1.000$ e $R_1 = R_2 = 1\,k\Omega$. A tensão de saída tem os níveis $V_H = 5$ V e $V_L = 0$ V.

(*a*) Desenhe V_o *versus* V_s.

(*b*) Calcule a histerese.

2.17-4 O circuito do Schmitt TRIGGER básico da Fig. 2.17-1 foi adaptado conforme é mostrado na Fig. P2.17-4, para operar como um gerador de onda quadrada. Suponha que para $t = 0$, $V_C = 0$ V e $V_o = 5$ V.

(*a*) Desenhe $V_o\,(t)$ e $V_C\,(t)$ como uma função do tempo.

(*b*) Observe que $V_o\,(t)$ não é uma onda quadrada simétrica. Qual deveria ser o valor de V_R para que a onda quadrada fosse simétrica?

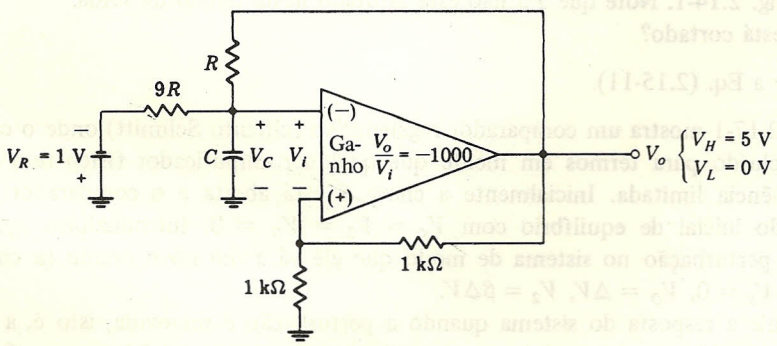


FIGURA P2.17-4

2.18-1 Verifique a Eq. (2.18-2).

2.18-2 (*a*) Para o circuito da Fig. 2.18-1, encontre como V_R deve estar relacionado à razão R_1/R_2 para que a histerese seja simétrica em relação a $V_s = 0$ V, isto é, na Fig. 2.17-3, $|V_{s4}| = |V_{s5}|$.

(*b*) Se $A_o = 1.000$ e $R_1 = R_2 = 1\ \text{k}\Omega$, calcule o valor da histerese para V_R igual ao valor encontrado na parte (*a*).

CAPÍTULO 3

3.3-1 Desenhe um circuito mostrando uma lâmpada que pode ser acesa somente se três chaves S_1, S_2 e S_3 são fechadas simultaneamente.

3.3-2 Desenhe um circuito mostrando uma lâmpada que pode ser acesa somente se a chave S_1 está fechada e a chave S_2 está aberta.

3.4-1 Desenhe um circuito mostrando uma lâmpada que pode ser acesa somente se a chave S_1 ou S_2 ou ambas estão fechadas.

3.5-1 Verifique a Eq. (3.5-5) que afirma que a operação NAND é não associativa. *Sugestão:* Use a tabela da verdade e considere $X = (\overline{AB})C$ e $Y = A(\overline{BC})$. Mostre que $X \neq Y$.

3.5-2 Verificar a Eq. (3.5-9).

3.6-1 Mostrar como o circuito chave da Fig. P3.6-1 pode ser usado para executar a operação OU-EXCLUSIVO. *Sugestão:* As chaves devem ser agrupadas de modo que haja apenas duas variáveis lógicas independentes para representar as posições das chaves.

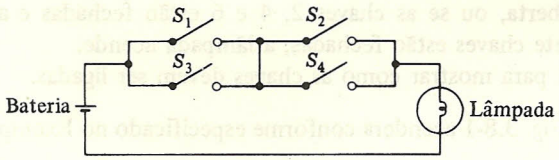


FIGURA P3.6-1

3.6-2 Mostre que a função OU-EXCLUSIVO pode ser sintetizada utilizando portas NAND.

3.6-3 Mostre que Z na Eq. (3.6-3) é verdadeira se um número ímpar de variáveis são verdadeiras e que Z é falsa se um número par de variáveis são verdadeiras.

3.7-1 (*a*) Para duas variáveis independentes A e B, faça uma tabela da verdade mostrando todas as funções possíveis $Z = f(A, B)$.

(*b*) Mostre que duas destas "funções" não são na verdade funções, sendo independentes de A e B.

(*c*) Mostre que quatro destas "funções" são na verdade funções de uma única variável.

(*d*) A função

A	B	Z
F	F	V
F	V	V
V	F	F
V	V	V

é escrita $A \supset B$ e é lida "A implica B". Qual o motivo para esta terminologia? Mostre que entre as 16 funções serão encontradas $\overline{A \supset B}$, $\overline{B \supset A}$ e $B \supset A$.

3.8-1 João irá ao cinema se Alice for com ele e se ele puder usar o carro da família. Entretanto, Alice decidiu ir à praia se não estiver chovendo e se a temperatura estiver acima de 26°C. O pai de João fez planos para usar o carro para visitar amigos se estiver chovendo ou se a temperatura está acima de 26°C. Em que condições João irá ao cinema? Construa um computador de aplicação especial utilizando portas NOT, AND e OR, chaves, bateria e uma lâmpada para resolver o problema. A lâmpada deve acender se João pode ir ao cinema.

3.8-2 Os ônibus saem do terminal de hora em hora a não ser que haja menos que 10 passageiros ou se o motorista está atrasado. Se há menos que 10 passageiros, o ônibus espera 10 minutos ou até que o número de passageiros aumente para 10. Se o ônibus sai no horário, pode trafegar com a velocidade de 90 km/h. Se o ônibus sai atrasado, ou se estiver chovendo, ele pode trafegar apenas a 45 km/h. Em que condições irá o ônibus trafegar a 90 km/h. Construa um computador de aplicação especial utilizando portas AND, OR e NOT, chaves, bateria e uma lâmpada. A lâmpada deverá acender se o ônibus puder trafegar a 90 km/h.

3.8-3 Sete chaves operam uma lâmpada da seguinte maneira: se as chaves 1, 3, 5 e 7 estão fechadas e a chave 2 está aberta, ou se as chaves 2, 4 e 6 estão fechadas e a chave 3 está aberta, ou se todas as sete chaves estão fechadas, a lâmpada acende.
Use portas NOT, AND e OR para mostrar como as chaves devem ser ligadas.

3.8-4 Verifique que a lâmpada da Fig. 3.8-1 acenderá conforme especificado no Exemplo 3.8-1.

3.8-5 O circuito da Fig. P3.8-5 não utiliza eficientemente as portas lógicas. Obter um circuito diferente tendo a mesma função de transferência mas utilizando menos portas.

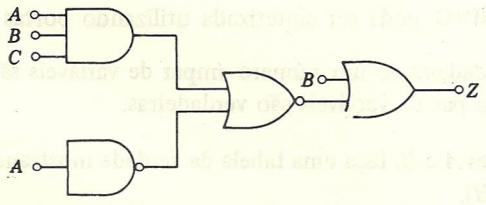


FIGURA P3.8-5

3.8-6 Um "economista" propõe a seguinte técnica para ganhar dinheiro no mercado de ações:
1. Se os dividendos pagos por uma ação excederem os pagos por um título, compre a ação.

2. Se os dividendos pagos por um título excederem os pagos por uma ação, compre o título, a não ser que a razão de crescimento da ação tenha sido pelo menos 25% anualmente nos últimos 5 anos, caso em que a ação deve ser adquirida.

O economista projetou um computador de aplicação especial para indicação do que comprar. O computador necessita três chaves (um maior dividendo na ação, um maior dividendo no título, razão de crescimento maior do que 25%) e duas lâmpadas, uma para acender se a ação é selecionada e a outra para acender se o título é selecionado. Projetar o computador utilizando lógica NOR.

3.10-1 (*a*) Projetar um circuito OU-EXCLUSIVO utilizando portas NAND e NOR.
(*b*) Repita utilizando apenas portas NOR.

3.10-2 (*a*) Projetar um circuito para acender a lâmpada do Exemplo 3.8-1 utilizando apenas portas NAND.
(*b*) Repetir utilizando portas NOR.

3.11-1 Verificar as Eqs. (3.11-6*a*) e (3.11-6*b*) substituindo **0** ou **1** para cada uma das três variáveis. Notar que há oito combinações possíveis.

3.11-2 Utilizando a Eq. (3.11-6*a*), mostrar que

$$X + WY + UVZ = (X + WY + UV)(X + WY + Z)$$
$$= (X + U + W)(X + U + Y)(X + V + W)$$
$$(X + V + Y)(X + Z + W)(X + Z + Y)$$

3.11-3 Verificar a Eq. (3.11-9*b*), (*a*) simplificando a expressão e (*b*) pela substituição de **0** ou **1** para cada variável.

3.11-4 Verificar a Eq. (3.11-11*a*).

3.11-5 Verificar as Eqs. (3.11-12*a*) e (3.11-12*b*).

3.12-1 Simplificar as seguintes expressões:

(*a*) $(A + \bar{B})\bar{A}\bar{B}\bar{C}$
(*b*) $A\bar{B}C + \bar{A}\bar{C}D + \bar{C}A$
(*c*) $AB + \bar{A}C\bar{D}E + \bar{B}C\bar{D}$
(*d*) $\bar{A}\bar{B} + AC + \bar{B}\bar{C}\bar{D} + B\bar{C}E + \bar{B}CF + BC\bar{G}$

3.12-2 Complemente e simplifique as seguintes expressões:

(*a*) $\bar{A}B$
(*b*) $(\bar{A} + B)(\bar{C}\bar{D})$
(*c*) $(A + \bar{A}B)(C + \bar{D})$

3.13-1 Obter o binário equivalente para (*a*) 13, (*b*) 5, (*c*) 18, (*d*) 30. Cada número binário deve ter quatro dígitos.

3.13-2 Obter os números binários para (*a*) 0,625, (*b*) 0,278, (*c*), 18,454.

3.14-1 Escrever o equivalente binário dos números decimais de 0 a 31 utilizando o código de Grey.

3.15-1 Reduzir as expressões dadas abaixo a uma soma de produtos mínima:

(*a*) $(A + \bar{B} + C)(\bar{A} + \bar{B} + \bar{C})$
(*b*) $(A + B)(\bar{B} + \bar{A})$
(*c*) $AB(C + D)E + (C + D)AC$

3.16-1 Obter o produto-padrão de somas para

(*a*) $AB + \bar{A}C\bar{D}E + \bar{B}CD$
(*b*) $AB\bar{C}D + B\bar{C}\bar{E} + AD$
(*c*) $\bar{A}B\bar{C} + \bar{A}\bar{B}D + CD$

3.16-2 Escreva as expressões do Prob. 3.16-1 como um produto de somas mínimo.

3.17-1 Simplificar

(*a*) $f(A, B, C) = \sum m(0, 1, 2, 4)$
(*b*) $f(A, B, C) = \sum m(1, 3, 5, 6, 7)$
(*c*) $f(A, B, C) = \sum m(0, 1, 2, 3, 4, 5, 6)$

3.17-2 Simplificar

(*a*) $f(A, B, C) = \prod M(0, 1, 2, 4)$
(*b*) $f(A, B, C) = \prod M(3, 5, 6, 7)$

3.17-3 Uma função $f = f(A, B, C, D)$. Se $f = \Sigma m(0, 1, 2, 3)$, expressar f em termos de maxitermos.

3.17-4 Mostrar que $\Sigma m(0, 3, 4, 5)$ e $\Pi M(0, 3, 4, 5)$ são complementos, enquanto $\Sigma m(0, 3, 4, 5) = \Pi M(1, 2, 6, 7)$.

3.23-1 Minimizar as seguintes expressões usando o método de mapa K:

(*a*) $\bar{A}\bar{B}C + AD + \bar{D}(B + C) + A\bar{C} + \bar{A}\bar{D}$
(*b*) $\sum m(0, 1, 2, 3, 4, 9, 10, 12, 13, 14, 15)$
(*c*) $\prod M(0, 1, 2, 3, 4)$
(*d*) $B\bar{C} + \bar{A}B + \bar{A}\bar{B}\bar{D} + BCD + A\bar{B}\bar{C}\bar{D}$

3.25-1 Se $F = C + \overline{AB}$, colocar $\bar{F}$ em um mapa K. Mostrar que $\bar{F} = B\bar{C} + A\bar{C}$.

3.25-2 Verificar que a Fig. 3.25-1*d* representa a Eq. (3.25-3*b*).

3.25-3 Utilizando um número mínimo de

(*a*) Portas NAND de duas entradas
(*b*) Portas NOR de duas entradas
(*c*) Portas NAND de três entradas
(*d*) Portas NOR de três entradas

sintetizar as seguintes funções:

(1) $f = \Sigma m(0, 1, 2, 3, 8, 9, 10, 11)$
(2) $f = \Sigma m(0, 1, 8, 9, 10)$
(3) $f = \Pi M(5, 7, 13, 15)$
(4) $f = \Pi M(1, 3, 9, 10, 11, 14, 15)$

3.26-1 Utilizando um número mínimo de
(*a*) Portas NAND de duas entradas
(*b*) Portas NOR de duas entradas
(*c*) Portas NAND de três entradas
(*d*) Portas NOR de três entradas
sintetizar as seguintes funções:
(1) $f(A, B, C, D) = \Sigma m\,(0, 1, 4, 5, 9, 11, 14, 15) + \Sigma d\,(10, 13)$
(2) $f(A, B, C, D) = \Sigma m\,(0, 13, 14, 15) + \Sigma d\,(1, 2, 3, 9, 10, 11)$

CAPÍTULO 4

4.2-1 Desenhar diagramas de circuito para mostrar como portas DCTL podem ser ligadas para executar as operações lógicas AND e NOT.

4.2-2 Referir-se à Fig. 4.2-1. Sejam $V_{CC} = 3$ V e $R_c = 1$ kΩ. Determinar o número N de transistores que a porta $G0$ pode saturar se é necessária uma corrente de base de 0,1 mA para saturar um transistor.

4.2-3 Desenhar a característica entrada-saída de uma porta DCTL, $G11$, mostrada na Fig. 4.2-1, nas temperaturas $T = -55$ e 125°C. (Os fabricantes geralmente especificam as características da porta nestas temperaturas assim como na temperatura ambiente.)

4.4-1 Referir-se à porta RTL da Fig. 4.1-1. Se $h_{FE} = 200$ e os transistores $T2$ até TN estão cortados, determine aproximadamente o valor mínimo de V_1 necessário para obter uma saída $V_o = 0{,}3$ V. Supor que $V_{BE1} = 0{,}75$ V. Use a Fig. 1.10-1 com $h_{FC} = 0{,}1$.

4.4-2 Referir-se à porta RTL da Fig. 4.1-1. Considere que $T2$ até TN estão cortados. Suponha que $T1$ pode ter h_{FE} na faixa $50 < h_{FE} < 200$ e que $0{,}01 \leqslant h_{FC} \leqslant 0{,}1$. Considere que $T1$ está na saturação com $V_{BE1} = 0{,}75$ V, $V_o = 0{,}2$ V e $V_{CC} = 3$ V. Qual V_1 permitido assegurará que $T1$ estará saturado no pior caso? Use a Eq. 1.10-3.

4.4-3 Repetir o Prob. 4.4-2 para $R_b = 1{,}5$ kΩ e $R_c = 3{,}6$ kΩ.

4.4-4 Referir-se à porta da Fig. 4.1-1 e à característica entrada-saída da Fig. 4.4-1. Considere $T2$ até TN cortados.
(*a*) Obtenha uma expressão para a inclinação da característica entrada-saída $\Delta V_o/\Delta V_1$ em função de I_C quando $T1$ está na região ativa. Considere que na região ativa a corrente de base está relacionada com a tensão base-emissor através da equação do diodo.
(*b*) Se $V_{CC} = 3$ V e $h_{FE} = 100$, avaliar a inclinação quando $V_o = 1{,}6$ V.

4.5-1 Referir-se à Fig. 4.5-3. Sejam $R_b = 1{,}5$ kΩ, $R_c = 3{,}6$ kΩ e $V_{CC} = 3$ V. Os transistores $T1$ e $T2$ são idênticos, com parâmetros $h_{FE} = 50$ e $h_{FC} = 0{,}1$.
(*a*) Se $T2$ está cortado, obter I_{C1} e I_{B1} de modo que $V_{CE1} = V_{CE2} = 0{,}2$ V.
(*b*) Se I_{B1} é mantido no valor especificado na parte (*a*) e $T2$ é levado à condução, obter o valor de I_{B2} necessário para V_{CE1} cair para 0,1 V. Obter a relação I_{B1}/I_{B2}.

4.5-2 (*a*) Na Fig. 4.5-3, $R_b = 1{,}5\ \text{k}\Omega$, $R_c = 3{,}6\ \text{k}\Omega$, $V_{CC} = 3$ V, $T1$ e $T2$ são idênticos, e $h_{FE} = 50$, enquanto $h_{FC} = 0{,}1$. $T2$ está cortado e I_{B1} é ajustado para saturar $T1$ com $V_{CE} = 0{,}2$ V. Obter I_{B1}.
(*b*) Faça $I_{B1} = I_{B2}$. Obter $I_{B1} = I_{B2}$ para $V_{CE} = 0{,}2$ V.
(*c*) Obtenha a relação de I_{B1} para as partes (*a*) e (*b*). Comente o resultado.

4.6-1 (*a*) Calcular a característica entrada-saída de uma porta RTL operando com um FAN-OUT de 1 a $T = -55$, 25 e 125°C. Considere $R_b = 450\ \Omega$, $R_c = 640\ \Omega$, $V_{CC} = 3$ V, $h_{FE} = 50$ e $h_{FC} = 0{,}1$, e V_{CE} (sat) como sendo a tensão coletor-emissor correspondente a $\sigma = 0{,}1$. Mostre no gráfico a dependência da temperatura de V_{CE} (sat).
(*b*) Para cada temperatura determine a margem de ruído $\Delta\mathbf{1}$ e $\Delta\mathbf{0}$.

4.6-2 Repetir os cálculos da característica entrada-saída do Prob. 4.6-1 com $R_b = 1{,}5\ \text{k}\Omega$ e $R_c = 3{,}6\ \text{k}\Omega$.

4.6-3 Repetir o Prob. 4.6-2 para um FAN-OUT de 5.

4.6-4 Verificar a Eq. (4.5-4).

4.7-1 (*a*) Desenhar a característica entrada-saída do BUFFER RTL mostrado na Fig. 4.7-1. Suponha um FAN-OUT $N = 1$. Considere as temperaturas $T = -55$, 25 e 125°C. Faça as aproximações usuais de que os transistores entram em condução com $V_{BE} =$ $= 0{,}65$ e vão para saturação com $V_{BE} = 0{,}75$ e que V_{CE} (sat) $= 0{,}2$ V. Suponha que $h_{FE} = 100$.
(*b*) Determine as imunidades de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$ em cada temperatura.

4.7-2 Desenhe a característica volt-ampère de saída ($-I_o$ *versus* V_o) do BUFFER RTL da Fig. 4.7-1 quando V_i está na lógica **0**.

4.7-3 Referir-se à Fig. 4.7-2. Seja $N = 25$ e $V_\sigma = 0{,}75$ V e suponha que $T2$ está saturado. Calcule (*a*) I_o, (*b*) a corrente de coletor I_C, e (*c*) a corrente de base I_B.

4.7-4 Verificar as Eqs. (4.7-1) e (4.7-2).

4.8-1 O circuito de $T2$ e $T3$ do circuito OU-EXCLUSIVO mostrado na Fig. 4.8-1 está redesenhado na Fig. P4.8-1.

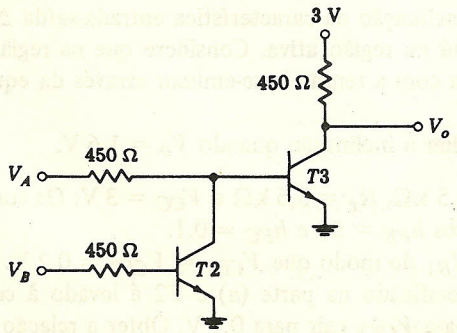


FIGURA P4.8-1

(*a*) Se $V_A = 3$ V, esboce qualitativamente a tensão de base de $T3$ quando V_B variar de 0 a 3 V.
(*b*) Se $V_A = 0$ V, mostrar que $T3$ está cortado, independentemente de V_B.
(*c*) Obtenha uma tabela da verdade para mostrar que $V_D = \overline{V_A \overline{V}_B}$.

4.9-1 Uma porta RTL particular tem as seguintes características. A máxima corrente de entrada é $I_{in} = 400\ \mu$A, a mínima corrente de saída é 2 mA e a corrente de fuga de cada transistor é $I_x = 100\ \mu$A. Cada porta tem quatro entradas. Supondo que todas as portas têm as mesmas características, qual o FAN-OUT máximo de uma porta?

4.10-1 (*a*) Duas portas RTL idênticas, cada uma com duas entradas, são ligadas em paralelo. Suponha que as duas portas são da mesma pastilha. Quando operando individualmente, cada porta tem associados a ela um fator de carga de entrada 1 e um fator de carga de saída 5. Calcular os fatores de carga de entrada e de saída para a porta obtida com a combinação das duas.
(*b*) Duas portas RTL idênticas, localizadas em pastilhas diferentes, são ligadas em paralelo. Cada porta tem duas entradas, um fator de carga de entrada 1 e um fator de carga de saída 5. Calcular os fatores de carga de entrada e de saída da porta obtida com a combinação das duas.

4.10-2 Suponha que dois BUFFERS, cada um como o mostrado na Fig. 4.7-1, são ligados em paralelo. Considere que a entrada do BUFFER *A* está no estado **1** e a entrada do BUFFER *B* está no estado **0**. Calcule a corrente fluindo em $T3$ do BUFFER *A*.

4.11-1 Uma porta RTL tem as tensões de pior caso listadas abaixo.

Temp., °C	V_{oH}	V_{iH}	V_{iL}	V_{oL}
− 55	1,014	1,01	0,718	0,710
25	0,844	0,815	0,565	0,300
125	0,673	0,67	0,325	0,320

Calcular as imunidades de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$ no pior caso.

4.12-1 A tensão de entrada V_1 na Fig. P4.12-1 é um degrau positivo de 3 V de amplitude. As portas $G1$, $G2$ e $G3$ têm retardos de propagação de 1, 2 e 4 μs, respectivamente. Desenhar a forma de onda de V_1, V_2, V_3 e V_4 em uma escala de tempo comum.

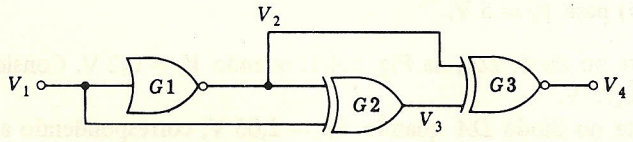


FIGURA P4.12-1

4.13-1 Verificar que a Fig. 4.13-1 pode ser redesenhada como mostrado na Fig. 4.13-2.

4.13-2 Verificar que a Fig. 4.13-2 pode ser reduzida à Fig. 4.13-3.

4.15-1 Redesenhar a Fig. 4.15-1 mostrando os transistores *pnp* e *npn*. Mostrar em sua figura as oito saídas ABC, $AB\bar{C}$, ..., $\bar{A}\bar{B}\bar{C}$ e as três entradas A, B e C.

CAPÍTULO 5

A não ser que seja especificado ao contrário, supor $h_{FE} = 50$ e $h_{FC} = 0{,}1$. Referir-se à Fig. 1.10-1.

5.1-1 Desenhe a característica de entrada-saída da porta DTL mostrada na Fig. 5.1-1. Suponha que a tensão do diodo é 0,75 V com uma corrente de 1,5 mA. Desenhe seus resultados para as temperaturas (*a*) 25°C, (*b*) −55°C e (*c*) 125°C.

5.1-2 Quando o transistor $T2$ da Fig. 5.1-1 está cortado, seu circuito de entrada pode ser aproximado por um capacitor $C = 5$ pF.

(*a*) Calcular o tempo necessário para a base do transistor $T2$ atingir a tensão de limiar $V_\gamma = 0{,}65$ V se, em $t = 0$, V_i de repente sobe de 0 para 5 V. Suponha que os diodos $D1$ e $D2$ podem ser representados por baterias de 0,7 V.

5.2-1 Referir-se à Fig. 5.2-1. Suponha que especificamos a extensão a que $T2$ deve ser levado na saturação determinando valor do parâmetro $\sigma = I_C/h_{FE}I_B$ (veja seção 1.10) no qual este transistor deve operar. Mostrar que o FAN-OUT N que pode ser acomodado é dado por

$$N = \sigma h_{FE} \frac{V_{CC} - 3V_\sigma}{V_{CC} - V_\sigma - V_{CE}(\text{sat})} - \frac{R}{R_c} \frac{V_{CC} - V_{CE}(\text{sat})}{V_{CC} - V_{CE}(\text{sat}) - V_\sigma}$$

onde V_σ é a tensão de um diodo polarizado diretamente e a tensão base-emissor de um transistor saturado, isto é, $V_\sigma = 0{,}75$ a 25°C. Mostrar que, para V_{CC} muito grande, $N = \sigma h_{FE} - R/R_c$.

5.2-2 Desenhe a característica entrada-saída da porta DTL carregada mostrada na Fig. 5.2-1. Suponha que $N = 10$, $T = 25$°C e que as tensões do diodo são como as do Prob. 5.1-1.

5.3-1 Referir-se à Fig. 5.3-1.

(*a*) Comparar a potência dissipada nos transistores $T1$ e $T2$ quando $\rho = 0$ e $\rho = 1$ (isto é, $T1$ é substituído por um diodo). Considere $R = 3{,}75$ kΩ.

(*b*) Calcular a corrente total fornecida pela fonte V_{CC} à porta DTL em circuito integrado quando $V_i = 0$ V.

(*c*) Repetir a parte (*b*) para $V_i = 5$ V.

5.4-1 (*a*) Calcular a corrente no diodo DA, na Fig. 5.4-1, quando $V_i = 0{,}2$ V. Considere que a tensão $V_{DA} = 0{,}75$ V.

(*b*) Calcular a corrente no diodo DA quando $V_P = 2{,}05$ V, correspondendo ao ponto em que $T2$ está exatamente no limiar.

5.4-2 Quando V_i na Fig. 5.4-1 está em $V_i = 1{,}6$ V, DA está cortado e, como indicado na Fig. 5.4-2, $T2$ está na saturação. Mostrar que $T2$ irá saturar mesmo antes de DA cortar, fazendo os seguintes cálculos:

(*a*) Determinar I_{C2} tal que $V_{C2} = 0{,}2$ V.
(*b*) Use a Fig. 1.10-1 para determinar I_{B2}.
(*c*) Calcular I_D através do diodo $D2$.
(*d*) Calcular V_P.
(*e*) Determinar a corrente I_{DA} e estimar a correspondente tensão do diodo V_{DA}. Calcular V_i e notar que V_i é menor do que 1,6 V.

5.4-4 A versão da Western Electric da porta NAND DTL está mostrada na Fig. P5.4-4. Por simplicidade, apenas uma entrada está mostrada. Note que neste circuito dois diodos, $D1$ e $D2$, são empregados. Note também que $\rho = 1/8$.
(*a*) Desenhe a característica entrada-saída da porta a $T = -55$, 25 e 125°C.
(*b*) Determine as margens de ruído $\Delta\mathbf{1}$ e $\Delta\mathbf{0}$ nas três temperaturas -55, 25 e 125°C.
(*c*) Determine uma relação aproximada entre o FAN-OUT N desta porta e o ρ correspondente à Eq. (5.3-7) que se aplica ao circuito da Fig. 5.3-2.

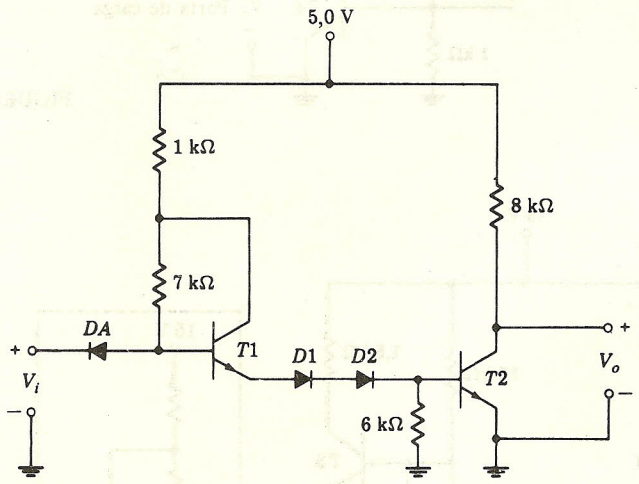


FIGURA P5.4-4

5.4-5 O BUFFER DTL da Western Electric, no qual $T5$ é um PULL-UP ativo e $T1$ é utilizado como um diodo de entrada, está mostrado na Fig. P5.4-5.
(*a*) Em que tensão V_{B2}, $T2$ estará no limiar de condução?
(*b*) Em que tensão V_{B2}, $T3$ estará no limiar de condução?
(*c*) Quais são as tensões V_i correspondentes às situações na parte (*a*) e na parte (*b*)?
(*d*) Qual é, qualitativamente, a função do PULL-UP ativo $T5$?

5.6-1 Na Fig. 5.6-3, suponha que $T1$ está na saturação com V_{CE} (sat) = 0,2 V, enquanto todos os outros transistores $T2, \ldots, TK$ estão cortados.
(*a*) Calcular I_{C1} e utilizar a Fig. 1.10-1 para obter I_{B1}.
(*b*) Agora suponha que tanto $T1$ como $T2$ estão na saturação, cada um com a corrente de base obtida na parte (*a*). Estimar as correntes de coletor e a tensão coletor-emissor.

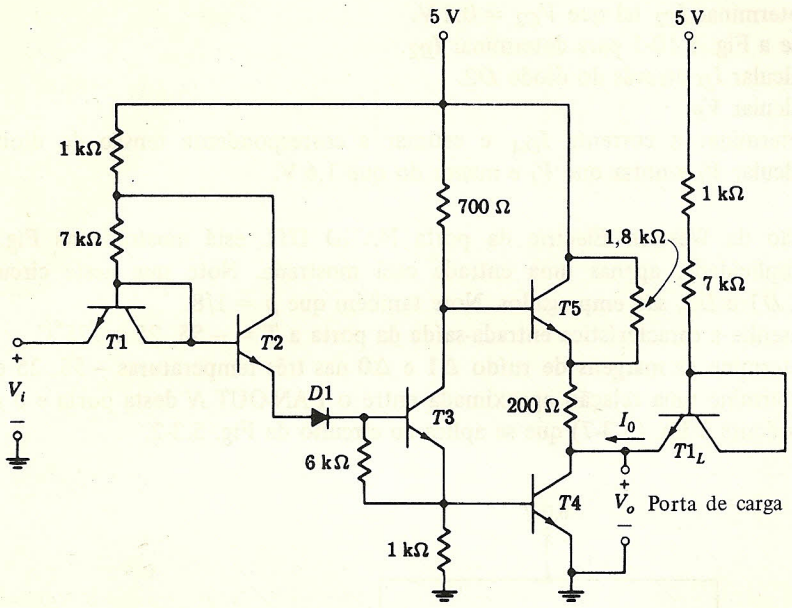


FIGURA P5.4-5

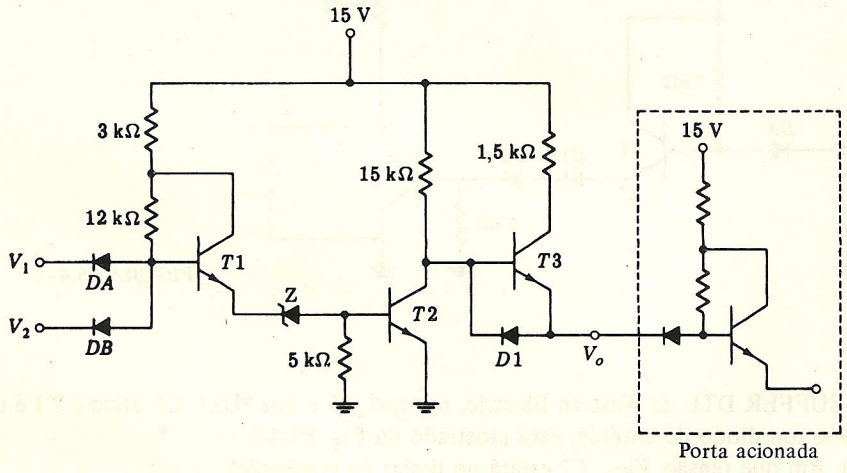


FIGURA P5.9-1

5.8-1 Referir-se à Fig. 5.7-1. Suponha que $T2$ está no limiar de condução, isto é, $V_{BE}\,(T2) = V_\gamma = 0{,}65$ V. Seja $V_Z = 6{,}9$ V. Calcular:

(*a*) $I_E\,(T1)$

(*b*) I_{DA}

(*c*) Suponha que, com o valor da corrente calculada na parte (*b*), a tensão $V_{DA} \approx$ $\approx 0{,}75$ V. Calcule a tensão de entrada V_i.

5.8-2 Quando o transistor $T2$ da Fig. 5.7-1 está no limiar da saturação, V_{CE} $(T2) \approx 0{,}2$ V e $\sigma = 0{,}85$. Calcular (a) I_{B2} e (b) I_E $(T1)$. Com este valor de I_E $(T1)$ podemos considerar que V_{BE} $(T1) \approx 0{,}7$ V. Calcular (c) I_{DA}. (d) Com este valor de I_{DA} podemos considerar que $V_{DA} \approx 0{,}75$ V. Calcular V_i.

5.8-3 Desenhe a característica entrada-saída da porta HTL mostrada na Fig. 5.7-1 a $T = -30$ e 75°C.

5.9-1 Um BUFFER HTL está mostrado na Fig. P5.9-1. O BUFFER é feito para melhorar a velocidade de operação da porta quando a porta é bastante carregada capacitivamente. Discuta qualitativamente a operação do circuito. Por qual caminho a carga capacitiva se carrega? Por qual caminho ela se descarrega?

CAPÍTULO 6

A menos que seja indicado de outro modo, use $h_{FE} = 50$ e $h_{FC} = 0{,}1$ em todos os problemas. Considere a Fig. 1.10-1.

6.3-1 Na Fig. 6.3-2, se as tensões de entrada estiverem no **1** lógico, $T3$ estará na saturação. A carga de base de saturação armazenada Q_{Bs} e a carga de base ativa armazenada Q_{BA}, conforme é mostrado na Fig. 1.20-1d, são respectivamente 100 e 150 pC. Se uma das entradas cai abruptamente a 0 V, estime o tempo para que o transistor $T3$ vá da saturação ao limiar de corte.

6.4-1 Suponha na Fig. 6.4-1 que $T2$ e $T3$ estão simultaneamente saturados. Se V_{CE} (sat) $= 0{,}2$ V e $V_{BE3} = V_{BE2} = V_D = 0{,}75$ V, calcule (a) a corrente em R_{c2} e (b) V_{C4} e V_{E4}. $T4$ está saturado?

6.5-1 Observe a Fig. 6.5-1. Desenhe V_o *versus* V_{B4} conforme V_{B4} vai de 0 a 1,5 V. Use $R_{c4} = 1$ e 10 kΩ, sendo que todos os outros componentes são mostrados. Suponha um FAN-OUT de 1.

6.5-2 Observe a Fig. 6.5-1. Desenhe V_o *versus* V_{B4} nas temperaturas -55 e 125°C. Suponha um FAN-OUT de 1.

6.5-3 Suponha que a porta da Fig. 6.5-1 esteja operando sem carga.
(a) Com que corrente de base I_{B4}, $T3$ chegará ao CUT-IN?
(b) Com que corrente de base I_{B4}, $T2$ terá chegado ao corte? (Suponha aqui $T2$ conduzindo.)
(c) Encontre V_{CE4} sob a condição dada na parte (b).

6.5-4 Usando a Fig. 6.5-1, calcule e desenhe I_{E2} como uma função de I_{B4}. Suponha um FAN-OUT de 1.

6.8-1 Calcule e desenhe a característica volt-ampère de entrada da porta TTL mostrada na Fig. 6.5-1, quando $T = -55$°C e 125°C.

6.9-1 Calcule e desenhe a característica volt-ampère de saída da porta TTL mostrada na Fig. 6.5-1, quando $T = -55$ e 125°C e quando (a) $T3$ está cortado; (b) $T3$ está saturado.

6.10-1 Uma porta TTL tem as seguintes especificações: $V_{iL} = 0{,}8$ V; $V_{iH} = 1{,}8$ V; $V_{oL} = 0{,}4$ V; $V_{oH} = 2{,}4$ V. Calcule as margens de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$.

6.10-2 As portas TTL mostradas na Fig. 6.5-1 estão operando em $T = 25°C$ e têm as especificações dadas pelas Figs. 6.10-2 e 6.10-4.
(*a*) Estime o FAN-OUT N se V_o não deve ser superior a 0,2 V.
(*b*) Estime o FAN-OUT N se V_o não deve cair abaixo de 3,5 V.

6.10-3 Uma porta TTL garantidamente drena 10 mA sem que a tensão de saída exceda a $V_{oL} = 0{,}4$ V e fornece 5 mA sem cair abaixo de $V_{oH} = 2{,}4$ V. Se $I_{iH} = 100\,\mu$A a 2,4 V e $I_{iL} = 1$ mA a 0,4 V, calcule os FANT-OUTs para os estados **0** e **1**.

6.11-1 Considere a Fig. 6.5-1
(*a*) Calcule o dreno de corrente da fonte de alimentação quando $V_i = 3{,}5$ V.
(*b*) Repita a parte (*a*) para $V_i = 0{,}2$ V.
(*c*) Qual a corrente de pico drenada da fonte de alimentação durante o breve intervalo em que $T2$ e $T3$ estão saturados simultaneamente.

6.12-1 No circuito da Fig. 6.12-1, suponhamos que cada uma das entradas esteja no **0** lógico, de modo que $T3$ e $T4$ estejam *cortados*. Suponha que, quando um transistor estiver na sua região ativa, sua corrente de base poderá ser desprezada. Desenhe a característica volt-ampère vista olhando-se na saída, através da determinação das correntes da fonte I_s e tensão de saída V_o correspondentes, de acordo com o que segue:
(*a*) Encontre I_s quando $V_o = 0$ V.
(*b*) Encontre V_o no instante em que $I_s = 0$. Neste ponto $T2$ está em CUT-IN, isto é, $V_{BE2} \simeq V_\gamma$.
(*c*) Encontre V_o e I_s quando $V_C\,(T6) = 4{,}7$ V. Observe que $T6$ não está saturado.
(*d*) Encontre V_o e I_s quando $I_{C6} = 0$. Observe que $T6$ está saturado.
(*e*) Verifique que $T2$ nunca satura.

6.12-2 Se a tensão de saída da porta TTL mostrada na Fig. 6.12-1 deve ser $V_o = 2{,}4$ V, calcule a disponibilidade de corrente de saída quando $T3$ estiver cortado.

6.13-1 Considere que a porta TTL mostrada na Fig. 6.5-1 tenha um coletor de saída aberto, isto é, o transistor $T2$ e o diodo D são removidos. Considere agora que duas portas deste tipo sejam conectadas na configuração WIRE-AND e que um resistor PULL-UP passivo R_o seja conectado entre os coletores e a fonte de 5 V.
(*a*) Calcule a corrente de base fornecida ao transistor de saída $T3$ de uma das portas, quando as entradas desta porta estão em alta e as entradas da outra estão em baixa.
(*b*) Se ambos os transistores de saída estão cortados, calcule R_o de modo que 4 mA circulem em uma carga quando $V_o = 2{,}4$ V.
(*c*) Se a porta excita N outras portas, cada uma necessitando de 100 μA a 2,4 V, calcule o FAN-OUT N se $I_{oH} = 4$ mA a 2,4 V.
(*d*) Se uma entrada de uma das duas portas WIRED-AND estiver baixa enquanto as entradas da outra estiverem altas, a saída V_o será baixa. Se $V_{oL} = 0{,}4$ V quando $I_{oL} = 10$ mA, a corrente de fuga do transistor $T3$ da porta "cortada" é 100 μA e é necessário absorvermos 1 mA de cada porta dreno. Encontre R_o que assegure um FAN-OUT de 5.

6.14-1 Desenhe qualitativamente a característica entrada-saída da porta AND TTL mostrada na Fig. P6.14-1.

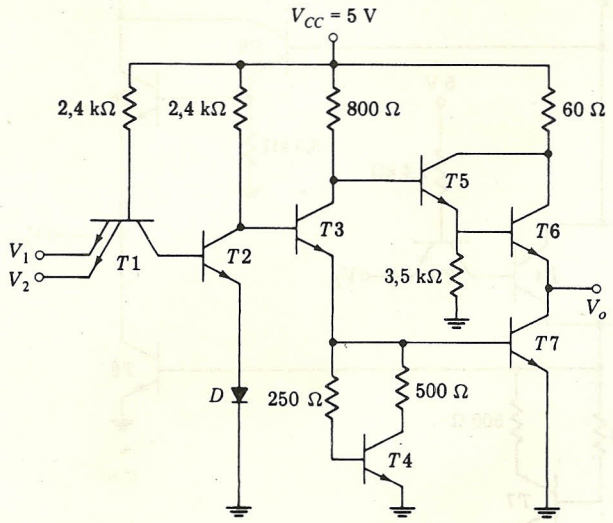


FIGURA P6.14-1

6.14-2 Escreva uma expressão que dê o nível lógico da saída em termos dos níveis lógicos da entrada V_1, V_2, V_3 e V_4 na Fig. P6.14-2.

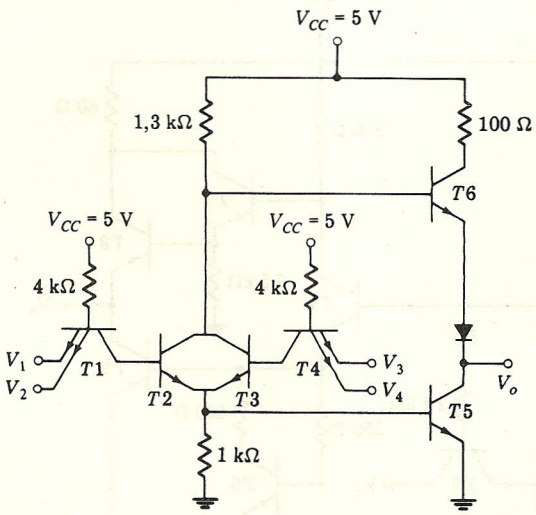


FIGURA P6.14-2

6.14-3 Desenhe, qualitativamente, a característica entrada-saída da porta TTL NOR mostrada na Fig. P6.14-3.

6.14-4 Desenhe qualitativamente a característica entrada-saída da porta TTL OR mostrada na Fig. P6.14-4.

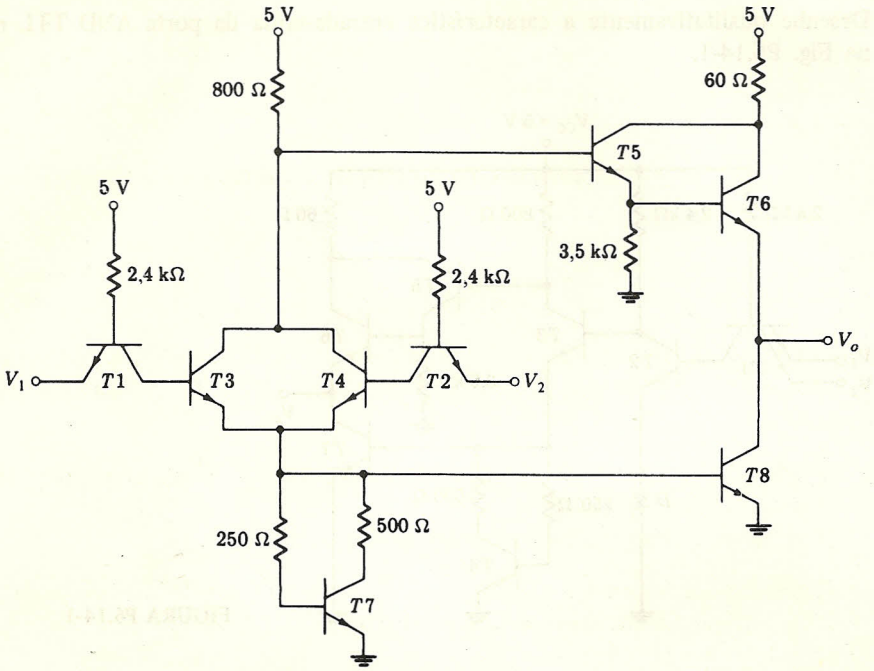


FIGURA P6.14-3

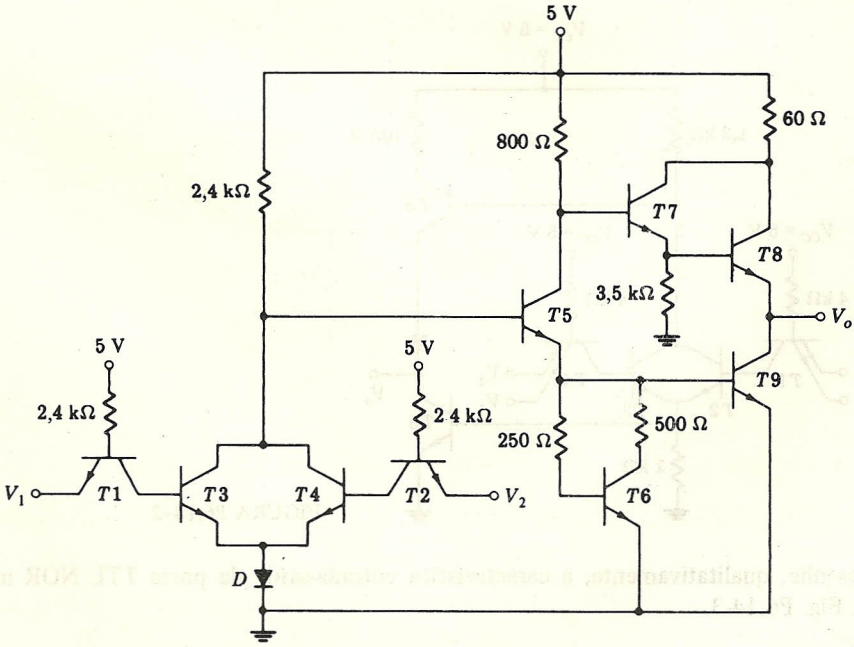


FIGURA P6.14-4

CAPÍTULO 7

A não ser que seja especificado ao contrário, utilizar $h_{FE} = 50$ e $h_{FC} = 0{,}1$ em todos os problemas. Referir-se à Fig. 1.10-1.

7.2-1 Referir-se à Fig. 7.2-1. Obter a tensão de saída V_{o2} em função de V_R, V_{CC}, R_{c2} e R_e quando (*a*) $V_i \gg V_R$ e (*b*) $V_i \ll V_R$.

7.4-1 Verificar que, como mostrado na Fig. 7.4-1, os valores de V_{o2} nos limites da região de transição são $-0{,}79$ e $-1{,}54$ V, correspondendo a V_i igual a $-1{,}1$ e $-1{,}25$ V.

7.4-2 Uma porta MECL II tem $R_{c1} = 150\ \Omega$, $R_{c2} = 170\ \Omega$ e $R_e = 650\ \Omega$. Obter a função de transferência V_{o2} *versus* V_i para uma porta OR MECL II. A característica difere da Fig. 7.4-1*a*?

7.5-1 (*a*) Desenhar a característica entrada-saída da porta NOR obtida com porta MECL II descrita no Prob. 7.4-2.
(*b*) Determinar as margens de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$ da porta.

7.6-1 (*a*) Desenhe a característica entrada-saída da porta OR MECL III mostrada na Fig. P7.6-1. Suponha que é empregado um FAN-OUT de 1.
(*b*) Calcule as margens de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$.

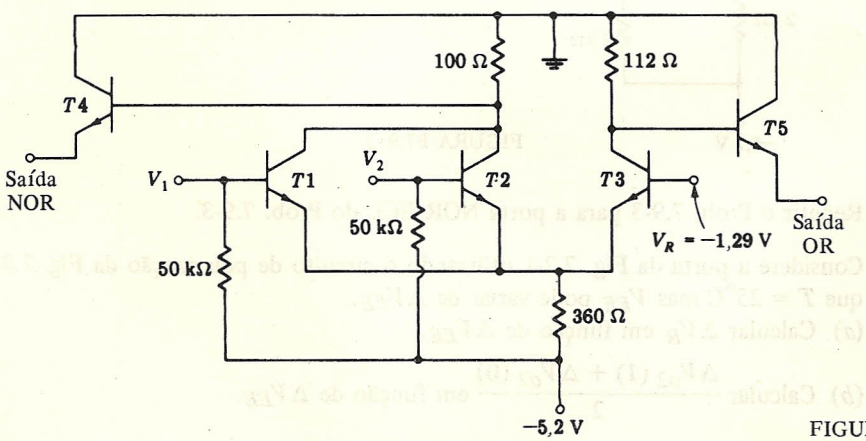


FIGURA P7.6-1

7.6-2 Repetir o Prob. 7.6-1 para a porta NOR ECL III mostrada na Fig. P7.6-1.

7.7-1 Determinar o FAN-OUT da porta ECL mostrada na Fig. 7.7-1 se a margem de ruído $\Delta\mathbf{1}$ pode cair para apenas 0,1 V.

7.9-1 Considere que a porta NOR ECL mostrada na Fig. 7.2-1 está usando o circuito de polarização mostrado na Fig. 7.9-1.
(*a*) Esboçar a característica entrada-saída da porta NOR ECL a $T = -55$ e $125°C$.
(*b*) Determinar a margem de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$ em cada temperatura.

7.9-2 (*a*) Esboçar a característica entrada-saída da porta OR ECL mostrada na Fig. 7.2-1 em $T = -55$ e 125°C.

(*b*) Determinar as margens de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$ em cada temperatura. Comparar seus resultados com as margens de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$ obtidas quando $T = 25°C$.

7.9-3 O circuito de polarização para compensação em temperatura para a porta MECL II da Fig. P7.6-1 está mostrado na Fig. P7.9-3. Considere um FAN-OUT de 5. Calcular, para o circuito de polarização de ECL e para a porta OR da Fig. P7.9-3 e para uma mudança de temperatura T, as seguintes variações:

(*a*) ΔV_R

(*b*) $\dfrac{\Delta V_{o2}\,(\mathbf{1}) + \Delta V_{o2}\,(\mathbf{0})}{2}$

(*c*) Compare (*a*) e (*b*) em $T = -55$ e 125°C.

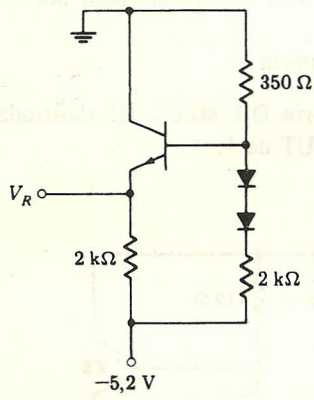


FIGURA P7.9-3

7.9-4 Repetir o Prob. 7.9-3 para a porta NOR ECL do Prob. 7.9-3.

7.9-5 Considere a porta da Fig. 7.2-1 utilizando o circuito de polarização da Fig. 7.9-1. Supor que $T = 25°C$ mas V_{EE} pode variar de ΔV_{EE}.

(*a*) Calcular ΔV_R em função de ΔV_{EE}.

(*b*) Calcular $\dfrac{\Delta V_{o2}\,(\mathbf{1}) + \Delta V_{o2}\,(\mathbf{0})}{2}$ em função de ΔV_{EE}.

(*c*) Compare (*a*) com (*b*) desenhando a relação $\lambda = \dfrac{2\,\Delta V_R}{\Delta V_o\,(\mathbf{1}) + \Delta V_o\,(\mathbf{0})}$ em função de ΔV_{EE} quando ΔV_{EE} varia de -1 a 1 V. Comentar os resultados.

7.11-1 Na seção 7.11 notamos que, em lógica ECL, o ruído introduzido em série com a tensão de alimentação aparece na saída mais atenuado quando o lado positivo da fonte é aterrado do que quando o lado negativo é aterrado. A intenção deste problema é mostrar que em lógica RTL esta vantagem não ocorre.

Considere as duas portas RTL mostradas na Fig. P7.11-1*a*. Sejam $V_{CC} = 4$ V, $R_b = 1$ kΩ e $R_c = 2$ kΩ. Se $V_1 = V_2 = 0$ V, $T3$ está saturado.

(*a*) Calcular o valor que se deve mudar V_{CC} para que $T3$ seja levado ao limiar de condução.

(*b*) Referir-se à Fig. P7.11-1*b*. Sejam $V_{EE} = 4$ V, $R_b = 1$ kΩ e $R_c = 2$ kΩ. Se $V_1 = V_2 = -4$ V, $T3$ está saturado. Calcular o valor que se deve mudar V_{EE} para que V_3 esteja no limiar de condução.

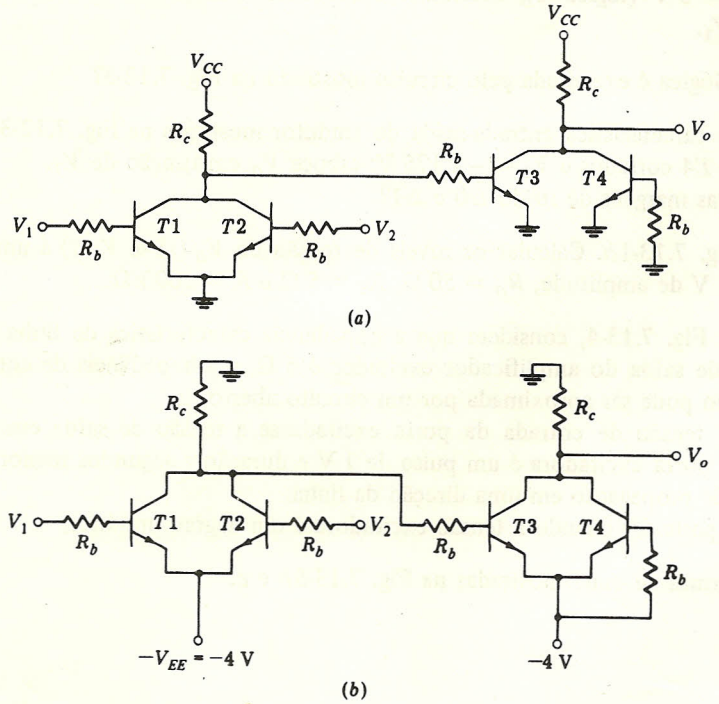


FIGURA P7.11-1

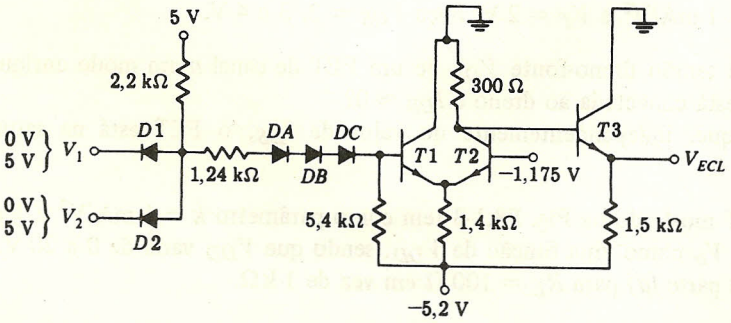


FIGURA P7.12-2

7.11-2 Calcular V_o e V_o', na Fig. 7.11-1*b*, devido a V_n quando $T1$ está cortado e $T2$ está conduzindo. Considere $R_e = 1{,}8$ kΩ e $V_R = -1{,}175$ V.

7.12-1 (*a*) Referir-se à Fig. 7.12-1. Considere $V_2 = 5$ V. Seja $V_1 = 3{,}5$ V, correspondendo à lógica **1** em TTL. Calcular V_{B1} e V_o.
(*b*) Obter V_{B1} e V_o quando $V_1 = 0{,}2$ V (lógica **0**).

7.12-2 O tradutor TTL para ECL mostrado na Fig. P7.12-2 é usado com MECL II.
(*a*) Mostrar que logicamente $V_{ECL} = V_1 \cdot V_2$.
(*b*) Para $V_2 = 5$ V (lógica **1**), determine e esboce a característica de transferência $V_{ECL} \times V_1$.

7.12-3 Que operação lógica é executada pelo circuito mostrado na Fig. 7.12-3?

7.12-4 (*a*) Desenhe a característica entrada-saída do tradutor mostrado na Fig. 7.12-3. Considere $T2$ e $T4$ cortados e $V_3 = -1{,}175$ V; esboce V_o em função de V_1.
(*b*) Quais são as margens de ruído $\Delta\mathbf{0}$ e $\Delta\mathbf{1}$?

7.13-1 Referir-se à Fig. 7.13-1*b*. Calcular os níveis de tensão de $V_o(t)$ se $V_i(t)$ é um degrau de tensão de 1 V de amplitude, $R_o = 50\ \Omega$, $R_s = 5\ \Omega$ e $R = 100\ \text{k}\Omega$.

7.13-2 Referindo-se à Fig. 7.13-4, considere que a impedância característica da linha é 50 Ω, a impedância de saída do amplificador excitador é 5 Ω, e a impedância de entrada do estágio excitado pode ser aproximada por um circuito aberto.
(*a*) Esboçar a tensão de entrada da porta excitada se a tensão de saída em circuito aberto da porta excitadora é um pulso de 1 V e duração τ segundos menor do que o tempo de propagação em uma direção da linha.
(*b*) Repetir a parte (*a*) quando a tensão excitadora é um degrau unitário.

7.13-3 Verificar as formas de onda mostradas na Fig. 7.13-5*b* e *c*.

CAPÍTULO 8

8.1-1 Desenhe I_{DS} como uma função de V_{DS} a partir das Eqs. (8.1-2) e (8.1-3) usando V_{GS} como parâmetro.
Suponha $k = 1\ \text{mA/V}^2$ e $V_T = 2$ V. Faça $V_{GS} = 2$, 3 e 4 V.

8.1-2 (*a*) Qual é a tensão dreno-fonte V_{DS} de um FET de canal *n* em modo enriquecido se a porta está conectada ao dreno e $I_{DS} \approx 0$?
(*b*) Mostre que, independentemente do valor de I_{DS}, o FET está na saturação se $V_{GD} = 0$.

8.1-3 O NMOSFET mostrado na Fig. P8.1-3 tem como parâmetro $k = 1\ \text{mA/V}^2$ e $V_T = 2$ V.
(*a*) Desenhe V_o como uma função de V_{DD}, sendo que V_{DD} varia de 0 a 20 V.
(*b*) Repita a parte (*a*) para $R_L = 100\ \Omega$ em vez de $1\ \text{k}\Omega$.

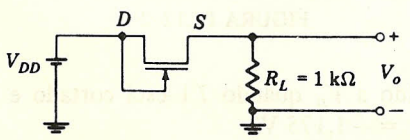


FIGURA P8.1-3

8.1-4 Repita o Prob. 8.1-3 para um NMOSFET em modo de depleção, possuindo $V_T = -2$ V.

8.1-5 Um NMOSFET em modo de depleção opera no circuito mostrado na Fig. P8.1-3, porém ele é reconectado de modo que a porta fica ligada à fonte em vez de no dreno. Desenhe V_o e I_{DS} como uma função de V_{DD} à medida que V_{DD} varia de 0 a 20 V. Suponha $V_T = -2$ V e $k = 1$ mA/V^2.

8.1-6 Um PMOSFET e um NMOSFET estão conectados em paralelo conforme mostrado na Fig. P8.1-6.

(*a*) Desenhe V_i como uma função de I_i se os FETs forem dispositivos em modo enriquecido, cada um com uma tensão $V_T = 2$ V e com o mesmo valor de $k =$ $= 1$ mA/V^2. Deixe V_i variar de -20 a $+20$ V e considere $V_{GG} = 5$ V.

(*b*) Estime a resistência efetivamente vista olhando-se para o circuito.

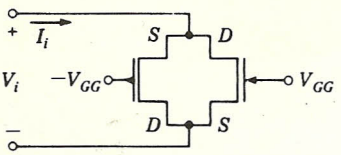


FIGURA P8.1-6

8.1-7 Os NMOSFETs em modo enriquecido, mostrados na Fig. P8.1-7*a* e *b*, são idênticos. Os circuitos em que eles são empregados diferem, já que o substrato do FET em (*a*) está conectado à fonte, enquanto o substrato do FET em (*b*) está conectado à terra. A tensão $V_T = 2 + \sqrt{|V_{BS}|}$, onde V_{BS} é a tensão do substrato à fonte. Se $k = 1$ mA/V^2,

(*a*) Desenhe V_o *versus* V_i para ambos os circuitos (Fig. P8.1-7*a* e *b*).

(*b*) Compare os desenhos obtidos na parte (*a*).

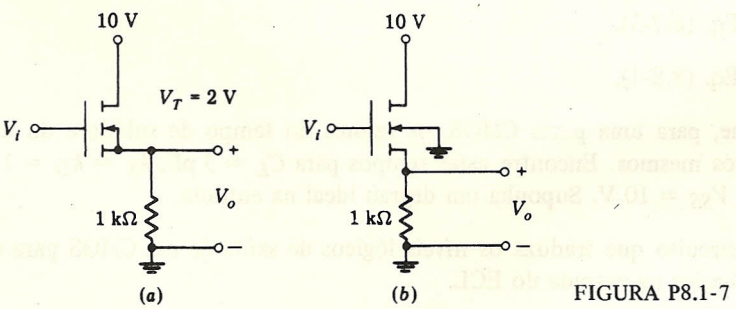


FIGURA P8.1-7

8.3-1 Obtenha as equações e desenhe a característica entrada-saída do inversor mostrado na Fig. 8.3-1*a*. Seja $k_1 = 40\,k_2$.

8.3-2 Repita o Prob. 8.3-1 para o inversor mostrado na Fig. 8.3-1*b*. Prove que o transistor de carga está saturado.

8.5-1 Verifique a Eq. (8.5-8).

8.5-2 Verifique a Eq. (8.5-9).

8.6-1 Verifique as tabelas da verdade das Figs. 8.6-1 e 8.6-2.

8.6-2 Quais seriam as operações lógicas se, nas Figs. 8.6-1 e 8.6-2, os NMOSFETs fossem substituídos por PMOSFETs?

8.6-3 Considere o empilhamento de dois transistores BJT conforme é mostrado na Fig. P8.6-3. V_1 e V_2 estão cada um em 0 ou 5 V. Se a tensão de saturação de cada transistor for 0,2 V, quantos transistores podem ser empilhados? Lembre-se de que, se V_o tiver de estar no nível lógico **0**, sua tensão deve ser menor do que 0,65 V.

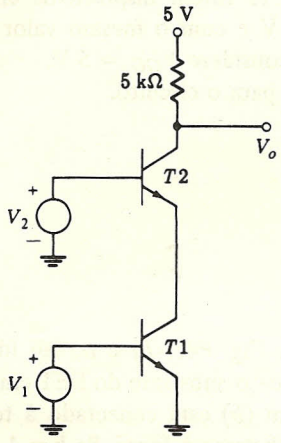


FIGURA P8.6-3

8.6-4 Determine as operações lógicas que seriam realizadas pelas portas mostradas na Fig. 8.6-3*a* e *c* se fossem empregados NMOSFETs em vez de PMOSFETs.

8.7-1 Verifique a Eq. (8.7-3).

8.8-1 Verifique a Eq. (8.8-4).

8.10-1 Verifique que, para uma porta CMOS, os valores do tempo de subida e do tempo de descida são os mesmos. Encontre estes tempos para $C_L = 5$ pF, $k_L = k_D = 1$ mA/V^2, $V_T = 2$ V e $V_{SS} = 10$ V. Suponha um degrau ideal na entrada.

8.12-1 Projete um circuito que traduza os níveis lógicos de saída de um CMOS para os níveis lógicos necessários na entrada do ECL.

8.12-2 Repita o Prob. 8.12-1 para o ECL excitando um CMOS.

8.12-3 Verifique a Eq. (8.12-1).

CAPÍTULO 9

9.1-1 Considere uma configuração de portas com acoplamento cruzado como na Fig. 9.1-1 exceto que são utilizadas portas OR.

(*a*) Mostrar que, quando os terminais de entrada de dados habilitam as duas portas, os dois terminais de saída podem permanecer permanentemente na lógica **0** ou na lógica **1** e que, portanto, o circuito constitui um flip-flop, isto é, um dispositivo com dois estados permanentes.

(*b*) Mostrar que por manipulação dos terminais de dados é possível induzir uma transição de estado em uma direção mas não na outra.

(*c*) Repetir as partes (*a*) e (*b*) para portas AND.

(*d*) Se uma porta é AND e a outra é uma porta OR, mostrar que podem ser induzidas transições nos dois sentidos.

9.4-1 Projetar um flip-flop *RS* utilizando portas NAND, onde os terminais de entrada são S e R (e não $\bar{S}$ e $\bar{R}$) e que satisfaça a tabela da verdade mostrada na Fig. 9.4-1*c*. Quantas portas NAND são necessárias?

9.4-2 (*a*) Referir-se à Fig. 9.1-1*a*. Supor que $R = \mathbf{0}$ e que um pulso de largura τ aparece no terminal S, de modo que $S = \mathbf{1}$ durante um tempo τ. Se o tempo de retardo de propagação em cada porta é t_{pd}, esboçar a saída Q em função do tempo se Q é inicialmente **0** para:

(1) $\tau > 2\,t_{pd}$

(2) $t_{pd} < \tau < 2\,t_{pd}$

(3) $\tau < t_{pd}$

(*b*) Repetir a parte (*a*) para a porta NAND mostrada na Fig. 9.4-1*a*.

9.6-1 Projetar um flip-flop *SR* síncrono utilizando portas NOR tal que as entradas diretas S_d e R_d sobrepõem o relógio.

9.7-1 Mostrar que, se dois flip-flop mestre-escravo, sendo cada um como o mostrado na Fig. 9.7-2, são ligados em cascata, a entrada do primeiro flip-flop aparecerá na saída do segundo flip-flop, depois que passarem dois intervalos de relógio.

9.7-2 Se, na Fig. 9.7-3, $\bar{S}_d = \mathbf{1}$ e $\bar{R}_d = \mathbf{0}$, mostrar que $Q = \mathbf{0}$ e $\bar{Q} = \mathbf{1}$ qualquer que seja o estado lógico das entradas S, R e C.

9.7-3 Obter uma tabela da verdade para o flip-flop mostrado na Fig. 9.7-3 se as entradas diretas $\bar{R}_d$ e $\bar{S}_d$ são retiradas do flip-flop mestre. Isto é, com $\bar{R}_d$ e $\bar{S}_d$ aplicadas apenas no flip-flop escravo, obter Q para todas as combinações de $\bar{R}_d$ e $\bar{S}_d$ e para $C = \mathbf{1}$ e **0**. Incluir todas as possibilidades.

9.8-1 (*a*) Referir-se à Fig. 9.1-1 e considerar que portas ECL estão sendo empregadas. Supor inicialmente $R = S = \mathbf{0}$, de modo que $R = S = -1{,}58$ V (veja Fig. 7.4-1). Estimar a que tensão um dos terminais de dados deve ser elevado para efetuar uma transição no flip-flop.

(*b*) Em seguida, referir-se à Fig. 9.8-1. Supor que uma das entradas dinâmicas seja derivada da saída de uma porta excitadora ECL. Considerar que esta entrada varia da lógica **0** para a lógica **1** linearmente em um tempo T e que a constante de tempo rC é 1 ns. Desprezar os retardos de propagação nos flip-flops e ignorar qualquer carga nas entradas R e S. Qual é o tempo de subida T máximo para o qual o flip-flop responderá?

9.8-2 O flip-flop na Fig. 9.8-1 usa portas ECL com níveis lógicos $-1{,}58$ e $-0{,}76$ V. Considere que o flip-flop fará uma transição quando as entradas R ou S passarem pela tensão de limiar $-1{,}175$ V. Os retardos de propagação da porta são de 1 ns. As entradas em $\overline{R}_D$ e $\overline{S}_D$ são degraus abruptos da lógica **0** para a lógica **1**. Obter a constante de tempo mínima rC para assegurar que R ou S permanecerá acima do limiar o tempo suficiente para se ter certeza de que o flip-flop responderá.

9.8-3 Considere que portas NAND DTL são utilizadas na Fig. 9.8-3. Então $\overline{S}$ (e $\overline{R}$) deve ir de 5 V para alguma tensão menor do que, digamos, 1,3 V para assegurar uma mudança de estado na saída. Suponha que S_D diminua linearmente de 5 V até 0 V em um tempo T e que $rC = 1$ ns. Obtenha o máximo valor de T a que o flip-flop ainda responde. Despreze o tempo de retardo de propagação das portas.

9.9-1 Verificar as tabelas da verdade dadas na Fig. 9.9-1*b*, *c* e *d*.

9.10-1 Referir-se à Fig. 9.10-1. Os níveis lógicos são 0 e 5 V. A constante de tempo para a carga de um capacitor é 100 ns, e para a descarga é 50 ns.

(*a*) Sejam $S = \mathbf{1}$ e $C = \mathbf{0}$ inicialmente. Em $t = 0$, C sobe abruptamente para lógica **1**. Quanto tempo deve C permanecer na lógica **1** para que S' suba para 2 V (2 V e acima é lógica **1**)?

(*b*) Considere que C está no nível lógico **1** por um tempo suficientemente longo para assegurar que S atingiu 5 V. Suponha que S' deve permanecer acima de 2 V de modo que, quando $\overline{C} = \mathbf{1}$, a saída da porta $2A$ estará no nível lógico **0**. Qual é o máximo tempo de retardo de propagação da porta permitido para assegurar uma transição na saída quando o relógio $\overline{C}$ volta para lógica **1**? Suponha que todas as portas têm o mesmo tempo de retardo de propagação.

9.11-1 Referir-se à Fig. 9.11-1*a*. Considere que A varia de 0 V (lógica **0**) para 5 V (lógica **1**) linearmente em um tempo T_R, que o tempo de retardo de propagação das portas 1 e 2 é t_{pd}, e que a saída da porta 1 diminui linearmente de 5 para 0 V em um tempo T_F. Suponha que, para assegurar que a saída da porta 2 vai para a lógica **1**, as entradas A e C devem exceder simultaneamente 2 V. Obter uma expressão para o tempo T_o durante o qual as duas entradas da porta 2 permanecem simultaneamente acima de 2 V em função de T_F, T_R e t_{pd}.

9.11-2 Verificar a tabela da verdade dada na Fig. 9.11-2*b*.

9.12-1 Um flip-flop TOGGLE *JK* deve ser construído utilizando o flip-flop sensível à borda com acoplamento ca mostrado na Fig. 9.9-1. Redesenhar a figura para mostrar a ligação de Q e $\overline{Q}$ com as portas de entrada $1A$ e $1B$.

9.12-2 Repetir o Prob. 9.12-1 utilizando o flip-flop com armazenamento capacitivo mostrado na Fig. 9.10-1.

9.12-3 Repetir o Prob. 9.12-1 utilizando o flip-flop com retardo de propagação mostrado na Fig. 9.11-2.

9.13-1 No circuito da Fig. 9.13-2, substitua toda porta por uma porta NOR e mude $\overline{S}$ e $\overline{R}$ nas entradas das portas $3A$ e $3B$ para S e R, respectivamente. Mostre que o circuito permanece um flip-flop tipo D verificando que:

(*a*) Quando $C = \mathbf{0}$ ou quando $C = \mathbf{1}$, mudanças em D não têm efeito na saída.
(*b*) Quando $D = \mathbf{0}$, uma transição de C de **1** para **0** resulta em Q indo ou permanecendo em $Q = \mathbf{0}$.
(*c*) Quando $D = \mathbf{1}$, uma transição de C de **1** para **0** resulta em Q indo ou permanecendo em $Q = \mathbf{1}$.
(*d*) Uma transição de C de **0** para **1** não resulta em mudança na saída.

9.15-1 Mostrar que o flip-flop mostrado na Fig. 9.15-4*b* pode funcionar como um flip-flop mestre-escravo.

9.17-1 Se, na Fig. 9.17-2, $S = R = -1{,}58$ V e $Q = \mathbf{1}$, enquanto $\bar{Q} = \mathbf{0}$, calcular os valores de tensão para Q, $\bar{Q}$, V_{E1} e V_{E2}.

9.17-2 Um flip-flop ECL de alta velocidade capaz de mudar de estado em 85 MHz está mostrado na Fig. P9.17-2. Neste circuito de flip-flop, os diodos $D1$, $D2$ e seus transistores associados, e os transistores *TRA* e *TRB* fornecem a tensão de referência V_R (não disponível no flip-flop mostrado na Fig. 9.17-2).
Calcular:
(*a*) V_R
(*b*) Os níveis de tensão de saída em Q e $\bar{Q}$ com $S = R = \mathbf{0}$
(*c*) V_{E1} e V_{E2} com $S = R = \mathbf{0}$
(*d*) V_{E1} e V_{E2} quando $S = \mathbf{1}$ ($-0{,}76$ V) e $R = \mathbf{0}$ ($-1{,}58$ V).

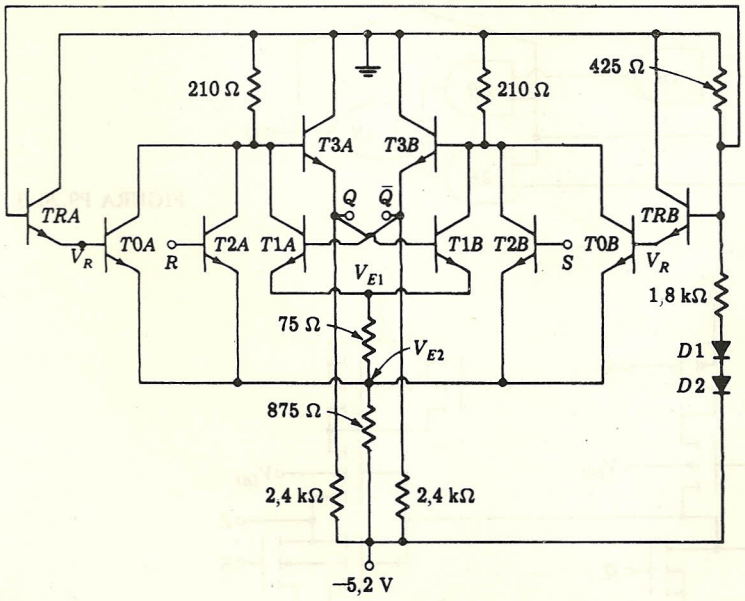


FIGURA P9.17-2

9.18-1 Demonstre que o flip-flop mostrado na Fig. 9.18-1 corresponde à estrutura de porta do flip-flop da Fig. 9.9-1.

9.18-2 Mostre que as tabelas da verdade dadas na Fig. 9.18-2 descrevem a operação do flip-flop ECL mostrado na Fig. 9.18-1.

9.18-3 Verifique os níveis de tensão quiescente dados na Fig. 9.18-3 para $\overline{J} = \overline{K} = \mathbf{0}$, $\overline{Q} = \mathbf{1}$ e $Q = \mathbf{0}$.

9.20-1 Referindo-se à Fig. 9.20-2, mostrar que $T4A$ está no limiar de condução quando a tensão no emissor de $T2B$ é aproximadamente 1 V.

9.20-2 Referindo-se à Fig. 9.20-2 com $J = K = \overline{C} = \overline{Q} = 1$, determine a tensão de base aproximada e a corrente de base de $T4B$ no regime permanente, isto é, quando a corrente no capacitor C_A é zero.

9.20-3 Um flip-flop *JK* TTL sensível à borda capaz de mudar de estado na freqüência de 50 MHz está mostrado na Fig. P9.20-3. O circuito não contém capacitores. Mostrar que, apesar disto, é um flip-flop sensível à borda. Derive uma tabela da verdade para este circuito.

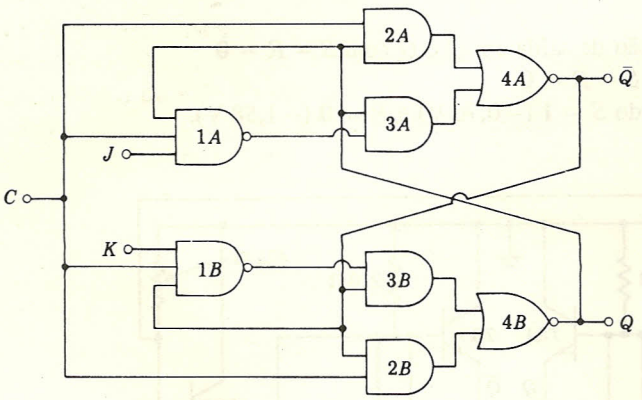


FIGURA P9.20-3

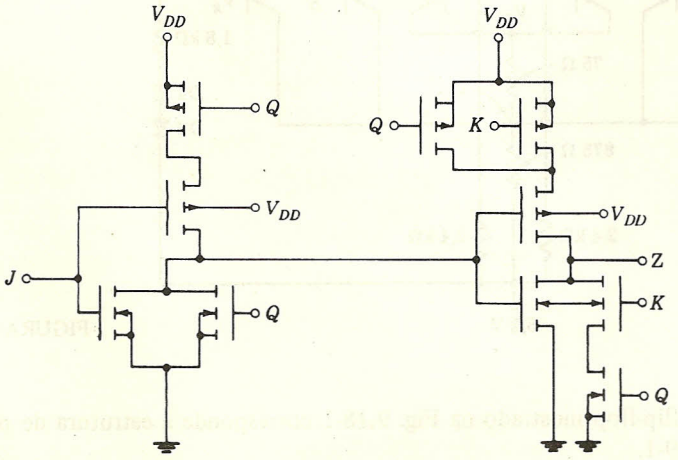


FIGURA P9.21-2

9.21-1 Utilizando a Fig. 9.21-3, verificar que a entrada para chave S_Z é $Z = Q\bar{K} + J\bar{Q}$.

9.21-2 Mostrar que a configuração da porta de entrada da Fig. 9.21-3 com entradas Q, J e K e saída Z pode ser realizada como na Fig. P9.21-2.

9.21-3 Verificar a tabela da verdade do JK na Fig. 9.21-3*b*.

CAPÍTULO 10

10.1-1 Considere o registrador de deslocamento de 4 bits mostrado na Fig. 10.1-1*a*. Se a seqüência de entrada **1010110** for aplicada à entrada D_0 sincronamente com o relógio,* desenhe a saída de cada flip-flop. Suponha que, inicialmente, cada $Q = 0$.

10.1-2 Considere o registrador de 4 bits mostrado na Fig. 10.1-1*b*. Suponha inicialmente que $Q_0 = 1$, $Q_1 = 0$, $Q_2 = 1$, $Q_3 = 1$. Desenhe a saída de cada flip-flop se uma seqüência de entrada 101101 for aplicada a D_0 sincronamente com o relógio.

10.4-1 A Fig. P10.4-1 mostra um registrador de deslocamento de três estágios com o *end around carry*. O sistema é projetado de modo que o sinal de entrada esteja desconectado da entrada D_0 do registrador e a saída Q_2 esteja conectada a D_0 depois do terceiro pulso do relógio. Uma nova informação pode então ser inserida no registrador, somente depois da aplicação de um pulso de restabelecimento (RESET) *direto* ao contador *FF*3 e *FF*4. Depois da aplicação do pulso de restabelecimento, 3 novos bits de dados podem ser alimentados ao registrador.

(*a*) Mostre que, se Q_3 e Q_4 estiverem ambos no estado **0** inicialmente, a saída da porta *G*5 será **1** depois de 3 pulsos do relógio.

(*b*) Mostre que, uma vez que a saída de *G*5 é **1**, os pulsos do relógio ficam inibidos dos flip-flops *JK*, *FF*3 e *FF*4.

(*c*) Mostre que, depois do terceiro pulso do relógio, sinal de entrada é inibido do registrador e Q_2 fica conectado à entrada D_0.

(*d*) Reprojete o sistema, supondo que há somente a disponibilidade de portas NAND.

10.5-1 Cada circuito excitador mostrado na Fig. 10.5-1 consiste em duas portas AND e uma porta OR; digamos que as portas são 1*A*, 1*B* e 1*C*.

(*a*) Se somente portas NAND estão disponíveis, reprojete o circuito excitador.

(*b*) Repita agora se somente houvesse a disponibilidade de portas NOR.

(*c*) Quando usamos portas CMOS, ambas as portas NAND e NOR podem ser usadas juntas. Há alguma economia alcançada ao usarmos portas NAND e NOR para construirmos um circuito excitador? Mostre seu projeto.

10.6-1 Na Fig. 10.6-2, se o STROBE sempre estiver no estado **1**, desenhe as saídas "real" e "ideal" de K_1 a K_7. As formas de onda para Q_0, Q_1 e Q_2 são mostradas na Fig. 10.6-3. Suponha que o tempo de retardo na propagação em cada flip-flop é 20 por cento do período do relógio.

* Nestes exercícios usaremos indistintamente RESET ou restabelecido (restabelecimento) e SET ou acionado (acionamento), devido ao uso comum destes termos em inglês. (N. do R. T.)

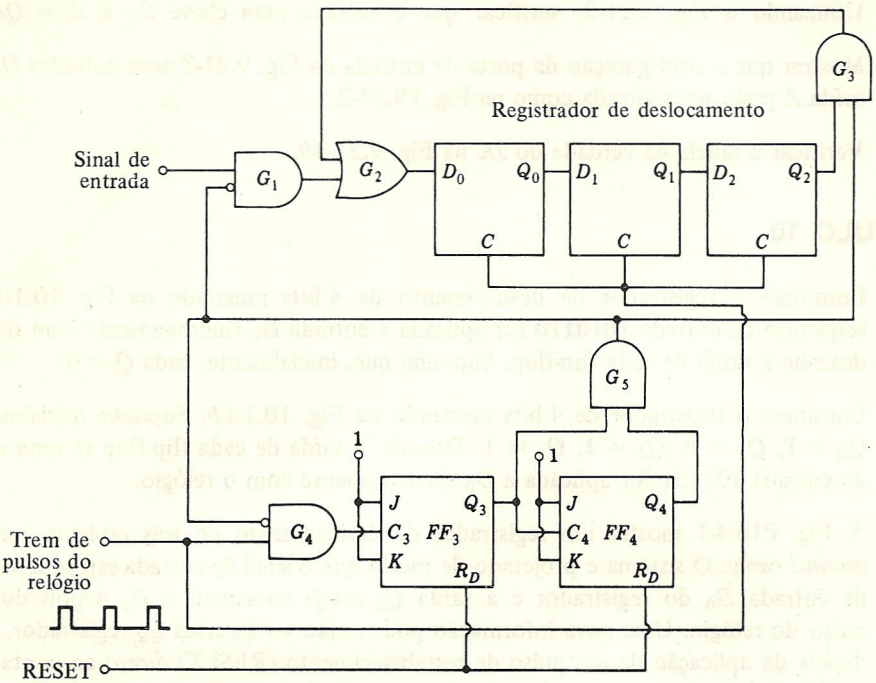


FIGURA P10.4-1

10.6-2 Um contador RIPPLE deve operar na freqüência máxima de 10 MHz. Se o tempo de retardo na propagação de cada flip-flop do contador for 10 ns e se o tempo de STROBE for 50 ns, quantos estágios o contador pode ter?

10.6-3 Um contador RIPPLE de 10 estágios é construído usando-se flip-flops individuais, cada um tendo um tempo de retardo na propagação de 5 ns. O tempo de STROBE é de 50 ns. Qual freqüência máxima do contador permite ainda a leitura correta?

10.7-1 O tempo de retardo na propagação em uma porta ECL é de 1 ns e o de um flip-flop ECL é 2 ns. Se o tempo de STROBE é de 5 ns e se deseja um contador de 5 estágios, compare a freqüência máxima de contagem em um contador RIPPLE e em um contador síncrono serial.

10.7-2 Considere o contador síncrono paralelo mostrado na Fig. 10.7-2. Suponha que a relação entre o tempo de retardo da propagação e o FAN-OUT de qualquer um dos flip-flops usados é

$$t_{pd} = t_{pd0} + \lambda F$$

onde λ é uma constante de proporcionalidade e F é o FAN-OUT necessário. Se um contador de N estágios deve ser projetado com um tempo de STROBE T_S, mostre que a freqüência máxima do relógio é

$$f_{\max} = \frac{1}{t_{pd0} + \lambda(N-1) + T_s}$$

Em particular, se $t_{pd0} = 8$ ns, $\lambda = 1$ ns, $N = 5$ e $T_s = 20$ ns, calcule $f_{\max}$.

10.9-1 Verifique a tabela da verdade para o flip-flop *JK* dado na Tabela 10.9-2.

10.9-2 (*a*) Verifique os mapas K mostrados na Fig. 10.9-1.
(*b*) Mostre que, quando os mapas K são lidos, o resultado é a Eq. (10.9-1).
(*c*) Mostre que outra solução possível é $J_0 = \bar{Q}_1$, $K_0 = \bar{Q}_1$, $J_1 = Q_0$, $K_1 = \bar{Q}_0$.

10.9-3 Dois flip-flops operados sincronamente são interconectados usando as conexões $J_0 = \bar{Q}_1$, $K_0 = \bar{Q}_1$, $J_1 = Q_0$ e $K_1 = \bar{Q}_0$. Derive a configuração resultante do contador e tabule sua seqüência de contagem. Qual é o módulo do contador?

10.10-1 Verifique os mapas K mostrados na Fig. 10.10-1.

10.10-2 (*a*) Mostre que uma leitura da Fig. 10.10-1 é $J_0 = \bar{Q}_2$, $K_0 = \bar{Q}_2$, $J_1 = Q_0$, $K_1 = Q_0$, $J_2 = Q_0Q_1$ e $K_2 = \bar{Q}_0$.
(*b*) Encontre a configuração resultante do contador de módulo 5.

10.10-3 (*a*) Obtenha os mapas K para as entradas *J* e *K* dos três flip-flops usados para construir o contador de módulo 5 descrito pela tabela de assinalamento de estados, dados na Tabela 10.10-2.
(*b*) Verifique a Eq. (10.10-2).

10.10-4 Considere a seguinte tabela de assinalamento de estado para um contador de módulo 5.

S	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	1
3	1	1	1
4	1	1	0

Derive uma configuração para o contador.

10.11-1 Mostre que o *chaveamento* não será encontrado em nenhum dos estados não usados do contador da Fig. 10.10-2.

10.11-2 Projete um contador de módulo 5 usando a tabela de estado dada no Prob. 10.10-4. Seu projeto deve incluir os circuitos necessários para assegurar que, se terminarmos em um estado não utilizado, o pulso do relógio seguinte levará o RESET do contador para $Q_2Q_1Q_0 = \mathbf{000}$.

10.11-3 Projete um contador de módulo 7. Incorpore em seu projeto a condição de que, se houver a ocorrência de um estado não utilizado, o pulso seguinte do relógio levará o RESET do contador para $Q_2Q_1Q_0 = \mathbf{000}$, que deve ser um estado usado.

10.12-1 Projete um contador de década pondo em cascata um contador de módulo 5 e um de módulo 2. O contador de módulo 5 estará conectado à entrada e o de módulo 2 segue no fim da cascata.

(*a*) Mostre a lógica de decodificação necessária para a configuração.

(*b*) Que lógica de decodificação necessita de menos portas: a lógica necessária neste sistema ou a do sistema mostrado na Fig. 10.21-1?

10.12-2 Projete um contador de módulo 6 usando um de módulo 2 e outro de módulo 3. Mostre a lógica de decodificação necessária.

10.12-3 Projete um contador de módulo 9 colocando em cascata 2 contadores de módulo 3. Mostre a lógica de decodificação necessária.

10.13-1 Projete um contador de módulo 3 usando a técnica apresentada na seção 10.13, isto é, pelo uso das entradas de SET e/ou RESET diretos.

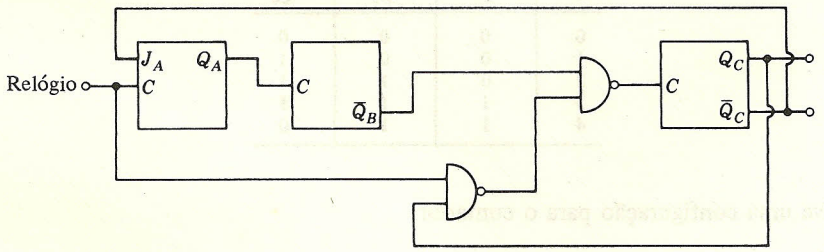
10.13-2 Projete um contador de módulo 5 usando a técnica apresentada na seção 10.13.

10.13-3 Projete um contador de módulo 9 usando a técnica apresentada na seção 10.13.

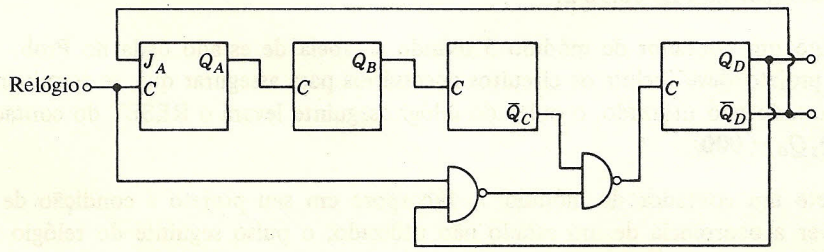
10.13-4 Contadores do tipo RIPPLE de módulo arbitrário podem ser construídos adicionando-se porta a um arranjo de flip-flops em contador, de modo a evitar que o contador passe em alguns estados. Não há um procedimento especial para projeto. Exemplos são dados na Fig. P10-13-4. Todos os terminais J e K que não estão explicitamente indicados estão fixos no nível lógico 1.

(*a*) Verifique que o contador em (*a*) tem um módulo 5 e que o contador em (*b*) tem um módulo 9.

(*b*) Tente um projeto de um contador de módulo 7.



(*a*)



(*b*)

FIGURA P10.13-4

10.13-5 No circuito do contador da Fig. P10.13-5, os flip-flops são do tipo *JK* como os encontrados em ECL. Uma entrada de relógio está disponível através da ligação das entradas J com uma das entradas K. Os flip-flops respondem ao relógio, quando este realiza uma transição de **0** para **1**. Eles têm a característica adicional de que, se todos os terminais $\overline{J}$ e $\overline{K}$ estiverem no **0** lógico e se então qualquer entrada $\overline{K}$ fizer uma transição de **0** a **1**, o flip-flop ficará em RESET ou irá para o RESET. Da mesma forma, uma transição de uma entrada J de **0** para **1** fará o flip-flop ficar em SET ou deixará que ele permaneça em SET. No contador mostrado, todas as entradas $\overline{J}$ e $\overline{K}$ não mostradas estão no **0** lógico.

(*a*) Verifique que, se a conexão de $\overline{J}_0$ é ignorada, os N primeiros flip-flops constituem um contador direto de módulo 2^N.

(*b*) Mostre que, em virtude da adição do último flip-flop e da conexão de realimentação a $\overline{J}_0$, o contador tem um módulo $2^N + 1$.

(*c*) Usando o princípio ilustrado e usando somente flip-flops (sem portas externas), construa um contador de módulo 3 e um de módulo 5.

(*d*) Construa um contador de módulo 7 [observe que $7 = 2 \times (2 + 1) + 1$], um de módulo 11 [$11 = 2 \times (2^2 + 1) + 1$], e um de módulo 25 [$25 = 8 \times (2 + 1) + 1$].

(*e*) Construa um algoritmo que nos levará a um contador de módulo arbitrário.

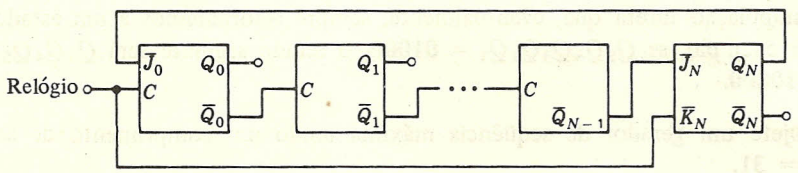


FIGURA P10.13-5

10.14-1 Observe o contador de RIPPLE de 4 estágios mostrado na Fig. 10.6-1. Mostre que, se C_1 estiver conectado a $\overline{Q}_0$, C_2 a $\overline{Q}_1$ e C_3 a $\overline{Q}_2$, as saídas do contador $Q_3Q_2Q_1Q_0$ contarão para baixo. Isto significa que, se fizermos $Q_3Q_2Q_1Q_0$ igual a **0000**, a contagem seguinte será **1111**, depois **1110**, etc.

10.14-2 Observe o contador de RIPPLE crescente-decrescente mostrado na Fig. 10.14-1. Suponha que estivemos contando no sentido direto e, depois do k-ésimo sinal de entrada, a contagem é **0101**. Neste instante, o sentido da contagem é invertido, isto é, M se torna $M = \mathbf{0}$.

(*a*) Encontre o valor gravado pelo contador logo após M se tornar $M = \mathbf{0}$ e antes que chegue a próxima entrada para a contagem.

(*b*) Encontre o valor gravado pelo contador depois da entrada de ordem $(k + 1)$.

10.14-3 Mostre que o contador crescente-decrescente da Fig. 10.14-2 pode ser invertido em qualquer contagem sem erro. Como exemplo, considere que, depois da k-ésima contagem no sentido direto, a leitura no contador é $Q_3Q_2Q_1Q_0 = \mathbf{0101}$. Neste instante, a direção na contagem é invertida de modo que $M = \mathbf{0}$.

(*a*) Encontre a leitura no contador logo após M ter mudado para $M = \mathbf{0}$, mas antes do pulso de entrada de ordem $(k + 1)$.

(*b*) Encontre a leitura do contador depois do pulso de entrada de ordem $(k + 1)$.

10.15-1 Verifique a Eq. (10.15-2).

10.15-2 Projete um contador de década UP-DOWN síncrono.

10.15-3 Projete um contador UP-DOWN de módulo 9. Use dois contadores de módulo 3 em cascata.

10.16-1 (*a*) Verifique a tabela da verdade dada na Fig. 10.16-2*b*.
(*b*) Verifique a lógica de decodificação tabulada para este contador de década.

10.16-2 Suponha que, devido ao ruído, o contador de década em anel da Fig. 10.16-1 se encontra no estado $Q_5Q_4Q_3Q_2Q_1 = \mathbf{10101}$. Determine os estados resultantes do contador durante os 10 pulsos de entrada seguintes. Mostre que há o aparecimento do chaveamento.

10.16-3 Observe a Fig. 10.16-3. A adição da porta AND faz $J_1 = \bar{Q}_4 \cdot \bar{Q}_5$.
(*a*) Iniciando com $Q_5Q_4Q_3Q_2Q_1 = \mathbf{00000}$, mostre que resultam os estados do contador dados na tabela da verdade da Fig. 10.16-2*b*.
(*b*) Se, devido ao ruído, o contador se encontrar no estado $Q_5Q_4Q_3Q_2Q_1 = \mathbf{10101}$, mostre que eventualmente o contador retornará a um estado utilizado.
(*c*) Para o contador mostrado na Fig. 10.16-3, há 22 estados não usados. Mostre por manipulação direta que, eventualmente, sempre retornaremos a um estado usado. Por exemplo, se $Q_5Q_4Q_3Q_2Q_1 = \mathbf{01000}$, o estado seguinte será $Q_5Q_4Q_3Q_2Q_1 = \mathbf{10000}$.

10.17-1 (*a*) Projete um gerador de seqüência máxima tendo um comprimento de seqüência $S = 31$.
(*b*) Mostre que a função correlação de qualquer saída de um flip-flop, $Q_1(k)$ por exemplo, é

$$R_{Q_1(i)} = \sum_{k=1}^{31} Q_1(k)Q_1(k+i) = \begin{cases} 31 & i = 0 \\ -1 & i \neq 0 \end{cases}$$

Para obter este resultado, seja 1 V o **1** lógico e -1 V o **0** lógico.

10.17-2 Projete um gerador de seqüência para gerar a seqüência **101101110110** em Q_1.
(*a*) Que seqüência aparece em D_1?
(*b*) Que seqüência aparece em Q_2?
(*c*) Quantos flip-flops são necessários para determinar D_1 unicamente como função de $Q_1, Q_2, \ldots$?
(*d*) Determine a expressão lógica para $D_1 = f(Q_1, Q_2, \ldots)$.

10.17-3 Projete um gerador de seqüência que tenha um comprimento $L = 10$. Tal gerador pode ser usado como um contador de década. Mostre a lógica de decodificação necessária, se o gerador deve funcionar como um contador. Observe que um contador é um gerador de seqüência apropriado. Tal gerador de seqüência não precisa ser de *máximo comprimento*.

CAPÍTULO 11

11.3-1 O somador série da Fig. 11.3-1 tem os números **01101** e **00111** armazenados nos dois registradores de 5 bits ADDEND e AUGEND, respectivamente. Fazer os gráficos de tempo da operação do somador durante o intervalo de seis ciclos de relógio. Comece desenhando a forma de onda do relógio, e abaixo na mesma escala de tempo desenhe as formas de onda da saída do somador completo, a saída do flip-flop tipo D, e os bits armazenados no registrador soma.

11.4-1 (*a*) Some os números A = **01101** e B = **00111** usando o somador paralelo mostrado na Fig. 11.4-1. Determine a soma $S = C_{n-1}\, S_{n-1}, S_{n-2} \ldots S_0$.

(*b*) Se o tempo de retardo de propagação de cada somador completo de 1 bit é τ, calcule o tempo de atraso entre a apresentação dos números ao somador e o aparecimento da soma completa na saída.

11.5-1 Os números **0010**, **0011**, **0101** estão presentes, em seqüência, nos terminais do acumulador da Fig. 11.5-1, em sincronismo com uma forma de onda de relógio. Em cada ciclo de relógio, especificar o registro em cada um dos três registradores.

11.5-2 Verificar a Eq. (11.5-2).

11.5-3 O número $X_2(0)X_1(0)X_0(0)$ = **011** foi colocado no registrador da Fig. 11.5-2 durante o ciclo de relógio zero. Depois, o número $X_2(1)X_1(1)X_0(1)$ = **101** está presente nas entradas e deve ser somado ao primeiro número durante o primeiro ciclo de relógio. Mostre que a soma completa $S = S_3S_2S_1S_0$ só irá aparecer depois que todos os vai um se propagaram através do acumulador.

11.6-1 Projete um circuito combinatório (apenas portas, sem flip-flops) que aceita dois números de 2 bits e forneça a soma. Considere que estão disponíveis os bits e seus complementos. Note que neste esquema não há propagação de vai um.

11.6-2 Repetir o Prob. 11.6-1 para três números de dois bits.

11.6-3 Verificar a Eq. (11.6-1).

11.6-4 Referir-se à Fig. 11.6-1. Se o retardo de propagação em cada somador completo é T_A e nas portas G_1 a G_4, G_0 e G_A é T_G, calcular o retardo de propagação máximo entre C_{in} e C_{out}.

11.6-5 Referir-se à Fig. 11.6-2*b*. Repetir o Prob. 11.6-4 e obter o atraso máximo entre C_0 e C_8.

11.6-6 Em um somador de 24 bits, use um circuito de contorno para cada 4 bits de soma, como na Fig. 11.6-2. Calcule o tempo de atraso do somador no pior caso. Considere que o atraso em cada contorno é comparável ao atraso em cada somador completo de 1 bit.

11.7-1 Repetir o Prob. 11.6-1 para subtração.

11.7-2 Repetir o Prob. 11.6-2 para subtração.

11.8-1 Queremos armazenar números em um registrador de oito lugares. Os números negativos serão dados pela representação de complemento em dois.
(*a*) Indicar o conteúdo do registrador quando os números decimais são 14, −120, 67, −1.
(*b*) Repetir a parte (*a*) para o caso em que os números negativos são dados pela representação de complemento em um.

11.9-1 (*a*) Subtrair o número $B = \mathbf{0011}$ de $A = \mathbf{1010}$, utilizando o registrador circular mod-16 mostrado na Fig. 11.9-1*d*. Por que o resultado é incorreto?
(*b*) Repetir utilizando aritmética de complemento em dois; use a Fig. 11.9-1*c*.

11.9-2 Subtrair o número $B = \mathbf{0111}$ de $A = \mathbf{1010}$, utilizando aritmética de complemento em um:
(*a*) Obter B_1, o complemento em um de B.
(*b*) Mostrar que a diferença $D = A - B = A + B_1 + 1$.

11.10-1 (*a*) Projetar um circuito para converter um número de 4 bits expresso em complemento em um em um número de quatro bits expresso em complemento em dois.
(*b*) Projetar um circuito para converter um número de 4 bits que está em complemento em dois em um número de 4 bits em complemento em um.

11.11-1 Utilizando aritmética de 4 bits, um bit extra para o sinal, e aritmética de complemento em um, some
(*a*) 10 e 5
(*b*) 10 e −5
(*c*) −10 e 5
(*d*) −10 e −5

11.13-1 Modificar o somador mostrado na Fig. 11.5-1, de modo que uma seqüência de números positivos e negativos, expressos em complemento em um, possa ser acumulada.

11.13-2 Mostrar que, quando uma seqüência de números positivos e negativos é somada, o resultado será correto se o resultado final estiver dentro da faixa do somador, mesmo se ocorrer transbordo durante a seqüência.
(*a*) Somar os números 6, 4 e −7 usando registrador de 4 bits e aritmética de complemento em um. Repetir usando aritmética de complemento em dois.
(*b*) Referir-se ao registrador circular mostrado na Fig. 11.9-1*c*. Considere cada número estando em complemento em dois. Mostrar que $6 + 4 - 7 = +3 = +\mathbf{0011}$, como esperado.
(*c*) Repetir a parte (*b*) usando complemento em um (Fig. 11.9-1*d*).

11.14-1 Prove, em geral, que se ocorrer transbordo, devido ao resultado de somar dois números positivos, o bit de sinal de soma será **1**. Repita para a soma de dois números negativos para mostrar que o bit de sinal da soma será **0**.

11.14-2 Derive a lógica de saturação necessária para um somador utilizando aritmética de complemento em um. Mostre o circuito necessário.

11.14-3 (*a*) Projete um circuito tendo uma entrada X e uma saída $|X|$. X é dado no formato de complemento em um.

(*b*) Repita a parte (*a*) com X no formato de complemento em dois.

11.15-1 Se $Y = 2X$ e X e Y são expressos usando 4 bits, forme uma tabela mostrando X, Y e o erro E causado pelo transbordo quando X varia de **1000** até **0111**. Considere que X está no formato de complemento em dois.

11.15-2 O erro obtido devido à ponderação pode ser reduzido utilizando lógica de saturação. Seja $Y = 4X$, onde X e Y são cada um expressos utilizando 4 bits de informação e um bit de sinal. X e Y podem ser positivo ou negativo e são expressos utilizando aritmética de complemento em dois. Projete um sistema, uma entrada X e uma saída Y que satisfaçam a equação

$$Y = \begin{cases} 15 & X \geq 4 \\ 4X & |X| \leq 3 \\ -15 & X \leq -4 \end{cases}$$

quando X variar de -15 até $+15$.

11.15-3 Utilizando aritmética de complemento em dois, um número X é armazenado em um registrador de 5 bits. O número é ponderado para substituir o registro de X por Y, onde $Y = X/4$. O erro causado por não considerar os dois bits menos significativos pode ser maior do que metade do significado numérico do bit remanescente de menor significado. Por exemplo, se $X =$ **01111** $= 15$, então $Y =$ **00011** $= 3$, enquanto o resultado correto é $15/4 = 3{,}75$. Arredondando, a resposta correta deveria ser $4 =$ **00100**. Projete um sistema lógico que arredonde Y para o inteiro mais próximo.

11.15-4 Repetir o Prob. (11.15-2) se for usada aritmética de complemento em um.

11.15-5 Repetir o Prob. (11.15-3) se for usada aritmética de complemento em um.

11.15-6 Verificar a Fig. 11.15-2*a* e *b*.

11.15-7 Verificar a Fig. 11.15-2*c* e *d*.

11.15-8 Projete um sistema tendo uma entrada X e uma saída $Y = 2X + 3$. X e Y usam 7 bits de informação e um bit de sinal e empregam aritmética de complemento em dois. Deve-se usar lógica de saturação (veja Prob. 11.15-2).

11.15-9 Repetir o Prob. (11.15-8) usando aritmética de complemento em um.

11.15-10 Em um sistema síncrono $X(k)$ é a entrada durante o k-ésimo ciclo de relógio. A saída $Y(k)$ é dada pela equação

$$Y(k) = X(k) + \tfrac{1}{2}Y(k-1)$$

X e Y são cada um expressos utilizando aritmética de complemento em dois e cada um tem 4 bits de informação e um bit de sinal. Deve-se usar lógica de saturação. Ignore os erros que resultam de truncamento devido à ponderação. (Este sistema é um filtro digital de primeira ordem recursivo.)

11.15-11 Projete um sistema em que a entrada X é relacionada com a saída Y pela equação $Y = \frac{3}{4}X$, X e Y tendo cada um 4 bits de informação e um bit de sinal.

11.17-1 Projete um divisor utilizando subtração repetitiva. Empregue aritmética de complemento em dois.

CAPÍTULO 12

12.2-1 Os registradores mostrados nas Figs. 12.2-1 e 12.2-2 são *registradores síncromos*, isto é, os bits nos registradores se deslocam somente quando há a ocorrência de um pulso de relógio. Ocorre freqüentemente a necessidade de realizarmos o deslocamento para uma nova palavra, N palavras que foram avançadas a partir de uma palavra inicialmente presente na saída do registrador. O registrador mostrado na Fig. P12.2-1 é capaz de deslocar 1, 2 ou 3 bits de um modo assíncrono. Instruções concernentes ao número de bits a serem deslocados são fornecidas pelos níveis lógicos nas entradas S_1 e S_2. (Através do aumento de número de entradas, o número de bits pode ser aumentado.) O tempo necessário para deslocarmos N bits não depende de um pulso do relógio mas do retardo de propagação das portas, e o deslocamento de N bits ocorre dentro do intervalo de relógio. Na figura, as saídas das portas conectadas juntas significam uma conexão OR a fios.

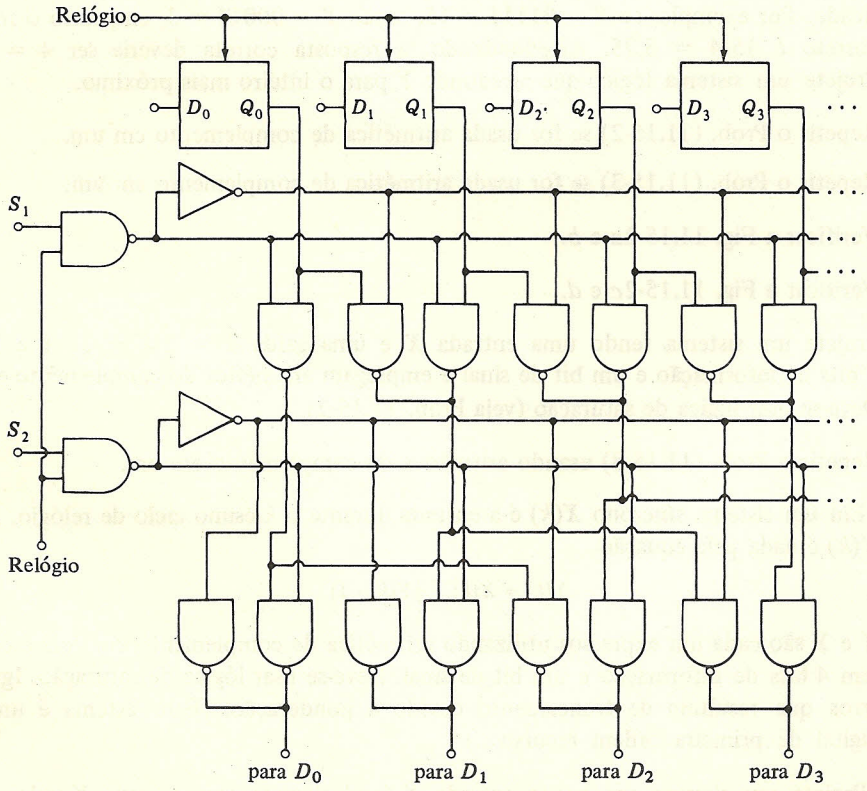


FIGURA P12.2-1

(*a*) Explique como opera o circuito.
(*b*) Expanda o sistema para permitir deslocamento de até 7 bits.
(*c*) Determine o tempo de propagação necessário para efetuar um deslocamento de 7 bits, se o tempo de retardo na propagação em cada porta é de 2 ns.
(*d*) Reprojete o sistema de modo que use somente portas NOR.

12.3-1 A corrente de fuga em $T1$ na Fig. 12.3-1 pode ser considerada como sendo aproximadamente 10 nA. Se o capacitor é $C = 5$ pF, quanto tempo leva para a tensão na porta de $T2$ diminuir de 5 para 3 V?

12.3-2 No estágio registrador de deslocamento da Fig. 12.3-2, a corrente de fuga em um transistor cortado é de 10 nA. Cada capacitor é de 5 pF. Os transistores de carga $T3$ e $T6$ são equivalentes a resistores de 5 kΩ, enquanto os transistores excitador e chaveador têm uma resistência de aproximadamente 100 Ω quando conduzindo $V_{DD} = 5$ V.
(*a*) Se $T4$ for mantido conduzindo por um tempo suficiente para carregar C_2 de 0 a 4 V, calcule o tempo mínimo que ϕ_2 deve permanecer elevado.
(*b*) Como resultado da fuga, a tensão em C_2 eventualmente chegará a 0 V. Se, depois que C_2 alcançou 4 V, ϕ_2 vai ao estado **0**, quando ϕ_2 deverá retornar ao estado **1** para assegurar que a tensão em C_2 não caia abaixo de 3 V?
(*c*) Usando os resultados obtidos nas partes (*a*) e (*b*), determine a freqüência mínima do relógio.

12.3-3 Na Fig. 12.3-4, quando a entrada estiver no **0** lógico, C_3 se carregará a V_{DD}. Quando $T4$ conduz, C_2 se carrega a partir de C_3.
(*a*) Se $V_{DD} = 5$ V e precisamos que C_2 se carregue a 4 V, qual deve ser a razão C_3/C_2?
(*b*) Se a resistência de $T4$ for 100 Ω, calcule o tempo necessário para $T2$ alcançar 90 por cento de seu valor assintótico se $C_2 = 1$ pF.
(*c*) Verifique que a condição $C_3 \gg C_2$ não se aplica quando a entrada está no **1** lógico.

12.4-1 Descreva a operação do registrador de deslocamento da Fig. 12.4-1 quando a entrada estiver no **0** lógico.

12.7-1 Projete um registrador de deslocamento para a direita e deslocamento para a esquerda usando o estágio de registrador de deslocamento mostrado na Fig. 12.7-1. Mostre todos os circuitos.

12.7-2 Modifique o registrador de deslocamento mostrado na Fig. 12.7-1, de modo que ele se torne um registrador de deslocamento assíncrono com entrada em paralelo assíncrona e com saída série síncrona.

12.8-1 Se o registrador mostrado na Fig. 12.8-1 deve operar apropriadamente, verifique que o relógio ϕ_2 deve retornar ao estado **1** antes que ϕ_3 retorne ao estado **1**.

12.9-1 Projete um codificador usando portas NAND satisfazendo a tabela da verdade dada na Fig. 12.9-1*a*.

12.9-2 Um codificador nos dá N saídas.
(*a*) Quantas portas OR são necessárias?
(*b*) Qual número máximo de entradas podem ser acomodadas?

12.9-3 Reprojete o codificador mostrado na Fig. 12.9-2*b* usando somente (*a*) portas NAND e (*b*) portas NOR.

12.10-1 Repita o Prob. 12.9-1 usando (*a*) portas NOR e (*b*) portas a diodo.

12.12-1 ROMs e somadores devem ser usados para multiplicar dois números de 4 bits. A saída do multiplicador deve ser um número de 4 bits consistindo nos 4 bits mais significativos. Projete o multiplicador.

12.12-2 Observando a Fig. 12.12-1, mostre que a disposição das saídas do somador é própria para assegurar um resultado correto do produto.

12.12-3 (*a*) Projete um sistema ROM que forneça uma saída Y igual a sen θ, onde θ é a entrada. Deixe θ variar de 0 a 90° em degraus de 0,1°. Use a Eq. (12.12-3) no seu projeto, fazendo $I = 0, 1, \ldots, 90°$ e F sendo um inteiro entre $-0{,}5$ e 0,5°. Suponha também que sen $F = F$ e cos $F = 1$. A saída Y deve nos fornecer um resultado correto com a precisão de um centésimo. Especifique o tamanho da ROM.

(*b*) Se o sistema for projetado de modo que uma única ROM seja empregada com entrada θ e saída Y, especifique o tamanho da ROM.

12.12-4 Projete uma ROM que aceita dígitos 0 a 9 em código BCD e gere saídas que possam ser usadas para excitar um LED de sete segmentos que servirá como *display*.

12.13-1 (*a*) Desenhe uma RAM de quatro células através da adição de três células à RAM mostrada na Fig. 12.13-1.

(*b*) Para endereçarmos uma célula em uma RAM de quatro células, há a necessidade de termos um endereço de entrada de 2 bits. Projete o circuito de decodificação.

12.14-1 (*a*) Desenhe uma RAM de quatro células usando a célula MOS mostrada na Fig. 12.15-1*a* e a configuração da Fig. 12.15-1*b*. Mostre os transistores individuais.

(*b*) Para endereçarmos uma das quatro células, há a necessidade de um endereço de 2 bits A_1A_2. Projete o decodificador.

12.15-1 Repita o Prob. 12.14-1 usando a célula e circuitos auxiliares mostrados na Fig. 12.15-2. Mostre todos os transistores.

12.15-2 Repita o Prob. 12.14-1 usando a célula e circuitos auxiliares mostrados na Fig. 12.15-4.

12.16-1 A célula de memória mostrada na Fig. 12.15-4 é usada em uma RAM de 4.096 bits organizada como a Fig. 12.16-2.

(*a*) Qual o tamanho (número de bits) dos endereços X e Y?

(*b*) Se o tempo de reavivamento de uma célula for de 400 ns, quanto tempo levará para se reavivar toda a memória?

12.17-1 Uma pastilha RAM contém 256 palavras de 1 bit. Seguindo-se a configuração da Fig. 12.17-3, desenhe um sistema de 1.024 palavras de 8 bits. Mostre a lógica de decodificação para as entradas de selecionamento da pastilha.

12.17-2 Uma pastilha RAM contém 64 palavras de 4 bits. Seguindo a configuração da Fig. 12.17-3, desenhe um sistema de 256 palavras de 8 bits. Mostre a lógica de decodificação para as entradas de selecionamento da pastilha.

CAPÍTULO 13

13.2-1 Na Fig. 13.2-3, $M(t) = 5$ V, $R_a = 100\ \Omega$, $R_L = 1\ \text{M}\Omega$ e $C = 0{,}01\ \mu\text{F}$. Considere a chave ideal.

(*a*) Se o capacitor está inicialmente descarregado, calcular o tempo necessário para V_o atingir 99 por cento de $M(t)$ depois que a chave é fechada.

(*b*) Depois que a chave é aberta, a tensão do capacitor cai. Calcular o tempo necessário para V_o cair de 1 por cento.

13.2-2 Quando a chave S está aberta, o circuito da Fig. 13.2-4 se aproxima de um integrador.

(*a*) Se $I(t) = I_0$ por um tempo T, comente sobre a relação T/R_aC se a tensão do capacitor $V_c(t)$ é aproximada para a integral de $I(t)$.

(*b*) Se $I_0 = 10$ mA, $R_a = 1\ \text{M}\Omega$ e $C = 0{,}1\ \mu\text{F}$, calcule $V_c(t)$ quando $t = T = 1$ ms. Deixe a chave S aberta.

(*c*) No instante T, a chave S fecha. Calcule o tempo necessário para V_c cair de 1 por cento de seu valor máximo. Considere $R_s = 100\ \Omega$ e a chave ideal.

13.2-3 A tensão de entrada V_s na Fig. 13.2-7 é uma tensão cc de 50 mV. O amplificador ca deixa passar todos os sinais com freqüência acima de 1 kHz com um ganho de 10 e atenua completamente sinais com freqüências menores do que 1 kHz. A freqüência de chaveamento é 2 kHz.

(*a*) Esboce $V_i(t)$.

(*b*) Esboce $V_o(t)$ na mesma escala utilizada na parte (*a*).

(*c*) Esboce $V_f(t)$ na mesma escala utilizada na parte (*a*). Considere que a chave S_2 fecha em sincronismo com S_1.

(*d*) Repita a parte (*c*), considerando que S_2 fecha quando S_1 abre e S_2 abre quando S_1 fecha.

13.2-4 Os componentes do filtro utilizados na Fig. 13.2-8 são $R = 1\ \text{k}\Omega$, $R_1 = 1\ \text{k}\Omega$, $R_2 = 2\ \text{k}\Omega$, $C_1 = 0{,}01\ \mu\text{F}$ e $C_2 = 0{,}02\ \mu\text{F}$. Se V_i é um pulso que é zero para $t < 0$, 1 V para $0 \leqslant t \leqslant 10$ ms e zero para $t > 10$ ms, desenhe $V_o(t)$ em função do tempo. Considere que em $t = 0$ a chave S_1 fecha, em $t = 5$ ms a chave S_2 se fecha também, em $t = 10$ ms a chave S_3 também se fecha e em $t = 15$ ms as quatro chaves estão fechadas.

13.3-1 Na Fig. 13.3-1*a* o diodo D pode ser aproximado por uma bateria de 0,7 V em série com um diodo ideal. Quando $V_c = V_1$, o diodo deixa passar o sinal de entrada $V_a(t)$.

(*a*) Obter uma expressão para o valor mais negativo que $V_a(t)$ pode ter antes que o diodo D corte, em função de R_a, R_1, R_2 e R_c.

(*b*) Sejam $V_1 = +5$ V, $R_a + R_1 = 100\ \Omega$, $R_c = 1\ \text{k}\Omega$, $R_L = 1\ \text{k}\Omega$ e a entrada $V_a(t) = 5 \operatorname{sen} \omega t$. Desenhe a saída $V_o(t)$.

13.3-2 Na Fig. 13.3-1*a*, o diodo D pode ser aproximado por uma bateria de 0,7 V em série com um diodo ideal. Quando $V_c = -V_2$, o diodo deve estar cortado e $V_o(t)$ é igual a 0 V independentemente de $V_a(t)$. Obtenha uma expressão para o valor máximo permitido de $V_a(t)$ para assegurar que o diodo D permanece cortado. Sua resposta deve estar expressa em função de V_2, R_a, R_1, R_2 e R_c.

13.3-3 Repetir o Prob. 13.3-1 para a porta mostrada na Fig. 13.3-1*e*.

13.3-4 Repetir o Prob. 13.3-2 para a porta mostrada na Fig. 13.3-1*e*.

13.3-5 Na porta com dois diodos mostrada na Fig. 13.3-2 os diodos $D1$ e $D2$ podem ser cada um representados por uma bateria de 0,7 V em série com um diodo ideal.

(*a*) Se $V_c = V_1$ e $V_a = V_A \operatorname{sen} \omega t$, calcule o maior valor de V_A que a porta pode transmitir sem que nenhum diodo esteja cortado.

(*b*) Se $V_c = V_1$ e $V_A < V_A$ (max), calcule o ganho V_o/V_A.

(*c*) Verifique que, enquanto os diodos conduzirem, a tensão na junção dos resistores R_1 será a mesma que a tensão na junção dos diodos.

(*d*) Se $V_a = 1$ V, $V_c = V_1 = 5$ V, $R_a = 0$, $R_c = 1\,\text{k}\Omega$, $R_1 = 1\,\text{k}\Omega$ e $R_L = 1\,\text{k}\Omega$, determine as correntes nos diodos $D1$ e $D2$. Como as correntes são diferentes, é de se esperar que as tensões dos diodos sejam diferentes, não sendo 0,7 V para cada diodo. Podemos esperar que, para diodos reais, $V_{D1} > V_{D2}$. Estime $V_{D1} - V_{D2}$. Qual é a relevância deste resultado para sua resposta da parte (*c*)?

13.3-6 Na porta com dois diodos mostrada na Fig. 13.3-2, $V_c = -V_2$ para abrir a porta e, portanto, para a transmissão. Se os diodos $D1$ e $D2$ são cada um representados por uma bateria de 0,7 V, obter o valor máximo permitido de V_A, onde $V_a(t) = V_A \operatorname{sen} \omega t$, tal que a porta permaneça aberta, nenhum diodo conduzindo.

13.3-7 Repetir a parte (*b*) do Prob. 13.3-5, considerando os diodos $D1$ e $D2$ ideais, verificando desta forma a Eq. (13.3-1).

13.3-8 Repetir o Prob. 13.3-6, considerando os diodos $D1$ e $D2$ ideais, verificando desta forma a Eq. (13.3-2).

13.3-9 A Eq. (13.3-4) aplica-se à porta com quatro diodos mostrada na Fig. 13.3-4 quando os diodos são considerados ideais.

(*a*) Verificar a Eq. (13.3-4).

(*b*) Obter uma expressão para V_1 quando os diodos são representados por uma bateria de 0,7 V em série com um diodo ideal.

13.3-10 A porta com quatro diodos mostrada na Fig. 13.3-3 é usada para chavear a tensão V_a, onde $|V_a| \leqslant 5$ V. Considere que $R_a = 0$ e que os diodos são ideais. $R_L = 1\,\text{k}\Omega$. Estão disponíveis as tensões ± 5 e ± 10 V. Está também disponível o dispositivo que for necessário para chavear V_c de uma destas tensões disponíveis para outra. Projete a porta com quatro diodos especificando R_1, R_c, V_1, V_2 e V_r.

13.3-11 Considere que, para a porta com quatro diodos mostrada na Fig. 13.3-4, os diodos $D1$ e $D3$ podem ser cada um representados por uma bateria de 0,7 V em série com um diodo ideal, enquanto os diodos $D2$ e $D4$ são cada um representados por uma bateria de 0,75 V em série com um diodo ideal. Supondo $R_a = 0$, obter uma expressão para V_1 em função de V_a (max), R_c e R_L.

13.3-12 (*a*) Obtenha uma expressão para a tensão de referência V_r em função de V_a (max), R_a, R_c e R_L, para a porta com seis diodos mostrada na Fig. 13.3-5. Considere que cada diodo pode ser representado por uma bateria de 0,7 V em série com um diodo ideal.

(*b*) Se $V_a = 5$ V, $V_r = 10$ V, $R_c = 1$ kΩ, $R_L = 1$ kΩ e $R_a = 0$, calcule as correntes nos diodos $D1$ e $D3$.

(*c*) Utilizando o resultado da parte (*b*) e o fato de que as tensões dos diodos na verdade diferem uma da outra, pois as correntes dos diodos são diferentes, calcule V_o. Compare este resultado com o obtido quando a diferença entre as tensões dos diodos é ignorada.

13.3-13 Obter uma expressão para o valor de V_a necessário o suficiente para cortar os diodos $D1$ e $D3$ na Fig. 13.3-9*b*. Considere que cada diodo pode ser representado por uma bateria de 0,7 V em série com um diodo ideal. Sua resposta deve ser uma função de I_c, R_a e R_L.

13.3-14 Considere que, na porta de alta velocidade mostrada na Fig. 13.3-11*a*, a carga capacitiva é substituída por um resistor de 2 kΩ. Se $V_a = 5$ V, $I_0 = 10$ mA, $T_c = 20$ ns e $N = 6$, obter o valor mínimo de L_m para assegurar que cada diodo na ponte de quatro diodos permaneça conduzindo. Considere cada diodo representado por uma bateria de 0,7 V em série com um diodo ideal.

13.7-1 Se, na Fig. 13.7-1, $T1$ é substituído por um MOSFET N tipo acumulação tendo uma tensão de limiar $V_T = 2$ V, obter:

(*a*) O nível de V_c necessário para abrir a chave $T1$ e para fechar a chave $T1$. Considere $V_a = 0$ V.

(*b*) Os valores máximo positivo e mais negativo de V_a que podem ser usados para a chave operar corretamente. Para estes cálculos, considere uma margem de segurança igual a zero.

13.7-2 A chave com FET em série mostrada na Fig. P13.7-2 difere da chave mostrada na Fig. 13.7-1 apenas pelas posições de $T1$ e R' que foram trocadas. Se $|V_a(t)| \leqslant 5$ V, obter os valores de V_c necessários para $T1$ ir para condução e corte.

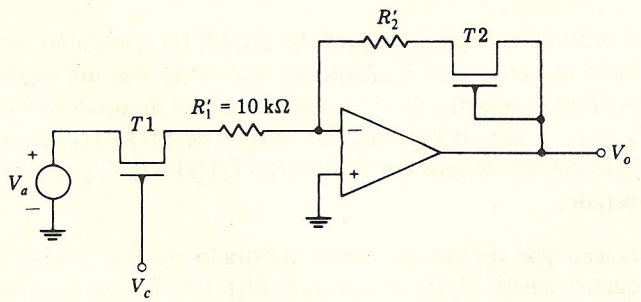


FIGURA P13.7-2

13.8-1 Use o circuito da Fig. 13.8-2*b* para mostrar que, se $C_d V_g / V_g' = C_g'$, o erro de OFFSET é zero.

13.8-2 Os amp-ops da Fig. 13.7-3 têm uma tensão de entrada de OFFSET de 1 mV; isto é, quando operado sem realimentação, a tensão de saída de cada amp-op é 0 V quando a tensão de entrada do amp-op é 1 mV. Se $V_a = 0$ e $T1$ está conduzindo, calcular V_o.

13.8-3 Os amp-ops mostrados na Fig. 13.8-4 têm as mesmas características que os amp-ops descritos no Prob. 13.8-2. Qual tensão V_a deve ser aplicada para fazer com que $V_o = 0$ V?

13.10-1 Referir-se à Fig. 13.10-1. O FET mostrado tem uma tensão de limiar de 2 V, e $k_n = 400\ \mu A/V^2$. Considere $V_c = 7$ V e V_a variando de -5 até 5 V.

(*a*) Desenhe a resistência do MOSFET *N* em função de V_a. (Referir-se à seção 8.1.)

(*b*) Considere $R_L = 1\ k\Omega$ e despreze C_L; desenhe V_o em função de V_a na faixa $|V_a| \leqslant 5$ V.

13.10-2 Referir-se à Fig. 10.10-2. Os FETs mostrados têm cada um uma tensão de limiar de 2 V e $k_n = k_p = 400\ \mu A/V^2$. Considere $V_c = 5$ V e V_a variando de -5 até 5 V.

(*a*) Desenhe a resistência da porta CMOS em função V_a.

(*b*) Considere $R_L = 1\ k\Omega$ e despreze C_L; desenhe V_o em função de V_a na faixa $|V_a| \leqslant 5$ V. (Referir-se à seção 8.1.)

13.11-1 Projete um circuito que aceite simultaneamente duas tensões cc de entrada independentes. O circuito tem duas saídas *A* e *B*. A maior das entradas é direcionada para *A* e a menor das entradas para *B*.

13.11-2 Mostre que a Fig. 13.11-2 pode ser construída utilizando um único comparador. Desenhe o circuito necessário.

CAPÍTULO 14

14.2-1 Verifique o teorema da amostragem procedendo de acordo com o que segue:

1. Suponha uma forma de onda de amostragem $S(t)$ que consiste em uma seqüência regular de pulsos de amplitude unitária, com duração arbitrariamente pequena Δt e separados por intervalos T_s. Escreva a série de Fourier para este trem periódico de pulsos.
2. Seja $M(t)$ um sinal arbitrário. Escreva o produto $S(t)M(t)$ que então representa o sinal $M(t)$ amostrado em intervalos T_s. Suponha que $M(t)$ tem um espectro que vai de 0 a f_M Hz. Encontre o espectro de cada um dos termos do produto $S(t)M(t)$.
3. Mostre que, se $1/T_s = f_s > 2f_n$, o espectro dos termos de $S(t)M(t)$ não se sobrepõe. Observe então que um dos termos em $S(t)M(t)$ é $[M(t)\Delta t]/T_s$ e que, portanto, $M(t)$ pode ser recuperado.

14.3-1 O sistema de multiplexação por divisão de tempo mostrado na Fig. 14.3-1 é usado para multiplexar os quatro sinais $M_1(t) = \cos \omega_o t$, $M_2(t) = 0{,}5 \cos \omega_o t$, $M_3(t) = 2 \cos 2\omega_o t$ e $M_4(t) = \cos 4\omega_o t$.

(*a*) Qual a freqüência mínima de amostragem para cada sinal.

(*b*) Adote o sistema comutador rotativo da Fig. 14.3-1, de modo que cada um dos quatro sinais possa ser amostrado na freqüência adequada. Qual a velocidade de revolução do braço comutador?

14.4-1 Quando uma amostra de um sinal é quantizada, há a introdução de um erro. Se o tamanho do degrau entre níveis de quantização é *S*, o erro fica na faixa $-S/2$ a $S/2$ e é uniforme-

mente distribuído. O *erro de quantização r.m.s.* é definido como sendo o valor médio do quadrado do erro. Mostre que o erro de quantização r.m.s. é $S^2/12$.

14.4-2 A banda de passagem para o transmissão de voz em uma linha telefônica é 3.000 Hz. Um determinado número de conversações telefônicas deve ser multiplexado em um canal de comunicações através da multiplexação por divisão de tempo, utilizando a modulação por pulsos em código. É encontrado para um sistema particular que, para uma identificação confiável dos bits no terminal receptor, um intervalo de, no mínimo, 1 μs deve existir entre cada bit. Se os sinais devem ser quantizados em 16 níveis, estime o número de sinais de voz que podem ser multiplexados.

14.5-1 Verifique a Eq. (14.5-2).

14.5-2 (*a*) Um conversor digital-analógico aceita 12 bits de entrada, isto é, tem uma resolução de 12 bits e nos fornece uma saída que tem como máximo 10 V. Suponha que, como um resultado da variação dos valores dos componentes, a saída pode estar com um erro de ΔV. Qual o máximo valor que ΔV pode assumir antes que o bit menos significativo não seja mais significativo?

(*b*) Repita para um conversor de 16 bits.

14.5-3 Um conversor analógico digital a resistor ponderado de 10 bits, como o da Fig. 14.5-1, tem $R_L = 0$ (a saída analógica é a corrente I_L). O erro na saída, devido à tolerância do resistor, não deve exceder a metade da variação da saída correspondente a uma variação no bit menos significativo da entrada.

(*a*) Se somente o resistor R_{N-1} correspondente ao bit mais significativo estiver em erro, qual porcentagem de variação de R_{N-1} poderá ser tolerada?

(*b*) Se somente o resistor R_0 correspondente ao bit menos significativo estiver em erro, qual porcentagem de variação de R_0 pode ser tolerada?

14.5-4 Um conversor analógico-digital de 6 bits fornece uma corrente de saída ao terra virtual de um amp-op, como é mostrado na Fig. 14.5-3. Os níveis de tensão na entrada são $V_i(1) = 10$ V e $V_i(0) = 0$ V. O resistor R_0 correspondente ao bit menos significativo é 320 kΩ e o resistor de realimentação é $R_f = 10$ kΩ. Qual a saída V_o correspondente a uma entrada **110101**?

14.6-1 Verifique que a saída V_o no conversor digital-analógico da Fig. 14.6-2*b* é dada pela Eq. (14.6-2).

14.6-2 Considere um conversor digital-analógico em escada R-$2R$ como na Fig. 14.6-1*a*, com previsão para N bits. Suponha que todos os resistores são de valores R ou $2R$ conforme é requerido, exceto os resistores $2R$ associados ao bit mais significativo que mudaram seu valor para $2R(1 + \delta)$. Escreva uma expressão para V_o correspondente à Eq. (14.6-2) que se aplique a este caso. Se $N = 10$, qual o valor máximo que δ pode assumir antes que o bit menos significativo não mais seja significativo?

14.6-3 Observe a Fig. 14.6-3.

(*a*) Verifique que, se quisermos um conversor binário de 8 bits, precisaremos fazer $r = 8R$.

(*b*) Se o arranjo for um conversor BCD de dois dígitos decimais, verifique que será necessário $r = 4{,}8\,R$.

14.7-1 Observe a Fig. 14.7-3. Verifique que, quando a entrada for 0 V, os transistores $T1$ e $T2$ saturarão.

14.7-2 Na Fig. 14.7-3, iniciando-se por cima, as tensões de entrada são 3, 0, 3 e 0 V. Qual o valor correspondente da tensão de saída analógica V_a?

14.8-1 Observe a Fig. 14.8-1.

(*a*) Verifique que a resistência vista olhando-se em qualquer posição da derivação da escada é de $2R/3$.

(*b*) Supondo $R = 1\ \text{k}\Omega$, $R_f = 2R$ e $I = 10$ mA, escreva uma expressão para a tensão de saída V_o em termos do nível lógico associado com a chave, isto é, $S = 1$ para a chave conectada à derivação da escada.

14.8-2 Na Fig. 14.8-2, $R = 100\ \Omega$ e o amp-op (não mostrado) tem um resistor de realimentação de $2R$. Encontre R_e se a tensão de saída em fim de escala do amp-op deve ser 1 V.

14.8-3 Observe a Fig. 14.8-2. Verifique que, quando um dos transistores em um par de chave (digamos $T0A$ e $T0B$) está cortado, sua tensão base-emissor é $+0{,}35$ V.

14.9-1 Verifique a Eq. (14.9-1) que se aplica ao circuito escada invertido da Fig. 14.9-1.

14.9-2 Na Fig. 14.9-2 suponha que o circuito de polarização de tensão tem valores como na Fig. 14.8-2, isto é, $V_Z = 6{,}2$ V e $-V_R = -8{,}1$ V, de modo que V_B tem o valor $V_B = -1{,}15$ V como no circuito anterior. Seja $R = 1\ \text{k}\Omega$.

(*a*) Calcule as correntes I_{C0}, I_{C1}, I_{C2} e I_{C3} quando todos os transistores B estiverem cortados.

(*b*) Suponha que V_o aumente até o ponto em que $T0A$ recém cortou. Estime as variações conseqüentes nas correntes de coletor.

14.10-1 Quatro linhas apresentam sob forma digital os números 7, 6, ..., 0, -1, ..., -7, -8, sob o formato de complemento em dois. Projete um conversor digital-analógico que aceita esta entrada e forneça uma tensão de saída variando de 7 a -8 V.

14.10-2 (*a*) Observe a Fig. 14.10-2. Verifique que a operação do circuito ficará inalterada se a chave de desajuste (OFFSET) for eliminada, a chave S_2 substituída por uma chave $\overline{S}_2$ e seu resistor $R/4$ substituído por um resistor $R/3$.

(*b*) Adapte o circuito da Fig. 14.10-2 para quatro entradas. Desenhe dois circuitos, um que empregue uma chave de desajuste (OFFSET) e outro que não a empregue.

14.12-1 Observe a Fig. 14.12-1. Verifique que o arranjo de portas (decodificador) que segue o registrador flip-flop, assinala apropriadamente as palavras codificadas de 3 bits na saída, da maneira requerida na Fig. 14.12-2.

14.12-2 Um conversor analógico-digital comparador deve fornecer uma saída com uma representação de 3 bits em complemento de dois.

(*a*) Suponha que o número negativo extra disponível em complemento de dois deve

ser ignorado e que há a disponibilidade das tensões de referência V_O e $-V_O$. Desenhe a cadeia de resistores que fornecerão as tensões de referência do comparador.
(*b*) Repita a parte (*a*) para o caso em que um número negativo extra deva ser usado.

14.12-3 Projete decodificadores para o conversor analógico digital de 3 bits do tipo complemento de dois. Considere separadamente (*a*) que a saída negativa extra é ignorada e (*b*) que ela é usada.

14.12-4 Projete um conversor analógico-digital comparador de 3 bits no qual a saída esteja em representação de complemento de um. Desenhe a cadeia de resistores para fornecer as referências ao comparador e projete o decodificador da saída.

14.13-1 Observe o conversor de aproximação sucessiva da Fig. 14.13-2. Suponha que a amostra da entrada analógica é de tal magnitude que corresponde à saída digital **001**. Desenhe uma forma de onda do relógio e desenhe na mesma escala de tempo as formas de onda de Q_A a Q_E, as formas de onda Q_3, Q_2 e Q_1 e a forma de onda da saída do comparador C_O.

14.13-2 O conversor de aproximação sucessiva de 3 bits da Fig. 14.13-2 é para ser usado para amostras analógicas de entrada na faixa de 0 a 10 V. Qual deveria ser o OFFSET para assegurar que o erro de quantização máximo seja o mesmo em cada faixa?

14.14-1 (*a*) Desenhe o diagrama de bloco de um conversor analógico-digital contador de 2 bits.
(*b*) O conversor deve ser usado para amostras analógicas na faixa de 0 a 10 V. Projete o conversor digital-analógico fornecendo o desajuste (OFFSET) necessário e fazendo com que o erro de quantização máximo seja o mesmo em cada faixa.
(*c*) Desenhe formas de onda, como na Fig. 14.14-2 para amostras analógicas na entrada, iguais a 4 e a 9 V.

14.14-2 A razão de amostragem de um sinal analógico apresentado à entrada de conversor analógico-digital contador é 5 kHz. Os flip-flops do conversor têm uma razão de variação máxima de 2 MHz. Qual é a melhor resolução possível do conversor?

14.14-3 Um sinal senoidal de 10 kHz e valor de pico 10 V é apresentado a um conversor do tipo servo, com uma resolução de 8 bits. Se o erro de conversão deve ser mantido em ±1 bit menos significativo, qual é a mínima freqüência aceitável do relógio?

14.15-1 A discussão do conversor da Fig. 14.15-1 e a forma de onda da Fig. 14.15-1*b* supõem que, quando a chave S_2 for fechada, $V_O = 0$ V e que a saída do comparador faz sua transição entre níveis lógicos, precisamente quando V_O passa por $V_O = 0$ V. Estas condições seriam difíceis de manter, na prática. Mostre que a necessidade de satisfazer estas condições pode ser evitada através do ajuste apropriado da referência de entrada do comparador e que este ajuste não tem efeito na precisão do conversor.

14.15-2 (*a*) No conversor de dupla inclinação da Fig. 14.15-1, a freqüência do relógio é 100 kHz e o conversor tem uma resolução de 10 bits. Qual a razão máxima na qual as amostras podem ser convertidas?
(*b*) Projete o circuito lógico que, permitindo um tempo adequado para converter uma

amostra, realiza todas as operações necessárias para a leitura do conversor e seu RESET para que possa converter a amostra seguinte.

14.17-1 No circuito da Fig. 14.17-1, $-V_r = -10$ V, $R = 10\,\text{k}\Omega$ e $C = 0{,}01\ \mu$F. Despreze T_d e faça um gráfico da freqüência como uma função da entrada analógica V_a, para valores de V_a entre 0 e 10 V.

14.21-1 (*a*) No modulador delta da Fig. 14.21-1, $M(t)$ é o sinal senoidal $M(t) = 0{,}1 \operatorname{sen}(2\pi \times \times 10^3)t$. A freqüência do relógio é 2×10^4 Hz e o tamanho do degrau é $S = 20$ mV. Faça o gráfico de $M(t)$, $\hat{M}(t)$ e $E(t)$. Suponha que, para $t = 0$, $M(t) - \hat{M}(t) = S$.

(*b*) Repita para $S = 4$ mV e para 60 mV. Observe que o tamanho do degrau $S = 20$ mV nos dá a "melhor" estimativa $\hat{M}(t)$. Pode ser mostrado que o melhor tamanho de degrau é $S_{ot} \approx 4A/(f_s/f_m)$, onde A é a amplitude de pico de uma senóide, f_s é a freqüência do relógio e f_m é a freqüência da senóide. Por que este resultado é correto?

14.21-2 (*a*) Repita a parte (*a*) do Prob. 14.21-1 mas permita que a freqüência do relógio seja 10 kHz e $S = 40$ mV.

(*b*) Qual dos moduladores delta, este onde $S = 40$ mV e $f_s = 10$ kHz ou o sistema na parte (*a*) do Prob. 14.21-1 onde $f_s = 20$ kHz e $S = 20$ mV, nos dá a melhor estimativa? *Observação:* Pode ser rigorosamente provado que, uma vez escolhido o tamanho do degrau ótimo, quanto maior for a razão de amostragem, melhor será a estimativa.

14.21-3 (*a*) Em um modulador delta, seja $M(t) = M_0 \operatorname{sen} 2\pi f_0 t$ e seja o tamanho do degrau $S > 2M_0$. Mostre que ocorre a limitação do tamanho do degrau, isto é, a forma de onda $\hat{M}(t)$ não mais responde às variações de $M(t)$.

(*b*) O tamanho do degrau é S e a freqüência de amostragem do relógio é f_s. Mostre que, se a sobrecarga de inclinação deve ser evitada, a amplitude máxima permitida para senóide é $M_0 = Sf_s/2\pi f_0$.

(*c*) Mostre que, se tanto a sobrecarga de inclinação como a limitação por tamanho do degrau devem ser evitadas, é também necessário que $f_s > 3f_0$.

14.22-1 No sistema modulador delta adaptativo caracterizado pela Eq. (14.22-3), suponha que $M(t)$ permanece constante dentro do tamanho do degrau S_0. Mostre que, neste caso, $\hat{M}(t)$ oscila ao redor de $M(t)$ na metade da freqüência que oscilaria se fosse utilizado um modulador delta linear.

14.22-2 Um sinal $M(t)$ aplicado ao modulador delta adaptativo [Eq. (14.22-3)] sobe linearmente de 0 a 9,7 V no intervalo de tempo $10T_s$, permanece em 9,7 V durante $20T_s$ e cai então linearmente para 0 V em $5T_s$. O tamanho mínimo do degrau é $S_0 = 0{,}5$ V. Seja $\hat{M}(t) = 0$ para $t = 0$ e faça o gráfico de $M(t)$ e $\hat{M}(t)$ no mesmo sistema de eixos para $\tau = 0$ a $30T_s$.

CAPÍTULO 15

15.1-1 Considere um circuito *RC* série. Se a tensão inicial do capacitor é V_i e o valor assintótico final da tensão é V_f:

(*a*) Mostre que, se $RC = \tau$, então a tensão do capacitor é

$$V_c(t) = V_f - (V_f - V_i)\,\epsilon^{-t/\tau}$$

(*b*) Obter uma expressão para $V_R\,(t)$, isto é, a tensão no resistor.

(*c*) Mostrar que, em geral, para um circuito com uma única constante de tempo $V(t)$ a tensão entre dois terminais quaisquer neste circuito pode ser escrita no formato dado na parte (*a*).

(*d*) Seja V_T alguma tensão "crítica" de algum interesse especial que está entre V_i e V_f. Mostre que o tempo T necessário para $V(t)$, iniciando em V_i, atingir V_T é

$$T = \tau \ln \frac{V_f - V_i}{V_f - V_T}$$

15.1-2 No circuito da Fig. 15.1-2, $V_{SS} = 12$ V, $V_T = 7$ V, $R = 5$ kΩ e $R_{o1} = 200$ Ω.

(*a*) Desenhe as formas de onda de V_{1o}, V_{2i} e V_{2o} e indique todos os níveis de tensão.

(*b*) Se $C = 0{,}001$ μF, qual é a duração do estado quase-estável?

15.1-3 (*a*) Suponha que, para uma tensão de alimentação de 10 V, a característica entrada-saída da porta CMOS é a que aparece na Fig. P15.1-3*a*. (Esta característica é feita para uma melhor aproximação da característica real, como vista na Fig. 8.4-1, do que a idealizada da Fig. 15.1-3.) Para $V_{SS} = 10$ V, $R = 10$ kΩ, $R_{o1} = 500$ Ω, redesenhe a forma de onda da Fig. 15.1-4 indicando todos os níveis de tensão.

(*b*) Suponha que a característica entrada-saída é a que aparece na Fig. 15.1-3*b*. Mostre que, neste caso, o estado quase-estável terminará quando V_{1o} atingir 3,5 V. (Desprezar a carga de R na porta $G1$.)

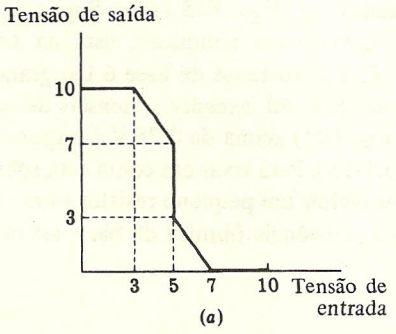


FIGURA P15.1-3*a*

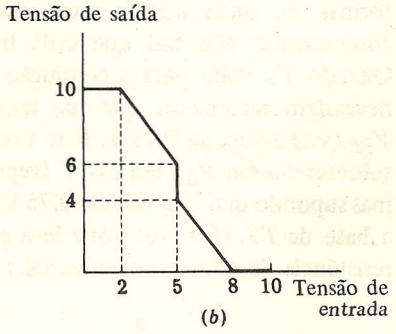


FIGURA P15.1-3*b*

15.1-4 No circuito do multivibrador monoestável da Fig. P15.1-4, suponha que a característica entrada-saída da porta CMOS é a dada na Fig. 15.1-3. Suponha também que, visto da saída, a porta pode ser representada pelo arranjo de duas chaves S e S', como na Fig. 15.1-5, exceto que $R_{o1} = R' = 0$. Finalmente, suponha que o diodo D é ideal com uma tensão de limiar $V_\gamma = 0$.

(*a*) Com V_i no nível lógico **0**, quais são os níveis de tensão em V_{1o}, V_{2i} e V_{2o}?

(*b*) Considere que o circuito é disparado, indo para o estado quase-estável, por um pulso positivo curto em V_i. A tensão de transição V_T de cada porta é a mesma. Desenhe as formas de onda de V_i, V_{1o}, V_{2i} e V_{2o} do início do estado quase-estável até que o circuito retorne para seu estado estável inicial.

(*c*) Considere que $R_1 C_1 = R_2 C_2 = \tau$. Calcule o tempo T do estado quase-estável em função de V_{SS}, τ e V_T.

(*d*) Faça um desenho de T/τ em função de V_T para $V_{SS} = 10$ V e para $V_T = 1, 2, 3, \ldots, 9$. Compare este desenho com o correspondente para o circuito *RC* simples da Fig. 15.1-2.

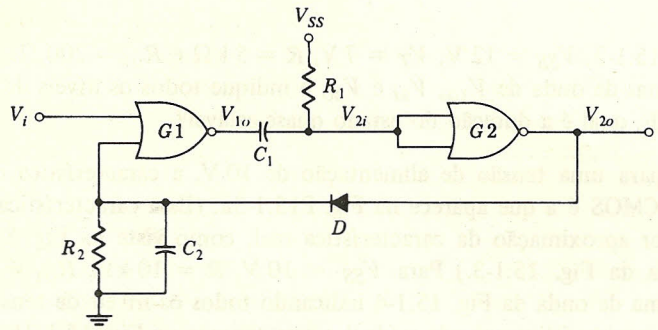


FIGURA P15.1-4

15.1-5 Um multivibrador monoestável empregando transistores discretos está mostrado na Fig. P15.1-5*a*. Um pulso de disparo negativo e curto em V_i inicia o monoestável. As formas de onda do circuito estão mostradas na Fig. P15.1-5*b*. Supõe-se que os componentes são tais que cada transistor, quando em condução, está na saturação. Quando $T2$ volta para a condução em $t = T$, sua corrente de base é tão grande que é necessário reconhecer que sua tensão base-emissor irá exceder a tensão de saturação V_{BE} (sat) acima de 0,75 V. Este excesso de V_{BE} (sat) acima de 0,75 V é responsável pela sobretensão em V_{B2} em $t = T$ (veja Fig. P15.1-5*b*). Para levar em conta esta sobretensão mas supondo que V_{BE} (sat) = 0,75 V, podemos incluir um pequeno resistor r em série com a base de $T2$. (Este resistor r leva em conta a resistência ôhmica da base, assim como a resistência de entrada incremental.)

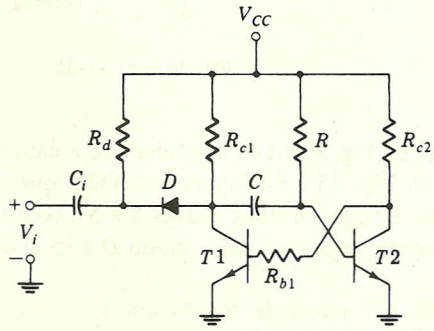


FIGURA P15.1-5*a*

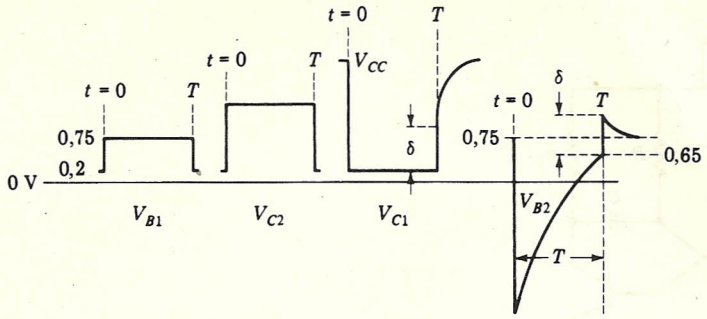


FIGURA P15.1-5*b*

(*a*) Descrever a operação do circuito qualitativamente, verificando desta forma que as formas de onda mostradas estão corretas.

(*b*) Use $V_{CC} = 10\text{ V}$, $R_{c1} = 2\text{ k}\Omega$, $R = R_{b1} = 50\text{ k}\Omega$, $r = 50\ \Omega$, $C = 0{,}01\ \mu\text{F}$ e $h_{FE} = 50$. Calcule todos os níveis de tensão das formas de onda que ainda não foram dados. Qual é a amplitude da variação δ? Calcule as constantes de tempo das porções exponenciais das formas de onda.

(*c*) Calcule o tempo T.

15.2-1 No multivibrador astável com CMOS da Fig. 15.2-1, represente as portas vistas de suas saídas pelo arranjo de duas chaves da Fig. 15.1-5, no qual $R_{o1} = 500\ \Omega$ e $R' = 1.000\ \Omega$. Leve em consideração o fato de que a tensão de limiar dos diodos de proteção de entrada é 0,75 V. Seja $V_{SS} = 12\text{ V}$ e suponha que R é muito grande em comparação com R_{o1} e R_1.

(*a*) Desenhe as formas de onda de V, V_{2o} e V_{1i}.

(*b*) Se $R = 50\text{ k}\Omega$, $C = 0{,}01\ \mu\text{F}$ e $V_T = 7\text{ V}$, calcule os tempos $T1$ e $T2$.

15.2-2 No multivibrador astável com CMOS da Fig. 15.2-1, adicione um resistor grande R_s em série com a entrada da porta $G1$. Considere que este resistor extra é suficientemente grande para que a forma de onda na união de R e C não seja afetada pelos diodos de proteção da entrada de $G1$. Represente as portas pelo arranjo de duas chaves da Fig. 15.1-5, no qual $R_{o1} = R' = 0$.

(*a*) Desenhe as formas de onda V_{1i}, V, V_{2o} e a forma de onda na junção de R_s, R e C. Indique as tensões nas formas de onda em função de V_{SS}, V_T e a tensão de limiar $V_{\gamma D}$ dos diodos de proteção.

(*b*) Mostre que o período total do circuito é

$$T = RC\left(\ln\frac{V_T}{V_{SS}+V_T} + \ln\frac{V_{SS}-V_T}{2V_{SS}-V_T}\right)$$

15.2-3 Considere que a tensão de transição V_T das portas utilizadas no circuito astável da Fig. 15.2-1 está na faixa de $0{,}3\,V_{SS}$ a $0{,}7\,V_{SS}$. Utilize a Eq. (15.2-1) para determinar a correspondente faixa de T.

15.2-4 (*a*) Um multivibrador astável usando transistores discretos está mostrado na Fig. P15.2-4. Desenhe a forma de onda no coletor e na base. (Veja os comentários e formas de onda no Prob. 15.1-5.)

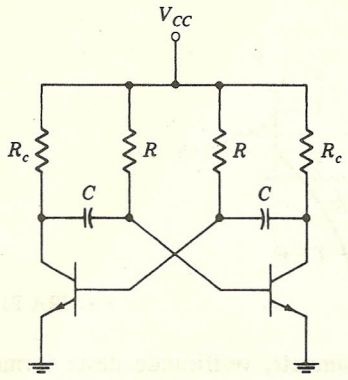


FIGURA P15.2-4

(*b*) Indique os níveis de tensão e constantes de tempo nas formas de onda da parte (*a*) para o caso em que $V_{CC} = 12\,V$, $R_c = 3\,k\Omega$, $R = 50\,k\Omega$, $r = 50\,\Omega$ e $C = 0{,}01\,\mu F$. Calcule o período total.

15.2-5 Considere que, na Fig. 15.2-1*a*, as portas $G1$ e $G2$ têm cada uma um retardo de propagação t_{pd}. Redesenhe a Fig. 15.2-1*a*, *b* e *c*, levando em consideração este retardo de propagação.

15.3-1 (*a*) Mostre que, no circuito da Fig. 15.3-3, o pulso na saída Q deve ter largura maior que o pulso de disparo.
(*b*) Mostre que, no circuito da Fig. 15.3-4, o pulso de saída não precisa ter relação com a largura do pulso de disparo.

15.3-2 Considere que, no circuito da Fig. 15.3-5*a*, o diodo quando conduzindo mantém uma tensão fixa de 0,75 V. Levando em consideração o diodo, redesenhe as formas de onda da Fig. 15.3-1. Indique todos os níveis de tensão.

15.3-3 Na Fig. 15.3-1, cada porta NOR tem um retardo de propagação t_{pd}.
(*a*) Esboce a resposta em Q devido a um pulso de disparo em S quando $t_{pd} = 0{,}25\,rC$.
(*b*) Expresse a duração mínima do pulso de disparo W em função de t_{pd} e da constante de tempo $\tau = rC$.

15.3-4 Repetir o Prob. 15.3-3 para o multivibrador monoestável mostrado na Fig. 15.3-3.

15.3-5 Os tempos de retardo de propagação dos flip-flops mostrados na Fig. 15.3-4 são t_{pd} cada um. Expressar a duração mínima do pulso de disparo W em função de t_{pd} e $\tau = rC$.

15.4-1 No multivibrador com linha de atraso da Fig. 15.4-1, o retardo de propagação de GA é $t_{pd}\,(A) = 5$ ns, o retardo de GB é $t_{pd}\,(B) = 8$ ns e a linha de atraso tem um retardo $t_D = 20$ ns. Desenhe as formas de onda para os casos em que a entrada V_i é (*a*) um degrau, (*b*) um pulso de duração 15 μs, (*c*) um pulso de duração 10 μs e (*d*) um pulso de duração 15 μs seguido por um segundo pulso 50 μs mais tarde.

15.4-2 Repetir o Prob. 15.4-1 para o circuito da Fig. 15.4-2. Compare o ciclo de trabalho deste circuito com o do circuito da Fig. 15.4-1.

15.5-1 Para o multivibrador monoestável com TTL mostrado na Fig. 15.5-1*a*:

(*a*) Calcule a duração mínima do pulso de disparo da entrada P em função dos tempos de retardo de propagação das portas. Suponha, por simplicidade, que cada porta tem o mesmo retardo de propagação t_{pd}.

(*b*) Calcule a máxima *freqüência de repetição dos pulsos* de disparo, isto é, a máxima razão de disparo do multivibrador monoestável. Expresse sua resposta em função de t_{pd}, τ_1 e τ_2.

15.5-2 Em relação à sobretensão que aparece na forma de V_2 na Fig. 15.5-1*b*, faça a seguinte estimativa. Suponha que os tempos de propagação das portas são muito pequenos em comparação com o tempo do estado quase-estável, de modo que a sobretensão ocorre quando V_2 atinge 0,65 V. Suponha que, durante a sobretensão, olhando para $G2$, vemos uma bateria de 0,75 V em série com um resistor de 25 Ω. Despreze a corrente de entrada da porta $G1$. Substitua $G4$ como vista olhando para sua saída pelo PULL-UP ativo usual da porta TTL (como na Fig. 6.4-1). Considere R suficientemente grande para que sua presença seja desprezada. Calcule Δ e a constante de tempo τ_2 com a qual a sobretensão cai.

15.6-1 (*a*) Explique qualitativamente como o circuito da Fig. P15.6-1 pode funcionar como um multivibrador astável no qual as duas partes do ciclo podem ser feitas iguais, isto é, o circuito pode ter ciclo de trabalho de 50 por cento.

(*b*) Verifique que o tempo de um ciclo completo é $T = T_1 + T_2$, onde $T_1 = 0{,}69 R_a C$ e T_2 é dado por

$$T_2 = \frac{R_a R_b}{R_a + R_b} C \ln \frac{R_b - 2R_a}{2R_b - R_a}$$

(*c*) Se $R_a = 50\,\text{k}\Omega$, obtenha R_b de modo que $T_1 = T_2$.

(*d*) Verifique da expressão para T_2 que R_b não pode ser maior que $R_a/2$. Explique fisicamente a razão para esta restrição.

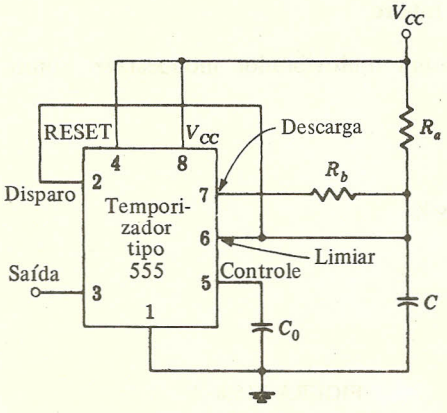


FIGURA P15.6-1

15.6-2 O circuito temporizador da Fig. P15.6-2 é usado para gerar uma tensão no capacitor C que varia linearmente com o tempo, isto é, uma rampa linear. O transistor T fornece

uma corrente de carga constante para o capacitor. A rampa é iniciada pela aplicação de um pulso negativo estreito na entrada de disparo. Quando a tensão do capacitor atinge um nível crítico, o capacitor se descarrega abruptamente.

(*a*) Supondo que a duração da rampa é menor do que o intervalo entre os pulsos de disparo, desenhe as formas de onda, em uma escala de tempo comum, dos pulsos de disparo, da saída no pino 3 e da tensão em *C*.

(*b*) Considere que a rampa inicia em 0 V e verifique que ela continua a crescer durante o tempo.

$$T = \frac{\frac{2}{3}V_{CC}R_e(R_1 + R_2)C}{R_1V_{CC} - V_{BE}(R_1 + R_2)}$$

onde V_{BE} ($\approx 0{,}7$ V) é a tensão base-emissor do transistor.

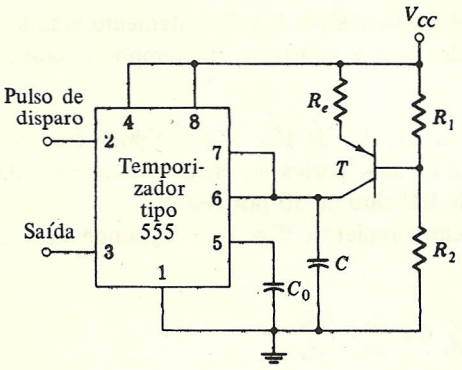


FIGURA P15.6-2

15.6-3 (*a*) Descreva qualitativamente como o temporizador tipo 555 pode ser usado como um divisor de freqüência de pulsos. Um divisor de freqüência aceita um trem de pulsos de freqüência fixa f_1 como entrada e fornece na saída um trem de pulsos de freqüência $f_2 = f_1/n$, onde n é um inteiro.

15.6-4 Um amp-op está ligado para formar um multivibrador monoestável como na Fig. P15.6-4.

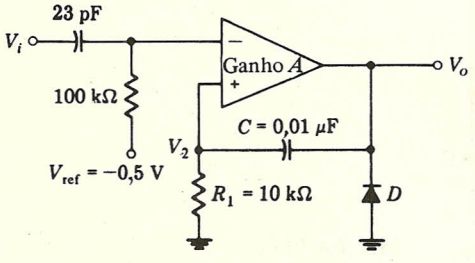


FIGURA P15.6-4

(*a*) Qual deve ser a polaridade do pulso em V_i para disparar o multivibrador? Qual é a função da referência de −0,5 V?

(*b*) Esboce as respostas $V_o(t)$ e $V_2(t)$ depois de um pulso de disparo. Leve em consideração em seu esboço do retardo de propagação t_{pd} do amp-op. Suponha que o amp-op tem um ganho A de -5 até 5 V e um ganho de zero para outros valores de tensão, uma impedância de entrada infinita e uma impedância de saída tão pequena que é desprezível. Suponha que o diodo D grampeia quando sua tensão é 0,7 V.

(*c*) Obtenha uma expressão geral para o intervalo de tempo do multivibrador monoestável mostrado em função de V_{ref}, R_1, C e V_{max}, o valor mais positivo que V_f pode atingir, e o ganho A do amp-op.

Índice Analítico

Absorção de corrente de entrada em DCTL, 127-128
Álgebra Booleana (ver, também, Mapa de Karnaugh; Circuitos lógicos)
  formas padrão, 98-104
  notação, 89
  produto de somas, 100-101
  soma de produtos, 98-100
  teoremas, 91-93
  variáveis lógicas, 86-88
Álgebra de chaveamento (ver Circuitos lógicos)
Amplificador diferencial, 54-56
  em ECL, 208-209
Amplificadores operacionais, 49-54, 419-420
  Amp-Op de ganho unitário, 59
  Amp-Op inversor, 50-54
  amplificador não inversor, 58-59
  características de, 61-63
  compensação de freqüência, 60-61
  corrente de OFF-SET, 62
  eletrônica de, 54-57
  operações, 52-53
  relação de rejeição em modo comum (CMRR), 61
  SLEW RATE, 63
  tensão de OFF-SET, 62
  terra virtual, 50-51
  uso do conversor digital para analógico, 445-446, 449, 451, 454-457
AND com fiação (OR com fiação), 172-174

BUFFER
  em CMOS, 249
  em RTL, 138-141

Capacitância, transição em um diodo, 5-6
Chaves
  FET, 31-36
  modo inverso, 44
  modo normal, 44
  para conversores analógicos para digital, 401-402, 449-450
  sem vibração, usando Flip-Flop SR, 256
  transistor, 9-11
  velocidade do BJT, 42-46
  velocidade do diodo, 39-40
  velocidade do FET, 46
Chaves analógicas, 396-435
  amostrador e segurador de ordem zero, 398-400, 413-415, 422-427
  aplicações, 398-405
  controle dos parâmetros, 405
  conversão digital para analógico, 401-402
  decisão de máxima tensão, 430-434
  estabilização de CHOPPER, 402-405
  integrador e amortecedor, 400-401, 434
  multiplexagem, 398, 432-433
  portas CMOS, 430-432
  portas com diodo, 405-412
  portas com FET, 418-419
  portas com transistores bipolares, 415-418
  princípios de operação, 396-398
Circuito amostrador e segurador de ordem zero
  aplicação, 398-400
    em modulação por pulsos em código, 438
  exemplo de alta velocidade, 413-415
  usando FETs e Amp-Op, 422-427
Circuito de decisão de máxima tensão, 432-434
Circuito integrador e amortecedor, 400-401, 434
Circuitos de chaveamento (ver Circuitos lógicos)
Circuitos lógicos, 78-104 (ver, também, Álgebra Booleana)
  AND(E), 80-81
  especificações em termos de minitermos e maxitermos, 102-104
  funções de duas variáveis, 79-80

funções de uma variável simples, 79
funções especificadas incompletamente, 121-122
mapa de Karnaugh, 104-119
minimização de funções, 98-101
NAND, 82-83
NOR, 83-84
operações necessárias e suficientes, 89-91
OR, 81-82
OU-EXCLUSIVO, 84-86
síntese usando portas NAND e NOR, 119-121
teorema de De Morgan, 83, 84, 93
Circuitos temporizadores, 488-507 (ver, também, Multivibrador)
circuito integrado tipo, 498
temporizador, 504-507
Codificador, como uma ROM, 369-370
Código de Grey, 97-98
Comparadores, 63-71
características de, 70-71
características de transferência, 69-70
comparador tipo 710, 64-65
efeitos de temperatura, 68-70
níveis de saída, 66-68
oscilações em, 70
tempo de resposta, 70-71
Complemento, 79
Constante de Boltzmann, 2
Contador em anel, 314-315
LOCKOUT, 314-315
SWITCH TAIL, 314-315
Contadores
combinações, 308-309
como um divisor de freqüência (ponderador), 299
contador em anel, 314-315
contador módulo 2 síncrono, 299-301
crescente-decrescente, 311-314
década contadora, 308-311
geradores de seqüência, 315-321
LOCKOUT, 306-308, 315
módulo 3, 302-304
módulo 5, 304-306
RIPPLE, 295-299
Contadores RIPPLE, 295-299
crescente-decrescente, 311-312
década, 309-311
Contadores síncronos
crescentes-decrescentes, 313-314
LOCKOUT, 306-308
não binário, 301-306
transporte paralelo, 301
transporte série, 299-301
Conversão
analógica para digital (ver Conversão analógica para digital)
digital para analógica (ver Conversão digital para analógica)
Conversor analógico para digital, 463-487
comparação entre os tipos, 476
comparador, 466-468
contador, 472-474
conversor paralelo, 463-466
de aproximação sucessiva, 468-472
de rastreamento ("Tracking"), 474
dupla rampa, 474-476
exemplo de conversor de 3 bits, 469-472
interconexão com o circuito amostrador e segurador de ordem zero, 481
usando a conversão tensão para freqüência, 477-479
usando a conversão tensão para tempo, 479-480
Conversor digital para analógico, 444-462
a resistor ponderado, 444-446
chaves para, 449-450
de escala invertida, 454-457
de escada R-2R, 447-449
de rampa digital, 473
especificações, 460-462
excitado a corrente, 452-454
exemplo de, 451
formato de entrada tipo BCD, 449
formatos de entrada e saída, 457-460
linearidade, 461
resolução, 460
sensibilidade à temperatura, 462
servo conversor, 474
tempo de acomodação, 462
tipo combinado, 448-449

Decodificador, usado com ROM, 470-472
Difusão, 43
Diodo, junção, 1-9, 38-41
capacitância de transição, 5-6
característica volt-ampère, 2
corrente de fuga, 4
dependência com a temperatura, 4-5
ideal, 1-9
limiar, 3
modelo de, 2-3
para circuitos integrados, 8-9
Schottky, 42
tempo de armazenamento, 40-41
tempo de transição, 40-41
tensão de ruptura, 9
velocidade de chaveamento, 39-40
Zener, 6-8
Diodo Schottky, 42
Diodo transistor, 45-46

Diodo Zener, 6-8
  característica volt-ampère, 6-7
  multiplicação por avalanche, 7
  ruptura, 7
Disparador de Schmitt, 71-77
  exemplo, 75-77
  histerese, 73-75
  tensão de disparo, 76-77
Dispositivo acoplado à carga (CCD), 389-395
  armazenamento de carga, 390-391
  arranjos para entrada e saída, 394-395
  transferência de carga, 391-394
Divisão, 350-351

Efeitos da temperatura
  compensação do, em conversores digital para analógico, 453
  em circuitos comparadores, 68-70
  em diodos, 4-5
  em MOSFETs, 235-236
  sensibilidade de conversores digital para analógico, 465
Erro de OFFSET em circuito segurador-amostrador de ordem zero, 423
Especificações dos fabricantes
  de circuito amostrador-segurador de ordem zero, 435
  de conversores analógico para digital, 480-481
  de conversores digital para analógico, 460-462
  de flip-flop CMOS, 290
  de flip-flop ECL, 285
  de portas CMOS, 215-216
  de portas DTL, 169-172
  de portas ECL, 215-216
  de portas RTL, 142-144
  de portas TTL, 197-200
  de um transistor, 22-23
Estágio de saída com três estados, 388
Estágio registrador (memória), 358-367, 375-378
  bipolar, 375-378
    com diodo Schottky, 377-378
  CMOS, 363-365
  estático com 3 transistores MOS, 381-383
  estático com 4 transistores MOS, 380-381
  estático com 6 transistores MOS, 378-380
  estático de três fases, 367-369
  estático MOS ou CMOS, 366-367
  MOS, 358-361
    com sincronismo de carga, 360
  quatro fases sem relação, 362-363
Estabilização de amplificadores CHOPPER, 402-404
Equações de Ebers-Moll
  aplicação de, ao corte, 14-15
  aplicações de, à saturação, 17-23
  direção inversa, 11-14
  direção normal, 11-14
  disparo de flip-flops sensíveis à borda, 264-265, 278-287
  expressões, analíticas, 11-15

FAN-OUT
  DTL, 163-167, 169
  ECL, 216-217
  HTL, 177
  RTL, 130-131
  TTL, 198-199
Flip-Flops, 252-290
  armazenamento com capacitor, 268-269, 285-286
  assíncrono, 253-256
  chave sem vibração, 256
  CMOS, 287-290
  DTL, 275-278
  ECL, 264-268, 282-284
  elemento de memória, 253-254
  entradas dinâmicas, 264-265
  entradas diretas (assíncronas), 259, 263-264
  especificações dos fabricantes: flip-flops CMOS, 290
    flip-flop ECL, 285
  JK, 271-272, 278-287, 289-290
  mestre-escravo, 259-264, 275-278
  MOS, 287-290
  retardo de propagação, 269-271, 278-281
  RTL, 269-271, 275, 278-281
  sensível à borda: acoplado a capacitor, 264-268, 282-284
  sincronizado, 256-259, 268-269
  SR, 252-271, 274-275
  terminologia, 252-253
  tipo D, 272-274, 288
  TOGGLING, 271-272
  TTL, 268-269, 285-287

Ganho de corrente em emissor comum, 13
Geradores de seqüência, 315-321
  função autocorrelação, 320
  seqüências predeterminadas, 320-321
  tabela de projeto lógico para seqüências máximas ou de comprimento máximo, 319
Geradores de seqüência de pseudo-ruído, 315-321
  tabela do projeto lógico, 319

Histerese em disparador de Schmitt, 73-75

Imunidade a ruído
  de CMOS, 248-249
  de DTL, 172

de ECL, 213
de RTL, 136-138
de TTL, 197
Interface entre TTL e CMOS, 249-251

Linhas de transmissão, 508-514
efeito do tempo de subida de um sinal, 513-514
impedância característica, 510
linhas com par trançado, 231
reflexões múltiplas, 511-513
terminação com diodo, 230
terminação série, 229-230
uso com portas ECL, 226-232
LOCKOUT em contadores, 306-308, 315
Lógica (ver, também, Circuitos lógicos)
negativa, 78
positiva, 78
Lógica AND (E), 79-81
Lógica de alto limiar (HTL), 174-177
característica entrada-saída, 176
especificações dos fabricantes, 176-177
Lógica de injeção integrada (IIL), 150-159
ajuste de velocidade, 156-157
arranjo físico, 154-155
decodificador, 158-159
níveis de tensão e corrente, 159
Lógica NAND, 82-83
síntese usando lógica NAND, 119-121
usando DTL, 160-174
Lógica NOR, 83-84
síntese usando lógica NOR, 120-121
usando ECL, 208-232
usando RTL, 123-150
Lógica OR, 81-82
usando ECL, 208-232
Lógica por acoplamento de emissor (ECL), 208-232
amplificador diferencial, 208
características entrada-saída: lógica NOR, 214-215
lógica OR, 211-213
especificações dos fabricantes, 215-216
FAN-OUT, 216-217, 227
fonte de polarização, 219-221
interconexões das portas, 226-232
largura de transição, 213
linhas de transmissão, 227-232
margem de ruído, 213
níveis de tensão, 215-216
OR com fiação, 221
tensões do transistor, 210-211
translação de nível, 223-225
uso de uma fonte de tensão negativa, 222-223
Lógica transistor com acoplamento direto (DCTL)
absorção de corrente de entrada, 127-128
característica entrada-saída, 126-127
porta, 124-127
Lógica transistor-transistor (TTL), 178-207
característica entrada saída, 183-191
característica volt-ampère de entrada, 193-194
característica volt-ampère de saída, 194-196
comparação com DTL, 179-180
especificações dos fabricantes, 197-200
FANOUT, 198-199
imunidade a ruído, 197-198
pico de corrente da fonte de alimentação, 200-201
porta TTL de alta velocidade, 201-203
PULL DOWN ativo, 204-205
PULL-UP ativo, 181-183
tempo de retardo de propagação, 199
transistor de entrada, 180-181
transistor multiemissor, 191-192
TTL Schottky, 205-206

Mapa de Karnaugh, 104-119
algoritmo para leitura, 113-117
funções especificadas incompletamente, 121-122
para cinco e seis variáveis, 111-112
para duas, três e quatro variáveis, 105
representação de funções lógicas, 104-106
simplificação de funções lógicas, 107-119
Maxitermo, 101
Memórias
apagáveis, 372-373
apenas de leitura (ROM), 369-375
aplicações, 373-375
arranjos para entrada e saída, 394-395
célula (veja Estágio de registrador)
célula com transistor bipolar, 375-378
célula de transistor MOS, 378-383
célula dinâmica de 3 transistores, 381-383
célula dinâmica de 4 transistores, 380-381
célula estática de 6 transistores, 378-380
CMOS, 363-365
como um multiplicador, 373-374
como uma tabela para consulta, 374-375
de acesso aleatório (RAM), 375-388
de duas fases com MOS sem relação, 361-362
dispositivo acoplado a carga (CCD), 389-395
estágio estático de 3 fases, 367-369
exemplo, 395
expansão de pastilhas de palavra de 1 bit, 387-388
implementação de, 371-372
MOS sem relação de quatro fases, 362-363
organização de uma RAM, 383-385
pastilhas em paralelo, 385-388
pilha, 356-357
programável, 372-373

ROM como um codificador, 369-370
seqüências, registrador de deslocamento, 355-369
tipos, 354-355
usando estágios estáticos, 366-367
usando estágios MOS, 358-369
voláteis, 369
Memórias seqüenciais (ver Memórias, seqüenciais)
Memória seqüencial em pilha, 356-357
Metal-óxido-semicondutor (MOS), 28-40
área de, 32
canal n, 28-31
canal p, 28-29
características entrada-saída, 34
chave, 31-34
corrente da porta, 30
corte, 28-31
efeito da tensão no substrato, 30-31
efeitos da temperatura, 235-236
empilhamento de portas MOSFET, 241-242
equações analíticas, 233-235
estágios registradores, 358-369
estrangulamento, 29-30
flip-flops, 287-290
inversor, 236-238
modo de depleção, 29, 234-235
modo de enriquecimento (indução), 29, 233
portas, 240-245
resistência do canal, 32-33
símbolos em circuitos, 31
tempo de descida, 244-245
tempo de subida, 242-244
tensão limiar, 29, 30-31, 33, 34
Minitermo, 100
Modulação (ver Modulação delta; modulação por códigos de pulsos)
Modulação delta, 481-487
adaptativa, 486-487
linear, 482-485
Modulação por pulsos em código (código de pulsos), 437-441
MOS de simetria complementar (CMOS), 35-38
BUFFER, 249
chave, 37
corrente de fuga, 37
dissipação de potência, 37-38
especificações dos fabricantes, 247-249
fabricação, 35
impedância da porta, 36
interface entre TTL e CMOS, 249-251
inversor, 238-240
portas, 245-251
proteção da porta de entrada, 38, 496
região de transição, 35-38
ruptura da porta, 38
tempo da descida, 246-247
tempo de retardo de propagação, 248-249
tempo de subida, 246-247
Multiplexação, 398
Multiplexagem por divisão de tempo, 440-441
Multiplicação, 349-350
erro de excesso, 346
erro de quantização, 346
ponderação, 346-348
usando ROM, 373-374
Multivibrador, 488-507
estável usando CMOS, 494-495
bi-estável (ver Flip-flop)
disparo, efeito na temporização, 498
monoestável usando CMOS, 488-494
monoestável usando ECL, 495-500
monoestável usando TTL, 502-504
para intervalos de tempo pequenos, 500-502
tempo de recuperação, redução de, 499-500
temporizador em circuito integrado tipo, 498, 504-507

Números complementares (ver, também, Soma)
complemento de dois, 335-336
complemento de um, 337-338
números com sinal, 338-340
Números negativos, representação de, 335-340

OR com fiação, 221
OU EXCLUSIVO, 84-86
usando RTL, 141-142

Picos
em conversores digital para analógico, 454
em portas TTL, 200-201
Ponderação, 346-348
Portas (ver MOS de simetria complementar; Lógica transistor-diodo; Lógica por acoplamento de emissor; Metal óxido-semicondutor; Lógica transistor-transistor; Portas de transmissão)
Portas analógicas (ver Chaves analógicas)
Portas com lógica transistor-diodo (DTL), 160-174
AND com fiação, 172-174
característica entrada-saída, 167-169
especificações dos fabricantes, 169-172
FAN-OUT, 163-167, 169
imunidade a ruído, 172
lógica de alto limiar (HTL), 174-177
níveis de tensão, 170-171
tempo de retardo de propagação, 172
Portas com lógica transistor-resistor (RTL), 128-150
BUFFER, 138-141
característica entrada-saída, 134-138
compensação de carga, 149-150
especificações dos fabricantes, 142-144

FAN-OUT, 130-133
imunidade a ruído, 136-137
ligação em paralelo de, 144-146
níveis de pensão, 146-147
OU EXCLUSIVO, 141-148
tempo de retardo de propagação, 148-150
tipos de portas NOR, 129
Portas de transmissão (ver Chaves analógicas)
Portas de transmissão a diodo, 405-412
porta com dois diodos, 406-408
porta com quatro diodos, 408-410
porta com seis diodos, 410-411
porta com um diodo, 405-406
portas disponíveis comercialmente, 411-412
Portas de transmissão CMOS, 364-365, 430-432
Portas lógicas (ver MOS de simetria complementar; Lógica transistor-diodo; Lógica por acoplamento de emissor; Metal-óxido-semicondutor; Lógica transistor-transistor)
PULL-UP ativo
em BUFFER RTL, 138-140
em TTL, 182

Quantização de sinais, 441-444
erro em, 464

RAM (ver Memórias, acesso aleatório)
Reavivando a célula de memória, 381-383
Registrador de deslocamento, 291-295
contador em anel, 314-315
conversão deslocamento à direita/deslocamento à esquerda, 294-295
conversão série-paralelo, 294
dinâmico, 360
geradores de seqüência, 315-321
memória, 355-357
vai um com retorno, 294
Relação de rejeição em modo comum, 61
ROM (ver Memórias, apenas de leitura)

Saturação
aplicação das equações de Ebers-Moll, 17-23
transistor, 9, 10, 15-23, 417
Sistema numérico binário, 95-98
código Grey, 97-98
Sobrecarga de declividade em modulação delta, 485
Soma
com mais de dois números, 328-331
com vai um antecipado, 331-334
de dois números binários, 322-328
de uma seqüência de números com sinal, 343-344
excesso, 345
meio somador, 323-324
saturação em um somador, 344-345
somador completo, 324-325
somador em série, 325-327
somador paralelo, 327-328
unidade lógica aritmética (ULA), 351-353
usando complemento em dois, 340-341
usando complemento de um, 341-343
Somador com OU EXCLUSIVO, 322-323
Somadores (ver Soma)
Subtração, 334-335 (ver, também, Soma)
de uma seqüência, 343-344
usando complemento de dois, 340-341
usando complemento de um, 341-343

Tamanho do salto em quantização, 441
Tempo de acesso nas memórias, 355
Tempo de armazenamento, 40-41, 45
Tempo de descida, 45, 46-48
em ECL, 217-218
em portas CMOS, 246-247
em portas MOS, 244-246
Tempo de retardo (ver Tempo de retardo de propagação)
Tempo de retardo de propagação
definição, 46-48
em CMOS, 248-249
em DTL, 172
em ECL, 217-218
em HTL, 177
em RTL, 148-150
em TTL, 199
Tempo de subida, 45, 47, 48
em CMOS, 246-247
em ECL, 217-218
em MOS, 242-243
em RTL, 137-138
Tempo de transição, 40-41
Teorema de amostragem, 438-440
Teorema de De Morgan, 83, 84, 93
Transistor
características em emissor comum, 16-17
chave, 9-11, 17
configuração em base comum, 10
configuração em coletor comum, 10
corrente reversa de saturação de coletor, 14-15
difusão, 43
especificações dos fabricantes, 22-23
equações de Ebers-Moll, 11-15, 17-23
ganho de corrente em emissor comum, 13
limiar, 16
modo inverso, 19, 416-417
modo normal, 19, 416-417
região ativa, 10, 15
região de corte, 16
região de saturação, 10, 15-23
seguidor de emissor, 21
transistor a efeito de campo (ver FET)

velocidade de chaveamento, 42-46
Transistor a efeito de campo (ver, também, MOS de simetria complementar; Metal-óxido-semicondutor)
canal, 24
corrente da porta, 26
corte, 26
dreno, 24
estrangulamento, 24-25
JFET, 23-28
porta, 23-24
região de depleção, 24-25
região linear, 25
região de saturação, 25
ruptura, 26
Transistor de efeito de campo de junção, 23-28
linearidade das características, 27
tensão de estrangulamento, 25-26
Transistor Schottky, 45-46
Translação de nível
ECL para TTL, 224-225
TTL para ECL, 223-224
TTL Schottky, 205-206

Unidade lógica aritmética (ULA), 351-353
contorno externo, 352-353

Impresso em off-set por
EDITORA SANTUÁRIO
Rua Pe. Claro Monteiro, 342
Aparecida - São Paulo
Fone DDD (0125) 36-2140
com filmes fornecidos pelo editor.

Sebo Capricho
18,00

OUTROS LIVROS DA ÁREA:

Carlson	Sistemas de Comunicação
Cotrim	Instalações Elétricas, 2a. ed.
Cutler	Análise de Circuitos CA
Cutler	Análise de Circuitos CC
Cutler	Circuitos Eletrônicos Lineares
Cutler	Teoria dos Dispositivos do Estado Sólido
Distefano	Sistemas de Retroação e Controle
Edminister	Circuitos Elétricos
Edminister	Eletromagnetismo
Elgerd	Introdução à Teoria de Sistemas de Energia Elétrica
Esteves	Antenas: Teoria Básica e Aplicações
Fitzgerald	Engenharia Elétrica
Fitzgerald	Máquinas Elétricas
Fonseca	Iluminação Elétrica
Hayt	Análise de Circuitos em Engenharia
Mello	Princípios de Telecomunicações
Millman	Eletrônica, vols. I e II
Quevedo	Eletromagnetismo
Stevenson	Elementos de Análise e Sistemas de Potência

450439

McGraw-Hill